

Instituto Tecnológico de Buenos Aires

22.85 - SISTEMAS DE CONTROL

Trabajo de Laboratorio N°1: Phase-Locked Loop (PLL) o Lazo de Enganche de Fase

Grupo 1

MÁSPERO, Martina	57120
MESTANZA, Joaquín Matías	58288
NOWIK, Ariel Santiago	58309
PANAGGIO VENERANDI, Guido Martin	56214
PARRA, Rocío	57669
REGUEIRA, Marcelo Daniel	58300

Profesor

NASINI, Víctor Gustavo

Presentado: 27/09/2019

Índice

Ejercicio 1: Prelaboratorio	2
Ejercicio 2: factor de amortiguamiento considerando los filtros	3
Ejercicio 3: Transferencia completa	3
Laboratorio	4
Mediciones: Filtro con F1 - Caso RC	5
Mediciones: Filtro con F2 - Caso RRC	8
Filtro de salida	10
Conclusiones	11

Ejercicio 1: Prelaboratorio

Se pidió analizar distintas transferencias (en la sección Prelaboratorio) del diagrama en bloques del circuito provisto por la cátedra.

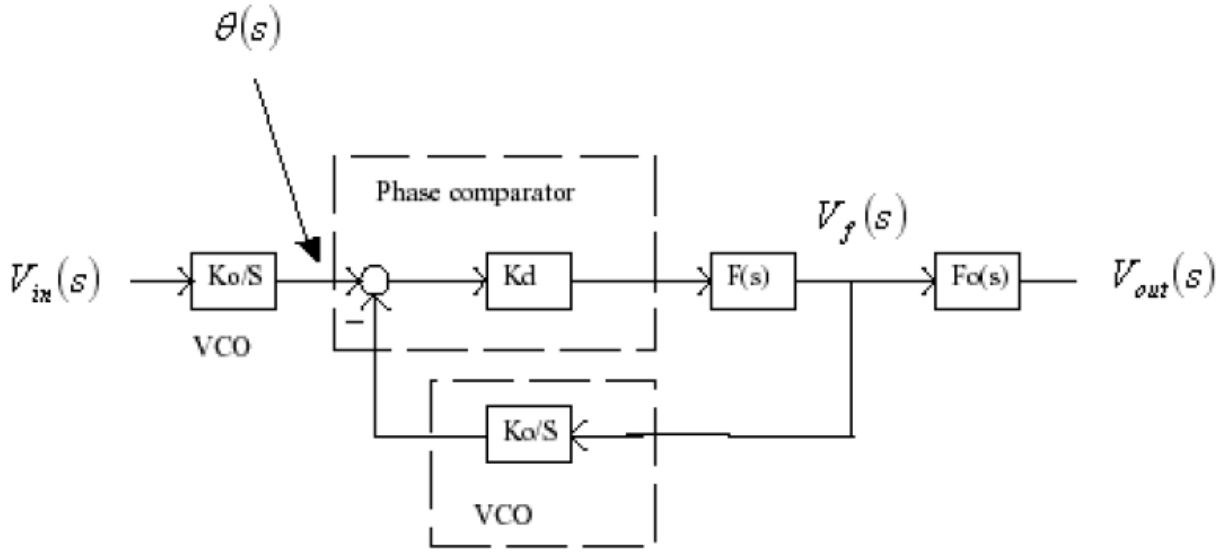


Figura 1: Diagrama en bloques del circuito

a) Modulador (VCO)

$$\frac{\theta(s)}{V_{in}(s)} = \frac{K_0}{s} \quad (1)$$

b) Demodulador (PLL)

$$\frac{V_f(s)}{\theta(s)} = \frac{s \cdot K_d \cdot F(s)}{s + K_0 K_d F(s)} \quad (2)$$

c) Filtros pasabajos: $F_1(s)$ y $F_2(s)$

$$F_1(s) = \frac{1}{1 + \frac{s}{\omega_1}} \quad \text{donde} \quad \omega_1 = \frac{1}{R_5 \cdot C_6} \quad (3)$$

$$F_2(s) = \frac{1 + \frac{s}{\omega_2}}{1 + \frac{s}{\omega_{eq}}} \quad \text{donde} \quad \omega_2 = \frac{1}{R_6 \cdot C_6} \quad \omega_{eq} = \frac{1}{\frac{1}{\omega_1} + \frac{1}{\omega_2}} \quad (4)$$

d) $F_0(s)$

$$F_0(s) = \frac{V_{out}(s)}{V_f(s)} = \frac{1}{1 + \frac{s}{\omega_0}} \quad \text{donde} \quad \omega_0 = \frac{1}{R_9 \cdot C_7} \quad (5)$$

Ejercicio 2: Factor de amortiguamiento considerando los filtros

Notar que lo que cambia entre los filtros es R_6 , así que dejamos las expresiones generales.

$$\frac{V_f(s)}{\theta(s)} = \frac{s}{K_0} \cdot \frac{1 + \frac{s}{\omega_2}}{\left(\frac{s}{\omega_n}\right)^2 + 2\frac{\xi}{\omega_n} + 1} \quad (6)$$

$$\omega_n = \sqrt{\frac{K_d K_0}{C_6 \cdot (R_5 + R_6)}} \quad (7)$$

$$\xi = \frac{R_6 \cdot C_6 \cdot K_d \cdot K_0 + 1}{2 \cdot \sqrt{C_6 \cdot K_d \cdot K_0 \cdot (R_5 + R_6)}} \quad (8)$$

Ejercicio 3: Transferencia completa

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{V_{out}(s)}{V_f(s)} \cdot \frac{V_f(s)}{\theta(s)} \cdot \frac{\theta(s)}{V_{in}(s)} \quad (9)$$

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{1}{1 + \frac{s}{\omega_0}} \cdot \frac{1 + \frac{s}{\omega_2}}{\left(\frac{s}{\omega_n}\right)^2 + 2\frac{\xi}{\omega_n} + 1} \quad (10)$$

Laboratorio

Para poder simular la transferencia completa se necesitan hallar los valores K_0 y K_d . Para esto, se procedió inyectar una entrada de tensión continua a la entrada del VCO, variando su valor en el rango de 1V a 10V. Con eso se obtuvo la siguiente tabla:

#	$DC_{IN}(V)$	$freq_{out}(KHz)$	$K_0(rad/seg/V)$
1	1.033	11.52	70069.98
2	2.0121	254	793165.88
3	3.011	469	978682.8
4	3.9964	649	1020365.14
5	4.9842	800	1008496.5
6	5.9754	930	977903.1
7	6.9438	1040	941057.16
8	7.9499	1149	908109.52
9	8.9434	1200	843059.95
10	9.9123	1200	760653.16

Tabla 1: Tabla centrada con datos obtenidos

Como se solicita ingresar al VCO con una señal de 0.5 Vpp y además un offset de 5V, se le da un peso mayor a las mediciones 4, 5 y 6. Con este criterio, se optó por un valor para K_0 de:

$$K_0 = 1M \left[\frac{rad \cdot seg}{V} \right]$$

Luego, para determinar la constante K_d se consultó la datasheet del CD4046 de Texas Instruments. En la misma se halló el siguiente gráfico:

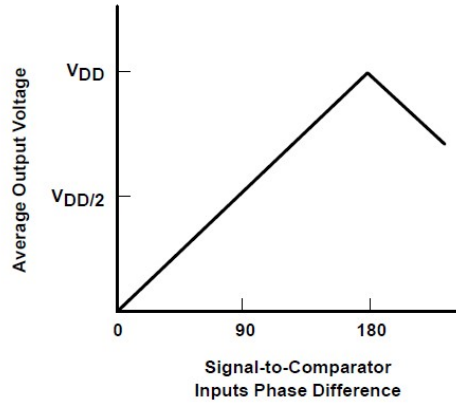


Figure 4. Phase Comparator I Characteristics at LPF Output

Figura 2: Características del comparador de fase tipo 1 (XOR)

Por simple inspección nos queda como resultado

$$K_d = \frac{V_{DD}}{\pi} \left[\frac{V}{rad} \right]$$

Con estos valores y los establecidos por la consigna podemos calcular ξ y ω_n para cada caso:

$$\xi = 0.0886 \quad \text{donde} \quad \omega_n = 5.6419 \cdot 10^5 \left[\frac{rad}{seg} \right] \quad (RC)$$

Mediante el despeje de la ecuación 8 se halló que para que $\xi \approx 0.5$ se necesita una $R_6 = 1.6K\Omega$

$$\xi = 0.5014 \quad \text{donde} \quad \omega_n = 5.2384 \cdot 10^5 \left[\frac{rad}{seg} \right] \quad (RRC)$$

Mediciones: Filtro con F1 - Caso RC

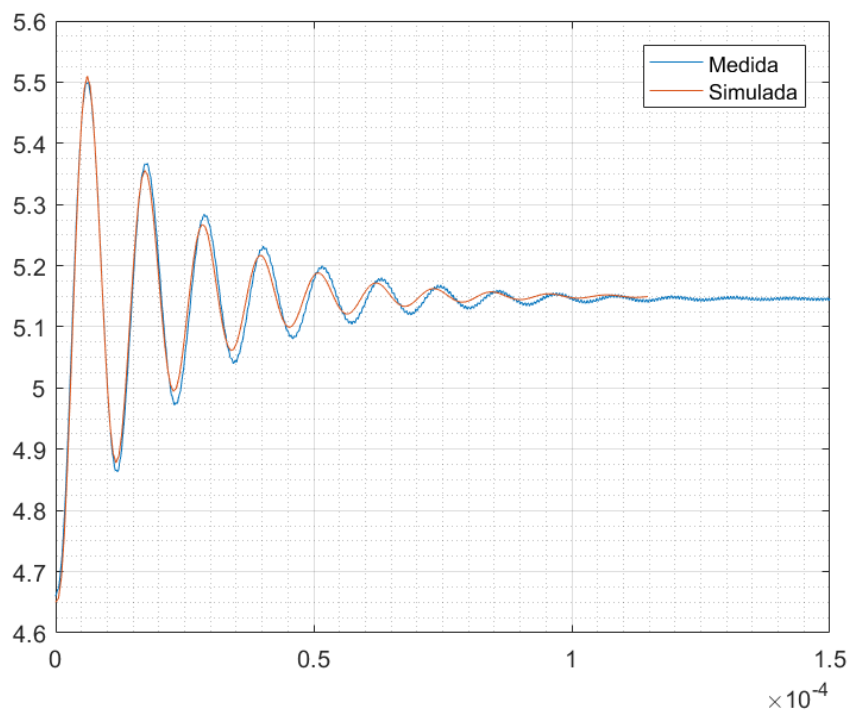


Figura 3: Mediciones superpuestas con la curva teórica - Caso RC

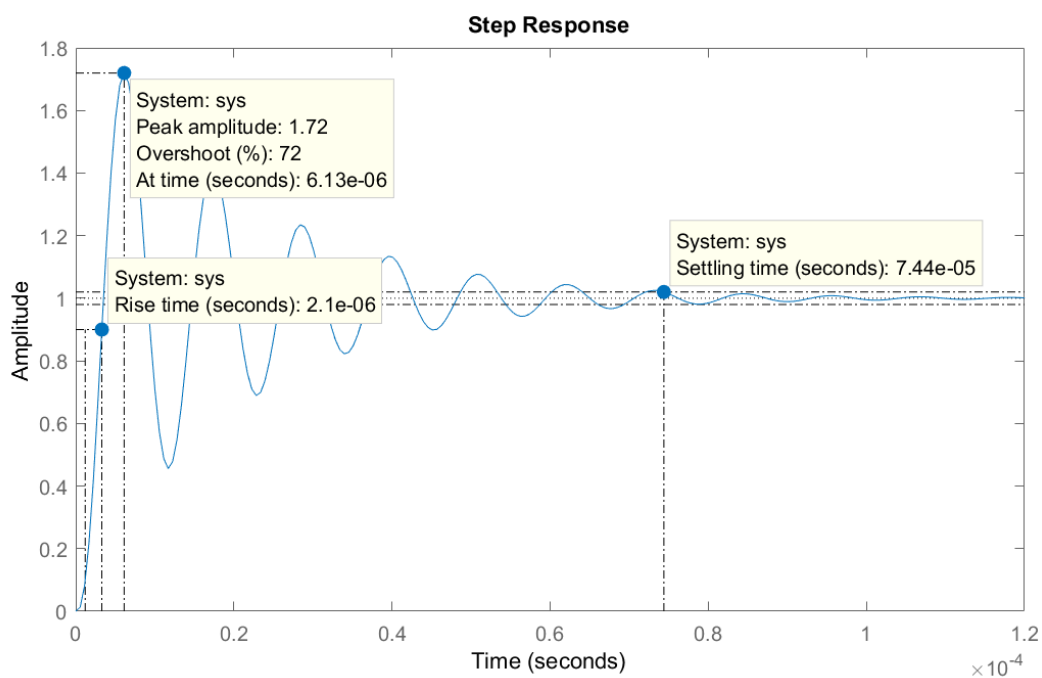


Figura 4: Simulaciones con el filtro RC

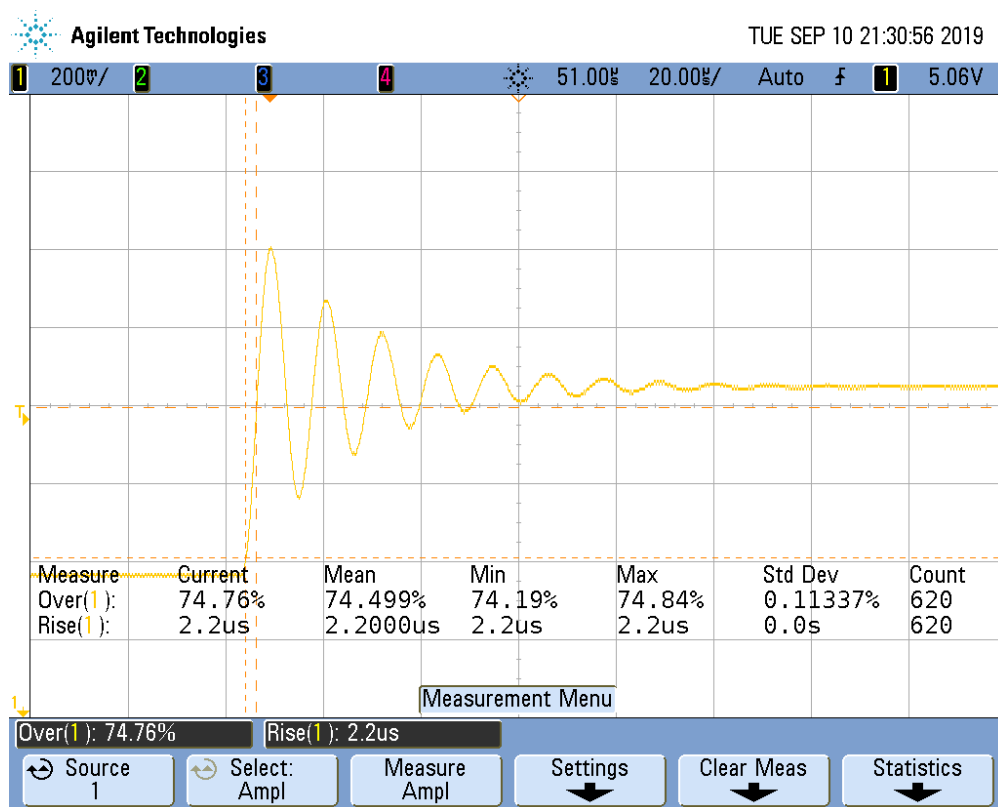


Figura 5: Mediciones: Overshoot y Rise Time

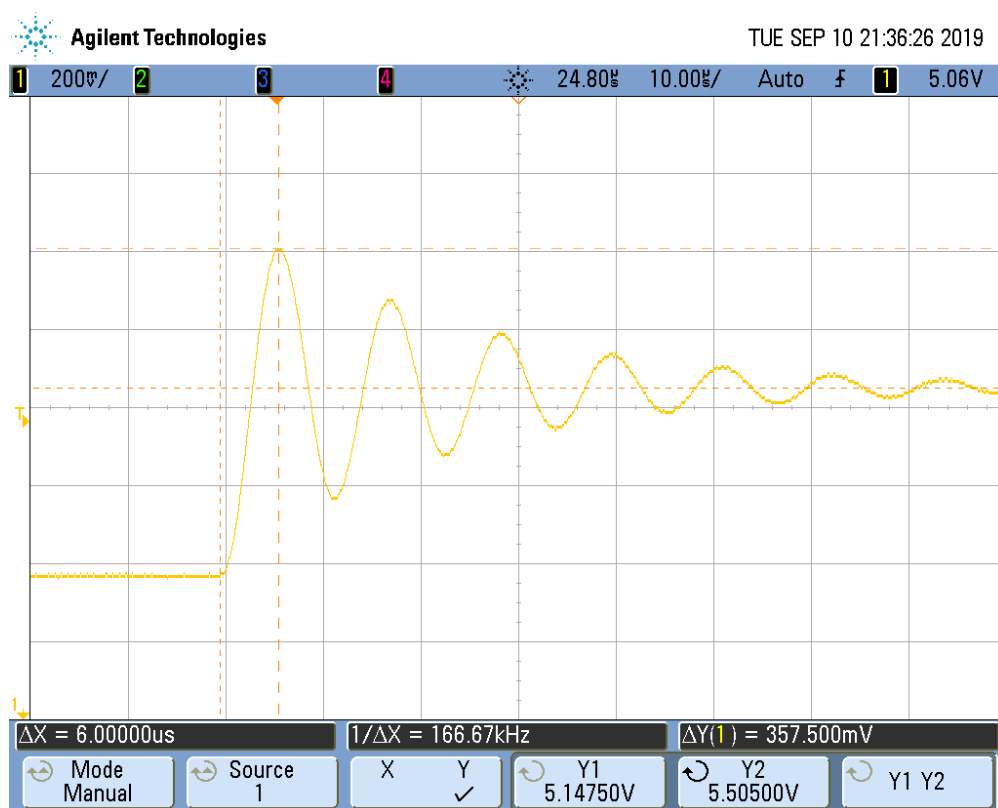


Figura 6: Mediciones: Peak Value y Peak Time

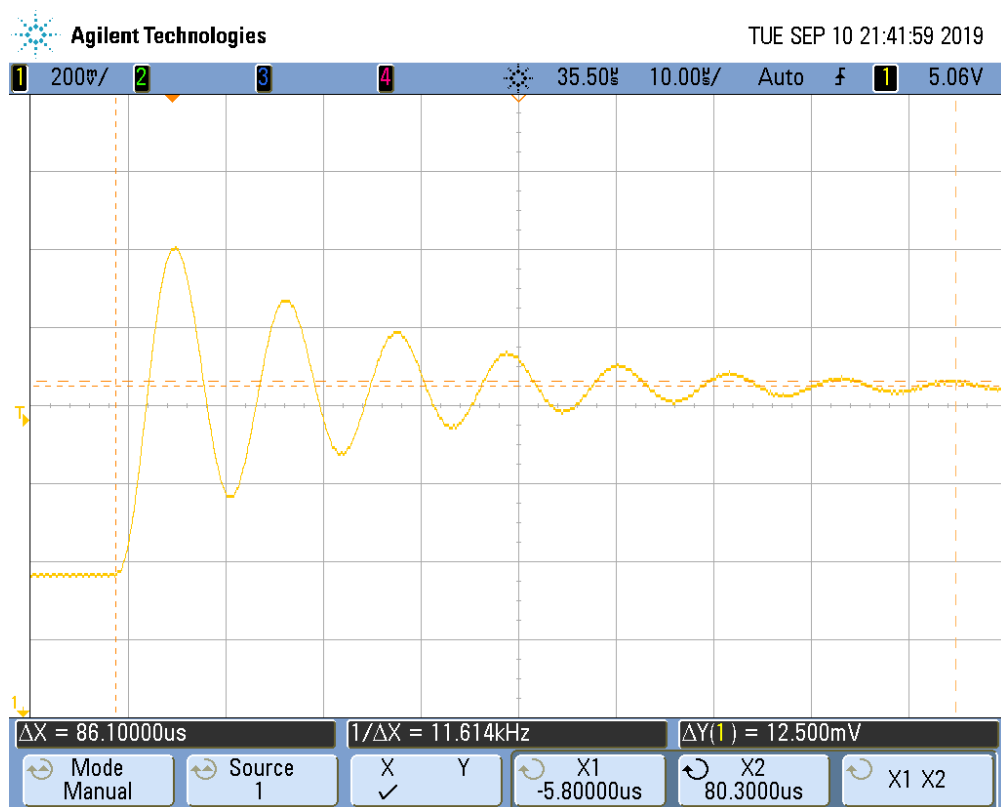


Figura 7: Mediciones: Settling Time

Mediciones: Filtro con F2 - Caso RRC

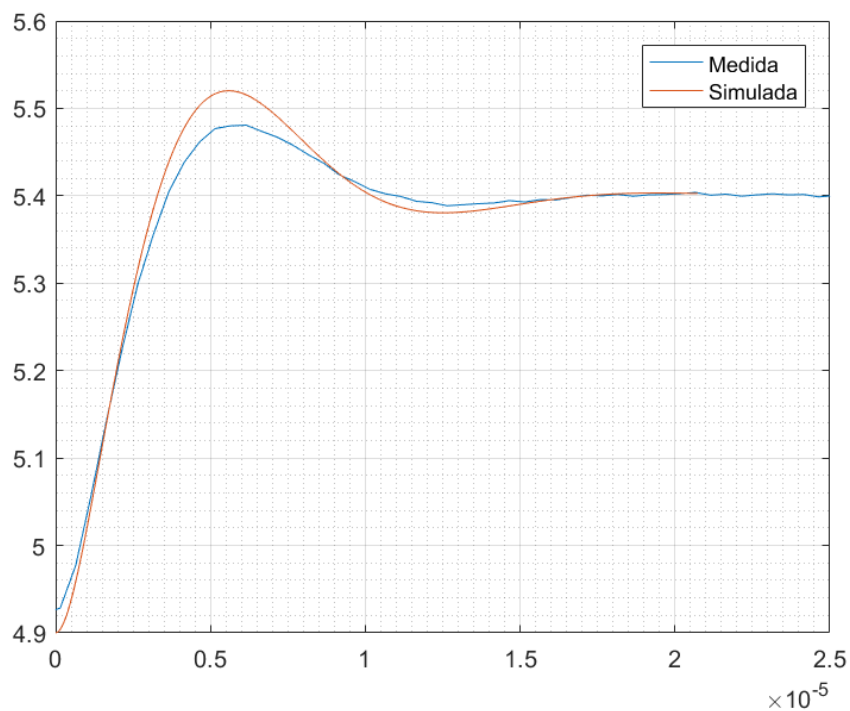


Figura 8: Mediciones superpuestas con la curva teórica - Caso RRC

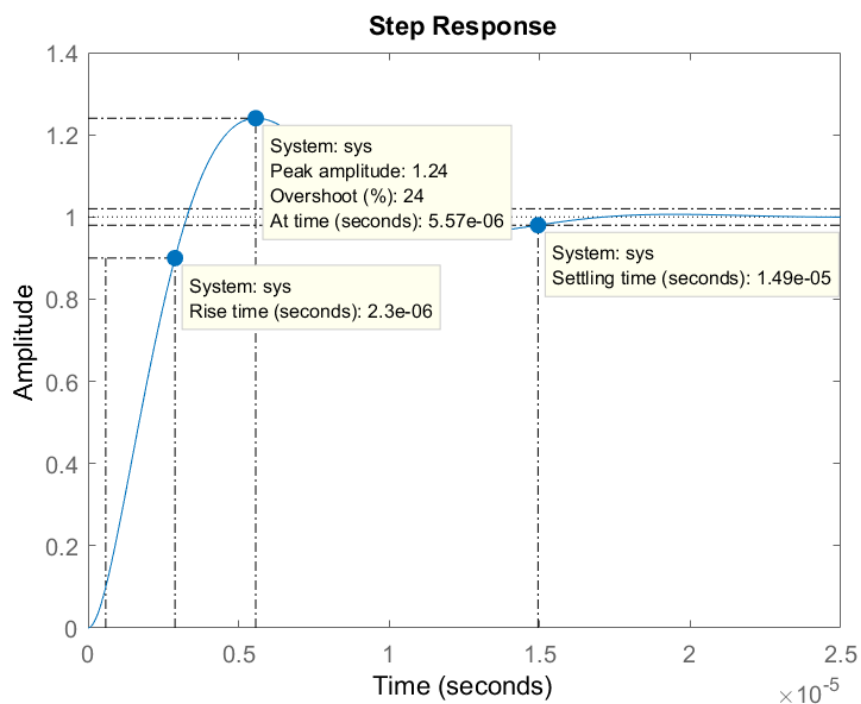


Figura 9: Simulaciones con el filtro RRC

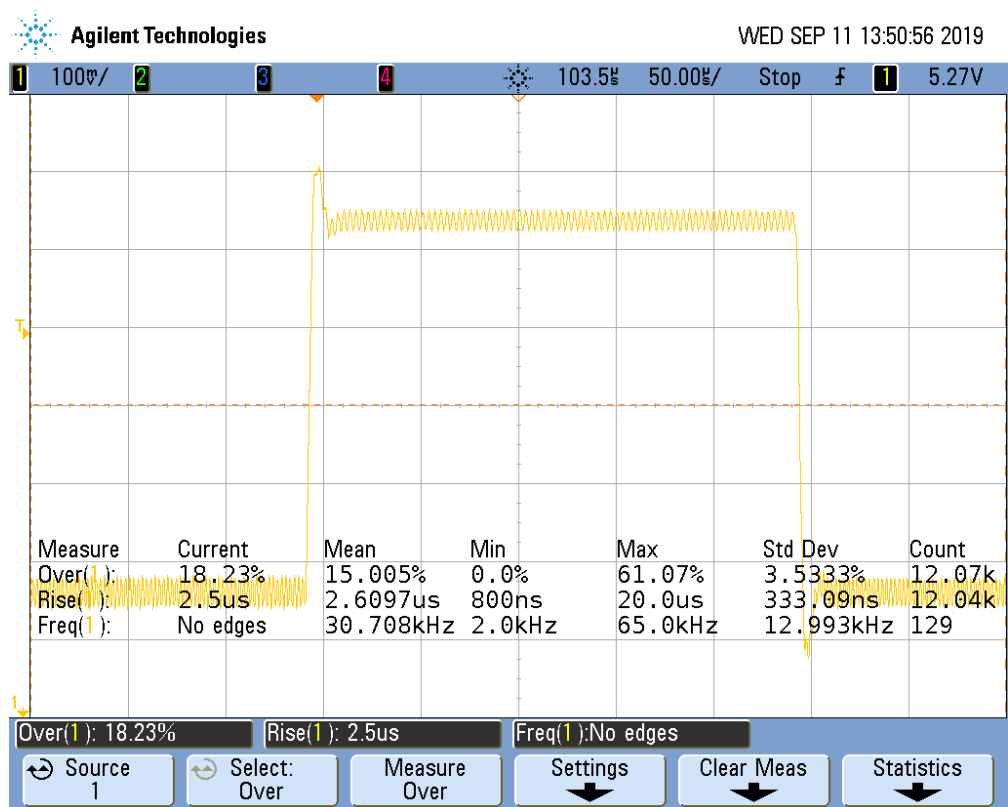


Figura 10: Mediciones: Overshoot y Rise Time

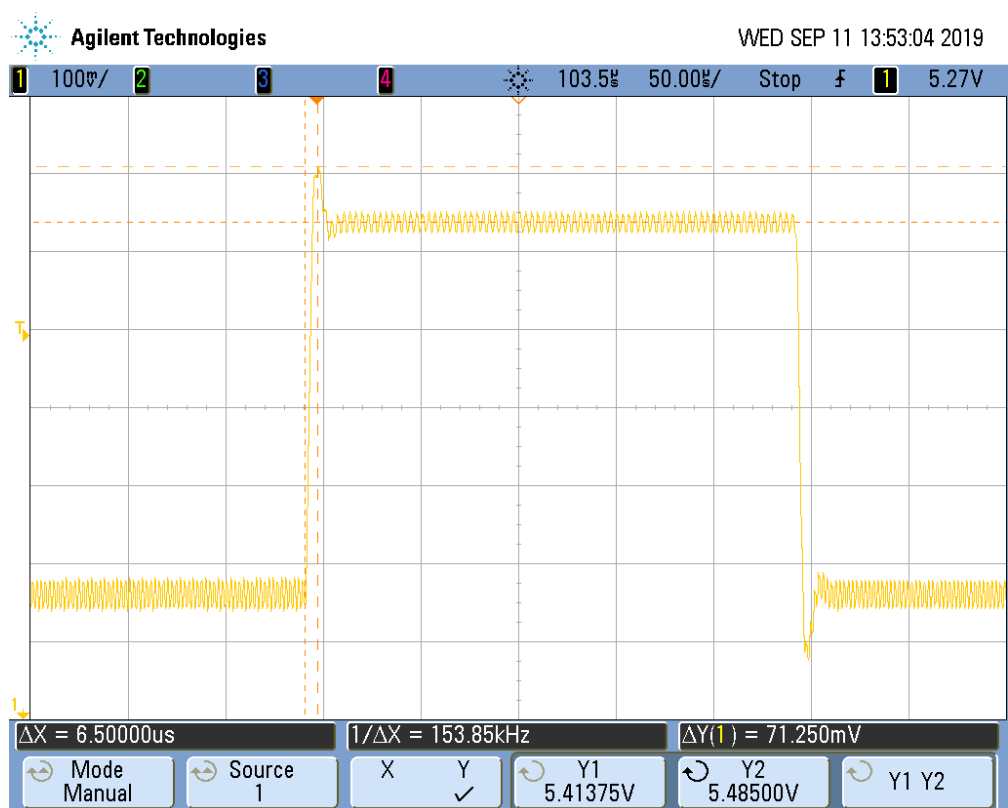


Figura 11: Mediciones: Peak Value y Peak Time

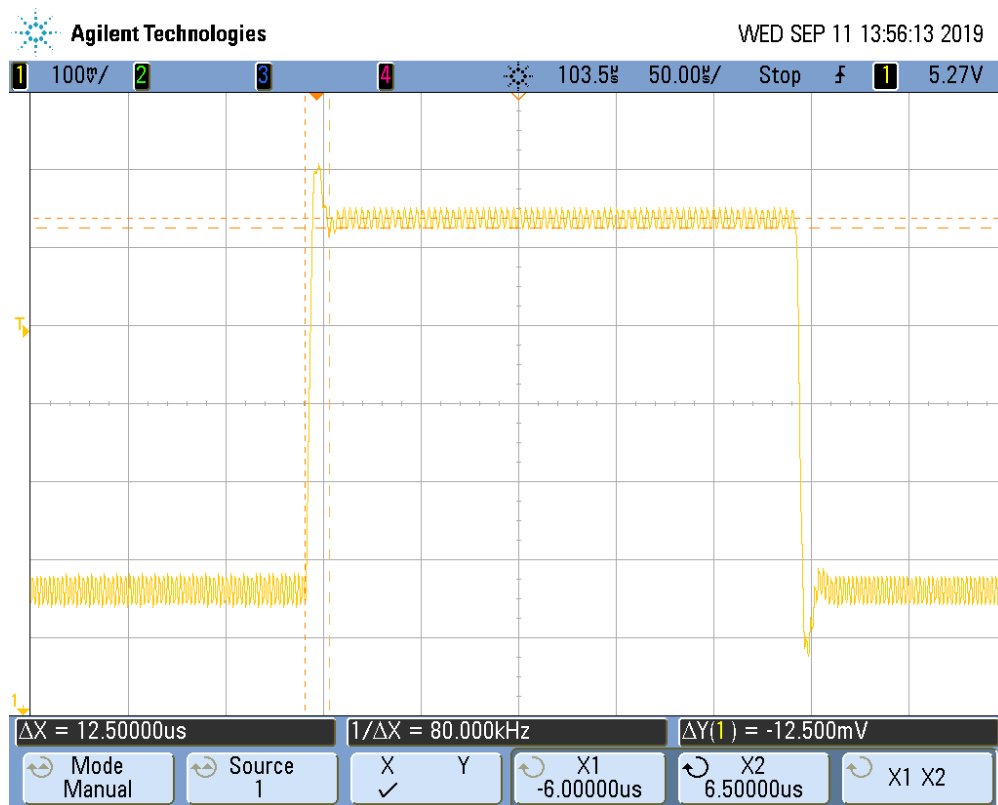


Figura 12: Mediciones: Settling Time

Filtro de salida

Dado que a la salida del comparador de fase del sistema PLL presenta cambios abruptos, al ir conectada a la entrada del VCO se terminan traduciendo en cambios abruptos en la frecuencia de la señal de salida del VCO (dado que la misma varía con la tensión a su entrada). Por este motivo, entre medio de ambos bloques se coloca un filtro pasabajos para suavizar dichos cambios. Para implementarlo se presentaron dos opciones (RC y RRC), obteniendo resultados que muestran diferencias claras entre ambos:

En el caso del RC, se logran filtrar las altas frecuencias satisfactoriamente, pero no termina permitiendo modificar el factor de amortiguamiento. En cambio, el caso con RRC permite modificar el factor de amortiguamiento, pero al ser una transferencia que mantiene la forma pasabajos hasta un determinado valor y luego se vuelve constante, las altas frecuencias terminan ingresando (aunque más atenuadas).

Desde un punto de vista teórico esta etapa no afecta la transferencia del PLL propiamente dicho, ya que se localiza a la salida de éste, pero si tiene influencia en la transferencia del sistema total. Según los valores propuestos por la cátedra para el resistor y el capacitor se tiene que la constante de tiempo es de 560ns. Dicha constante afecta de forma significativa el sistema ya que cuanto menor sea esta menor es el tiempo que demora el sistema en que la señal de salida alcance el valor final, pero mayor será su ancho de banda, y viceversa. A modo de comparación se muestran los resultados característicos obtenidos en cada caso.

		Overshoot (%)	Rise Time	Settling Time
Filtro RC	Teórico	0.72	2.1 us	74.4 us
	Medido	0.74	2.2 us	81 us
Filtro RRC	Teórico	0.24	2.3 us	14.9 us
	Medido	0.18	2.5 us	12.5 us

Tabla 2: Tabla centrada con datos característicos

Conclusiones

Se ha estudiando el proceso de diseño y las bases teóricas que sostienen el funcionamiento del PLL. Las pruebas realizadas sobre el mismo consistieron fundamentalmente en observar y analizar la respuesta dinámica del sistema al escalón realizando una comparación con los cálculos teóricos previos y las simulaciones hechas, para los distintos filtros sugeridos.

Observando los resultados obtenidos, se deja en evidencia que cada filtro proporciona una ventaja particular permitiendo controlar un determinado parámetro del sistema, pero no pudiendo modificar otro, como se analizó previamente sobre la etapa del filtrado de la salida. Con todo lo anterior se pudo analizar y observar correctamente el funcionamiento del PLL como un sistema del control realimentado el cual entre otras cosas permitirá realizar la demodulación de una señal de FM, dados los parámetros de trabajo adecuados, debido a dicho control que se realiza sobre la señal.