

Instituto Tecnológico de Buenos Aires

22.85 - SISTEMAS DE CONTROL

Trabajo de Laboratorio N°1: Phase-Locked Loop (PLL) o Lazo de Enganche de Fase

Grupo 1

| | |
|----------------------------------|-------|
| MÁSPERO, Martina | 57120 |
| MESTANZA, Joaquín Matías | 58288 |
| NOWIK, Ariel Santiago | 58309 |
| PANAGGIO VENERANDI, Guido Martin | 56214 |
| PARRA, Rocío | 57669 |
| REGUEIRA, Marcelo Daniel | 58300 |

Profesor

NASINI, Víctor Gustavo

Presentado: xx/09/2019

Índice

| | |
|---|---|
| Ejercicio 1: Prelaboratorio | 2 |
| Ejercicio 2: factor de amortiguamiento considerando los filtros | 2 |
| Ejercicio 3: Transferencia completa | 3 |

Ejercicio 1: Prelaboratorio

Se pidió analizar distintas transferencias (en la sección Prelaboratorio) del diagrama en bloques del circuito provisto por la cátedra.

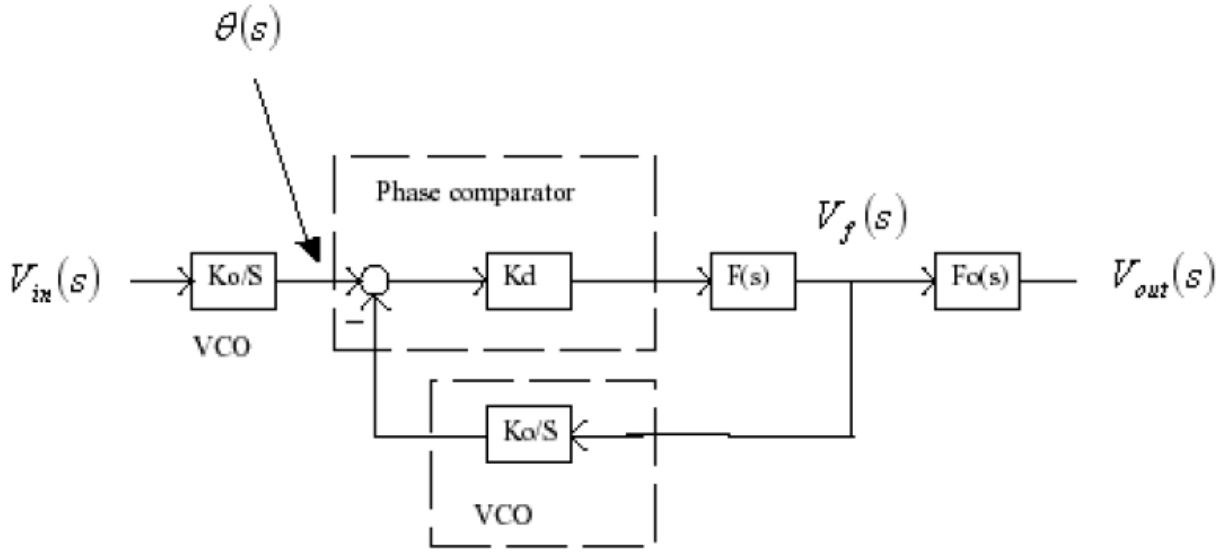


Figura 1: Diagrama en bloques del circuito

a) Modulador (VCO)

$$\frac{\theta(s)}{V_{in}(s)} = \frac{K_0}{s} \quad (1)$$

b) Demodulador (PLL)

$$\frac{V_f(s)}{\theta(s)} = \frac{s \cdot K_d \cdot F(s)}{s + K_0 K_d F(s)} \quad (2)$$

c) Filtros pasabajos: $F_1(s)$ y $F_2(s)$

$$F_1(s) = \frac{1}{1 + \frac{s}{\omega_1}} \quad \text{donde} \quad \omega_1 = \frac{1}{R_5 \cdot C_6} \quad (3)$$

$$F_2(s) = \frac{1 + \frac{s}{\omega_2}}{1 + \frac{s}{\omega_{eq}}} \quad \text{donde} \quad \omega_2 = \frac{1}{R_6 \cdot C_6} \quad \omega_{eq} = \frac{1}{\frac{1}{\omega_1} + \frac{1}{\omega_2}} \quad (4)$$

d) $F_0(s)$

$$F_0(s) = \frac{V_{out}(s)}{V_f(s)} = \frac{1}{1 + \frac{s}{\omega_0}} \quad \text{donde} \quad \omega_0 = \frac{1}{R_9 \cdot C_7} \quad (5)$$

Ejercicio 2: factor de amortiguamiento considerando los filtros

Notar que lo que cambia entre los filtros es $R_6 = 0$ así que dejamos las expresiones generales.

$$\frac{V_f(s)}{\theta(s)} = \frac{s}{K_0} \cdot \frac{1 + \frac{s}{\omega_2}}{\left(\frac{s}{\omega_n}\right)^2 + 2\frac{\xi}{\omega_n} + 1} \quad (6)$$

$$\omega_n = \sqrt{\frac{K_d K_0}{C_6 \cdot (R_5 + R_6)}} \quad (7)$$

$$\xi = \frac{R_6 \cdot C_6 \cdot K_d \cdot K_0 + 1}{2 \cdot \sqrt{C_6 \cdot K_d \cdot K_0 \cdot (R_5 + R_6)}} \quad (8)$$

Ejercicio 3: Transferencia completa

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{V_{out}(s)}{V_f(s)} \cdot \frac{V_f(s)}{\theta(s)} \cdot \frac{\theta(s)}{V_{in}(s)} \quad (9)$$

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{1}{1 + \frac{s}{\omega_0}} \cdot \frac{1 + \frac{s}{\omega_2}}{\left(\frac{s}{\omega_n}\right)^2 + 2\frac{\xi}{\omega_n} + 1} \quad (10)$$

Laboratorio

Para poder simular la transferencia completa se necesitan hallar los valores K_0 y K_d . Se procedió inyectar una entrada de tensión constante a la entrada del VCO. Con eso se obtuvo la siguiente tabla:

Tabla 1: Tabla centrada con datos desde "VCO.csv"

| # | $DC_{IN}(V)$ | $freq_{out}(KHz)$ | $K_0(rad/seg/V)$ |
|----|--------------|-------------------|------------------|
| 1 | 1.033 | 11.52 | 70069.98 |
| 2 | 2.0121 | 254 | 793165.88 |
| 3 | 3.011 | 469 | 978682.8 |
| 4 | 3.9964 | 649 | 1020365.14 |
| 5 | 4.9842 | 800 | 1008496.5 |
| 6 | 5.9754 | 930 | 977903.1 |
| 7 | 6.9438 | 1040 | 941057.16 |
| 8 | 7.9499 | 1149 | 908109.52 |
| 9 | 8.9434 | 1200 | 843059.95 |
| 10 | 9.9123 | 1200 | 760653.16 |

Como en el trabajo práctico se nos pide entrar al VCO con una señal de 0.5 Vpp y además un offset de 5V, se le da un peso mayor a las mediciones 4, 5 y 6. Con este criterio optamos por un valor de:

$$K_0 = 1Mrad/seg/V$$

Luego, para determinar la constante K_d se consultó la datasheet del CD4046 de Texas Instruments. En la misma se halló el siguiente gráfico:

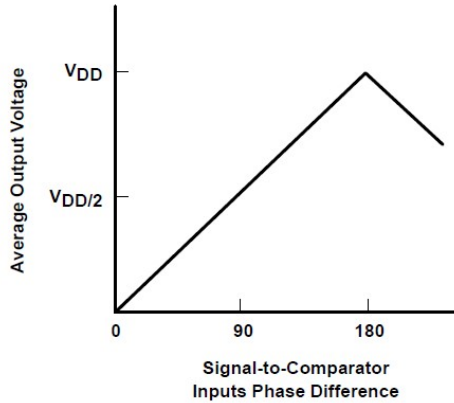


Figure 4. Phase Comparator I Characteristics at LPF Output

Figura 2: Características del comparador de fase tipo 1 (XOR)

Por simple inspección nos queda como resultado

$$K_d = \frac{V_{DD}}{\pi} \left(\frac{V}{rad} \right)$$

Con estos valores y los establecidos por la consigna podemos calcular ξ y ω_n para cada caso:

$$\xi = 0.0886 \quad \text{donde} \quad \omega_n = 5.6419 \cdot 10^5 rad/seg \quad (RC)$$

Mediante el despeje de la ecuación 8 se halló que para que $\xi \approx 0.5$ se necesita una $R_6 = 1.6K\Omega$

$$\xi = 0.5014 \quad \text{donde} \quad \omega_n = 5.2384 \cdot 10^5 rad/seg \quad (RRC)$$

Mediciones: Filtro con F1 (caso RC)

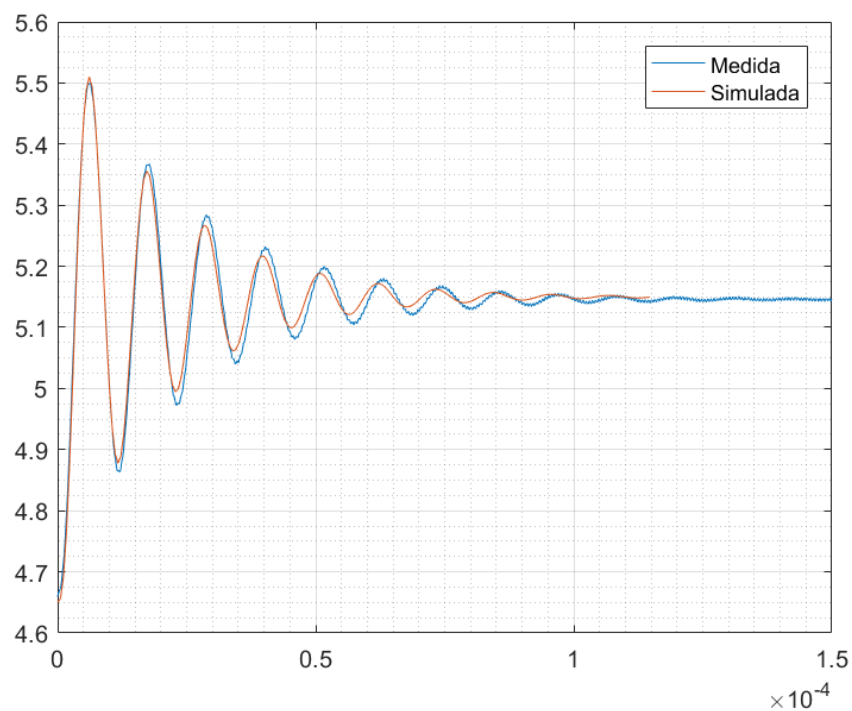


Figura 3: Gráfico de las mediciones superpuestas con la curva teórica (caso RC)

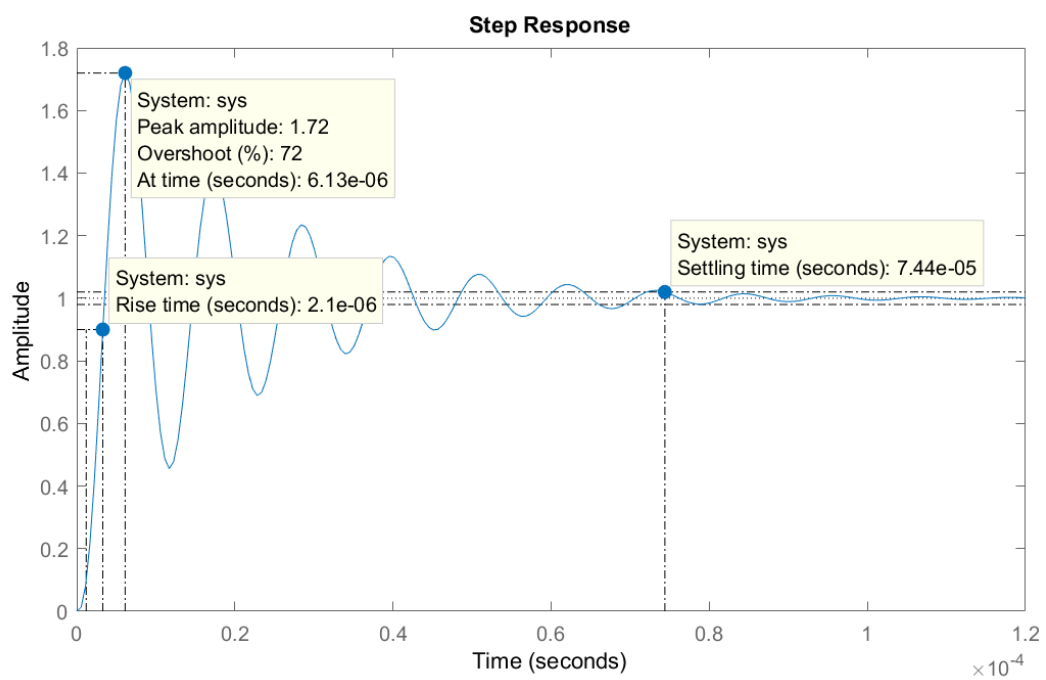


Figura 4: Simulaciones con el primer tipo de filtro

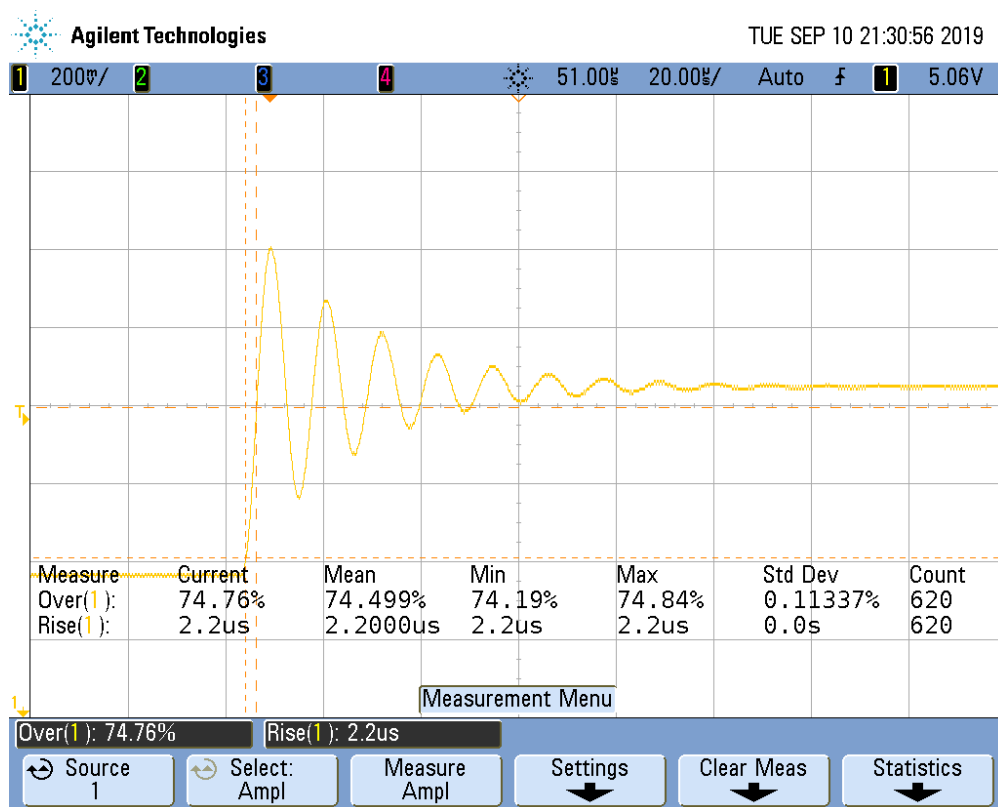


Figura 5: Mediciones: Overshoot y rise time

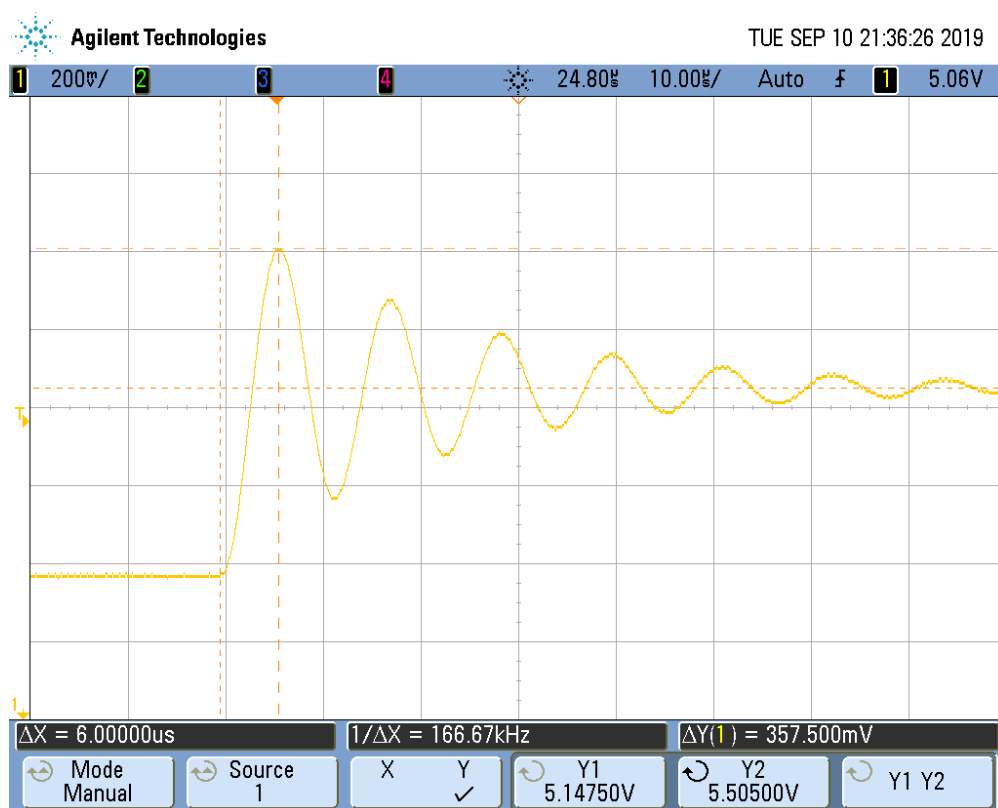


Figura 6: Mediciones: peak y peak time

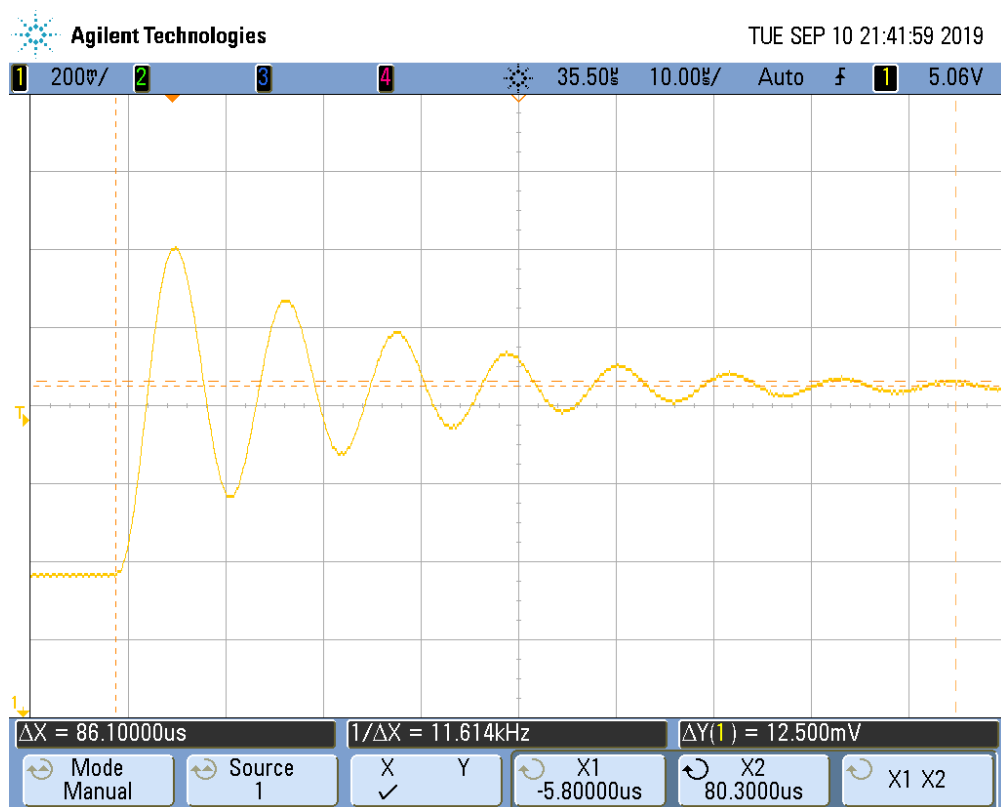


Figura 7: Mediciones: settling time

Mediciones: Filtro con F2 (caso RRC)

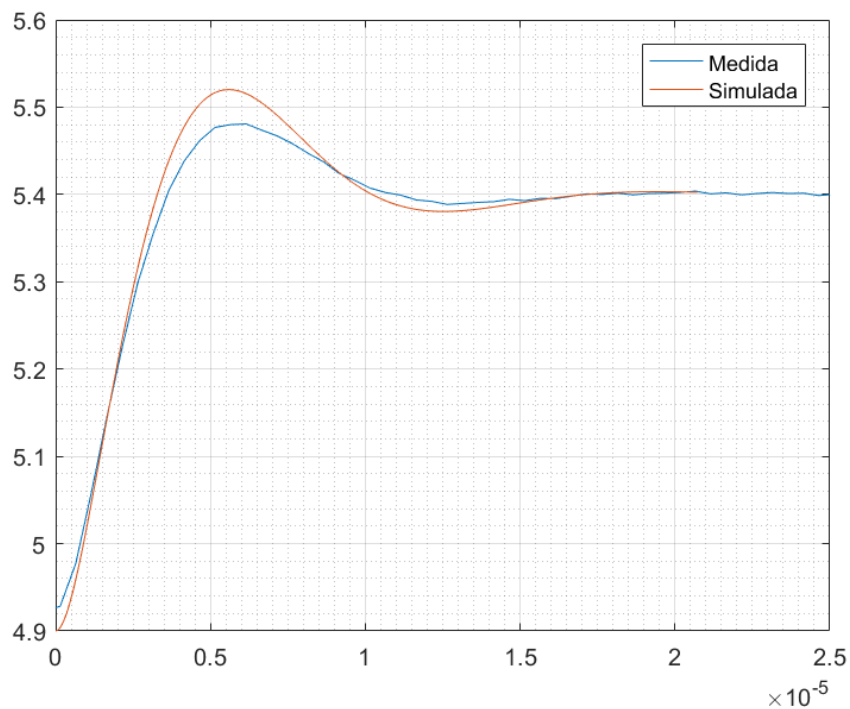


Figura 8: Gráfico de las mediciones superpuestas con la curva teórica (caso RRC)

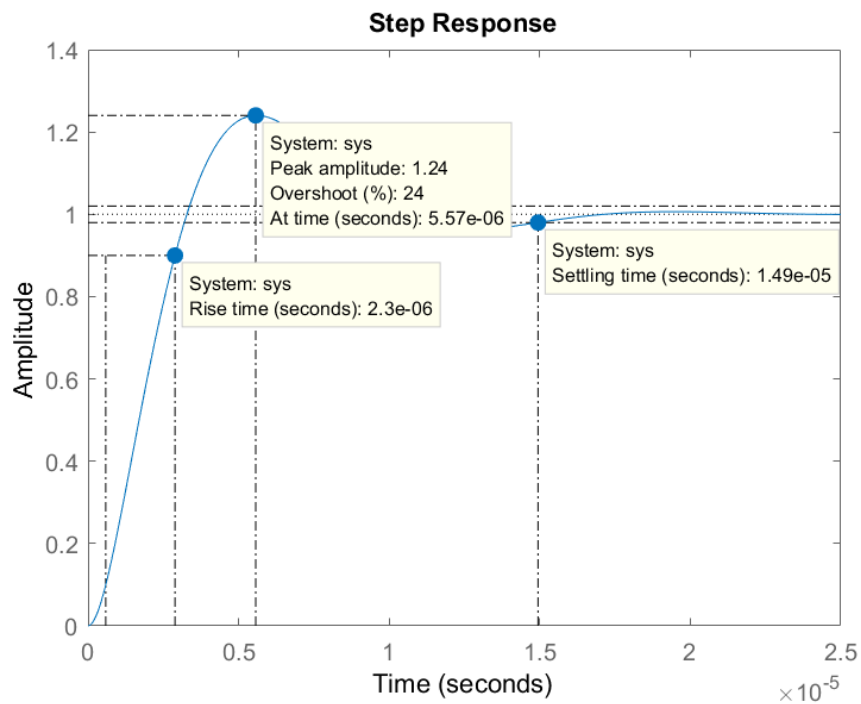


Figura 9: simulación del circuito

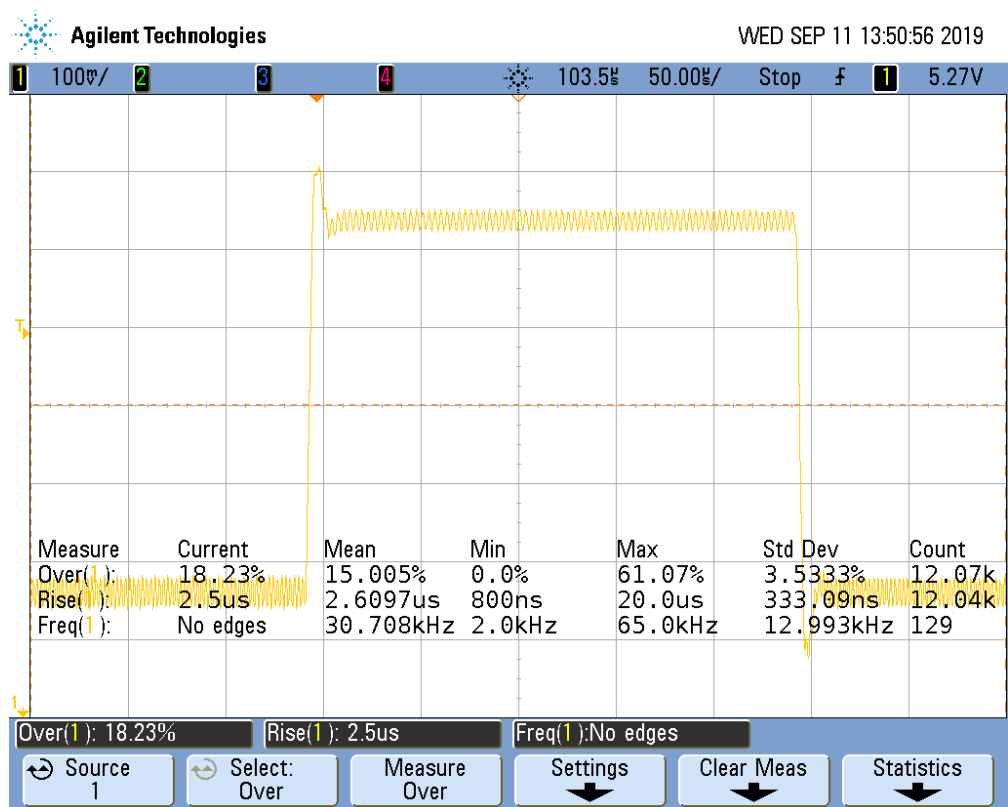


Figura 10: Mediciones del overshoot y risetime

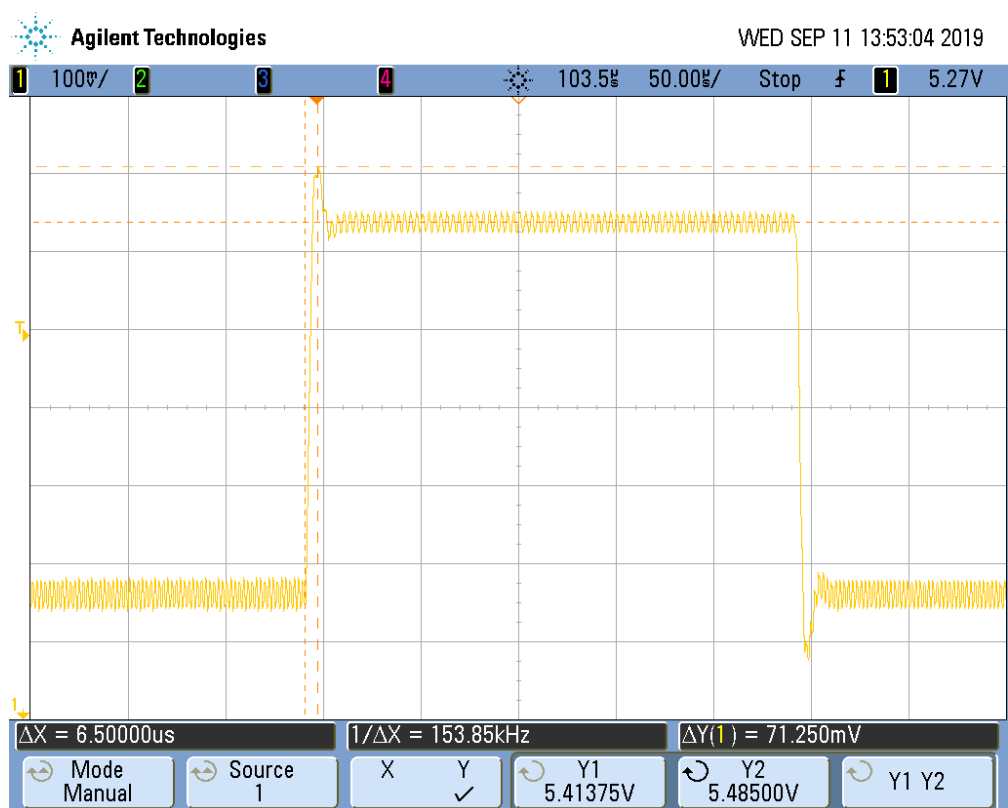


Figura 11: medición de peak y peak time

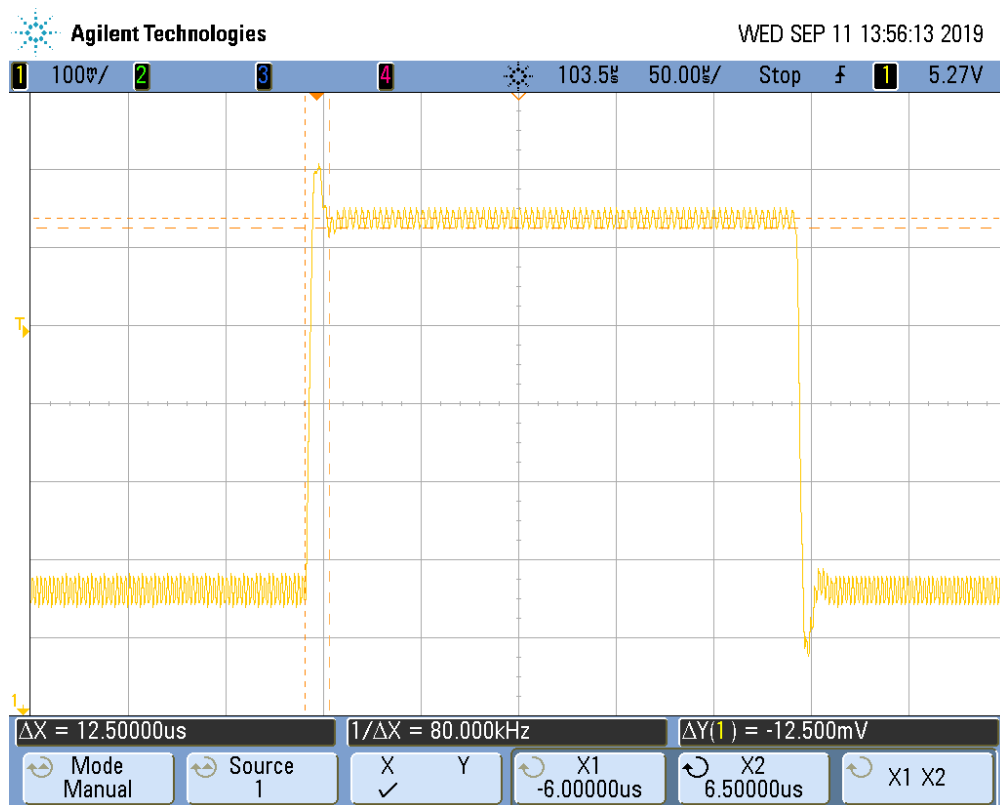


Figura 12: medición de settling time

Filtro de salida

La función que cumple el filtro de salida es fundamentalmente la de permitir obtener una señal salida mas limpia con respecto al ruido filtrando este y, ademas, eliminar las oscilaciones de alta frecuencia que pudieran no haber sido atenuadas adecuadamente por el filtro LF en cualquiera de las topologías que se presentaron para dicho filtro. Desde un punto de vista teórico esta etapa no afectará la transferencia del PLL propiamente dicho, ya que se localiza a la salida de este, pero si tendrá influencia en la transferencia del sistema total. Según los valores propuestos para el resistor y el capacitor por la cátedra se tendrá que la constante de tiempo será de 560ns. Dicha constante afectará de forma significativa el sistema ya que cuanto menor sea esta menor será el tiempo en el que el sistema alcance el valor de la señal, pero mayor será su ancho de banda, y vice-versa.

Conclusiones

Se ha estudiando el proceso de diseño y las bases teóricas que sostienen el funcionamiento del PLL. Las pruebas realizadas sobre el mismo consistieron fundamentalmente en observar y analizar la respuesta dinámica del sistema al escalón realizando una comparación con los cálculos teóricos previos y las simulaciones hechas. Al momento de operar con el filtro F1 (RC) según lo obtenido teóricamente se esperaba obtener un porcentaje de overshoot de 0.72 así como un rise time de 2.1 useg y settling time de 74.4 useg, a lo cual en la practica finalmente se obtuvo un porcentaje de 0.74, un rise time de 2.2 useg y un settling time de 81 useg. Con esto las mediciones tomadas se consideran satisfactorias. Por otro lado al utilizar el filtro F2 (RRC) los parámetros predichos por la teoría fueron de un overshoot de 0.24, un rise time de 2.3 useg y un settling time de 14.9 useg; pasando la practica lo que se obtuvo fue un overshoot de 0.18, un rise time de 2.5 useg y un settling time de 12.5 useg. Nuevamente se observa que los valores obtenidos representan fielmente a los obtenidos realizando el calculo teórico previo y simulado. Con todo se pudo analizar y observar correctamente el funcionamiento del PLL como un sistema del control realimentado el cual entre otras cosas permitirá realizar la demodulacion de una señal modulada en FM, dados los parametros de trabajo adecuados, debido a dicho control que se realiza sobre la señal.