



Instituto Tecnológico de Buenos Aires  
14 de Noviembre 2018

CIRCUITO AMPLIFICADOR  
Trabajo de Laboratorio nº 2

---

# ELECTRONICA I

---

Grupo 3

<i>Nombre</i>	<i>Legajo</i>
Ariel Nowik	58309
Joaquín Mestanza	58288
Marcelo Regueira	58300
Martina Máspero	57120

# Índice

<b>1. Circuito utilizado</b>	<b>2</b>
1.1. Polarización . . . . .	2
1.2. Modelo incremental . . . . .	4
1.3. Circuito incremental - Análisis . . . . .	5
1.4. Ganancia de tensión $AV$ . . . . .	6
1.4.1. Total . . . . .	6
1.4.2. Etapa diferencial . . . . .	6
1.4.3. Etapa Drain Común . . . . .	6
1.5. Ganancia de corriente $AI$ . . . . .	6
1.6. Impedancia de entrada $R_I$ . . . . .	7
1.7. Impedancia de salida $R_O$ . . . . .	7
<b>2. Simulación</b>	<b>8</b>
2.1. Ganancia de tensión $AV$ . . . . .	8
2.1.1. Total . . . . .	8
2.1.2. Etapa diferencial . . . . .	8
2.1.3. Etapa Drain Común . . . . .	8
2.2. Ganancia de corriente $AI$ . . . . .	9
2.3. Impedancia de entrada $R_I$ . . . . .	9
2.4. Impedancia de salida $R_O$ . . . . .	9
<b>3. Mediciones</b>	<b>10</b>
3.1. Polarización . . . . .	10
3.2. Ganancia de tensión $AV$ . . . . .	10
3.2.1. Total . . . . .	10
3.2.2. Etapa diferencial . . . . .	11
3.2.3. Etapa Drain Común . . . . .	11
3.3. Ganancia de corriente $AI$ . . . . .	12
3.4. Impedancia de entrada $R_I$ . . . . .	12
3.5. Impedancia de salida $R_O$ . . . . .	12
<b>4. Diseño del amplificador en PCB</b>	<b>13</b>
<b>5. Conclusiones generales</b>	<b>13</b>

## 1. Circuito utilizado

El circuito amplificador propuesto se muestra en la siguiente gráfica.

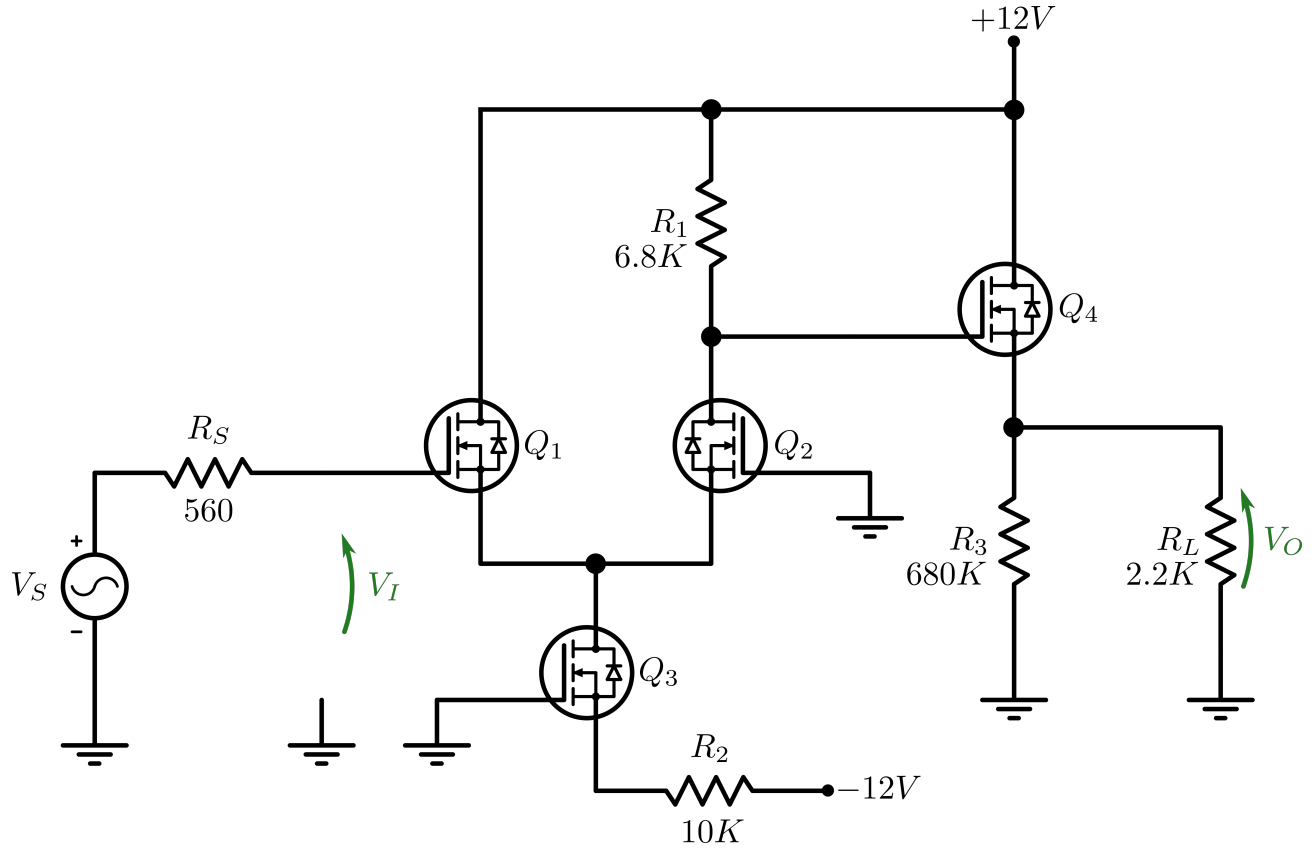


Figura 1: Circuito amplificador

El mismo está implementado con transistores N-MOS 2N7000, y consta de un par diferencial polarizado con un tercer transistor en la malla de entrada, cuya salida se conecta a la entrada GATE de un cuarto transistor, tomando la salida sobre el SOURCE. Debido a que los valores de resistencia disponibles no eran muy adecuados, solo pudo configurarse el circuito como se muestra, sin utilizar un capacitor de desacople para la carga de  $2,2K\Omega$ , por lo que la señal de salida estará montada sobre una continua. Considerando como entradas al par diferencial  $Q_1 - Q_2$  tensiones  $V_{S1}$  y  $V_{S2}$ :

$$V_O = A_{VD}(V_{S1} - V_{S2}) + A_{VC} \left( \frac{V_{S1} + V_{S2}}{2} \right)$$

Dado que se utiliza una sola de las entradas, en este caso  $V_{S1}$  (correspondiente a  $V_S$ ), la otra se conecta a GND, de manera tal que la tensión de salida  $V_O$  resulta:

$$V_O = A_{VD}V_{S1} + A_{VC} \frac{V_{S1}}{2}$$

### 1.1. Polarización

Para la polarización, partimos de suponer lo siguiente:

- El transistor está en inversión fuerte :  $V_{GS} > V_{TH}$
- El transistor está en saturación:  $V_{DS} > V_{GS} - V_{TH}$

Se sabe que:

$$I_D = \frac{1}{2} \cdot K' n \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH})^2$$

Donde se llamará  $\alpha = \frac{1}{2} \cdot K' n \cdot \frac{W}{L}$ . Dado que su valor no es dado directamente por la hoja de datos, se toma un par  $I_D(V_{DS})$  que se encuentre en la zona de saturación, para una  $V_{GS}$  determinada, de manera tal de poder despejar de la ecuación anterior. De la hoja de datos provista por OnSemiconductor, se toma el par  $I_D = 0,8A$  y  $V_{GS} = 7V$ , y considerando también de dicho fabricante una tensión  $V_{TH} = 1V$  se despeja de la ecuación anterior:

$$\alpha = \frac{I_D}{(V_{GS} - V_{TH})^2} = 22 \frac{mA}{V}$$

Siguiendo con el análisis de continua:

En la datasheet de OnSemiconductor se informa del rango de la tensión de threshold  $V_{TH}$ , donde el mínimo es 0.8V y el máximo es 3V. Como la malla de entrada es la misma, resulta  $I_1 = I_2 = I$ , y por ende  $I_3 = 2I$ .

Con la ecuación:

$$V_{GS3} = V_{CC} - 2I \cdot R_2$$

Y con:

$$I_3 = 2I = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{GS3} - V_{TH})^2 = \alpha (V_{GS3} - V_{TH})^2$$

$$0 = -4I^2 R_2^2 - (4(V_{CC} - V_{TH})R_2 + \frac{2}{\alpha})I + (V_{CC} - V_{TH})^2$$

$$I = \frac{2R_2 V_{CC} \alpha - 2R_2 V_{TH} \alpha + 1 \pm \sqrt{4R_2 V_{CC} \alpha - 4R_2 V_{TH} \alpha + 1}}{4R_2^2 \alpha}$$

Para poder realizar las cuentas se procede a comparar numéricamente con las mediciones, dado que no se puede predecir a priori el valor que toma  $V_{TH}$  para cada transistor real. Sabemos que con  $I$  se puede calcular  $V_{GS3}$  y dado que se tienen dos valores, descartar uno de los dos mediante la suposición  $V_{DS} > V_{GS} - V_{TH}$ , podemos notar que siempre el que de mayor  $V_{GS} - V_{TH}$  va a ser el correcto. Sabiendo esto, se obtienen los valores:

$$V_{TH} = 1,86V$$

$$I = 0,5mA$$

$$V_{GS3} = 2,07V$$

Ahora que se obtuvo  $V_{GS3}$  se puede obtener fácilmente  $V_{GS2}$ , que es aproximadamente igual a  $V_{GS1}$ .

Para esta instancia utilizamos el  $V_{TH}$  anterior y revisamos cuánto se desvía de lo medido, en caso de ser necesario se ha de tener que ajustar con otro  $V_{TH}$  que se encuentre dentro del intervalo dado anteriormente ya que, si bien sabemos que los transistores son físicamente distintos, puede que  $V_{TH}$  sea parecido.

$$\sqrt{\frac{I}{\alpha}} = |V_{GS2} - V_{TH}|$$

$$0,15V = |V_{GS2} - V_{TH}|$$

$$V_{GS2} - V_{TH} = \pm 0,15V$$

Por la misma razón de antes elegimos la que da  $+0.15V$ , luego:

$$V_{GS2} = 2,01V$$

$$V_{DS3} = V_{CC} - 2I.R_2 - V_{GS2} = 0,07V$$

$$V_{DS1} = 2V_{CC} - V_{DS3} - 2I.R_2 = 14,07V$$

$$V_{DS2} = 2V_{CC} - I.R_1 - 2I.R_2 - V_{DS3} = 10,64V$$

Análogamente con las siguientes ecuaciones:

$$V_{GS4} = V_{CC} - I.R_1 - I_4(R_3//R_L) \approx V_A - I_4R_L$$

$$V_A = V_{CC} - I.R_1 = 8,63V$$

$$I_4 = \alpha(V_{GS4} - V_{TH})^2$$

Se obtiene que  $I_4$ :

$$I_4 = \frac{4400V_A\alpha(V_A - V_{TH}) \pm \sqrt{(8800\alpha(V_A - V_{TH}) + 1)}}{9680000\alpha}$$

Como en este caso con el  $V_{TH}$  que se acarreaaba daba muy distinto se procede a averiguar cuánto es el  $V_{TH}$  del transistor  $Q_4$ .

El valor que más se correspondía con las mediciones es  $V_{TH4} = 0,96V$  (que se encuentra dentro del intervalo garantizado por el fabricante). Con esto último, resulta:

$$V_{GS4} = 1,35V$$

$$I_4 = 3,3mA$$

Por lo que recorriendo la malla de salida de  $Q_4$  se obtiene  $V_{DS4}$ :

$$12V - I_4(R_3//R_L) = V_{DS4} = 4,76V$$

Se realizará luego un contraste de los valores de polarización teóricos con los medidos mediante un cuadro.

## 1.2. Modelo incremental

Considerando el modelo del transistor MOS para señales débiles y frecuencias medias:

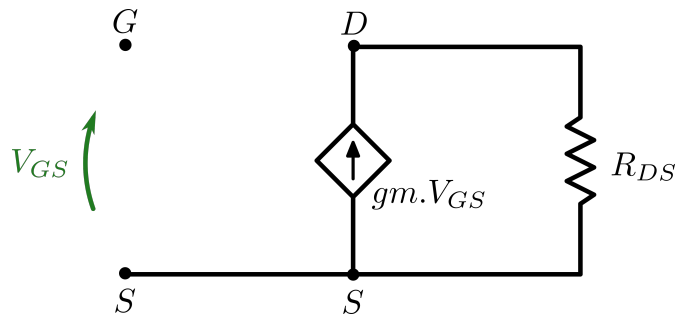


Figura 2: Modelo incremental

Los parámetros son calculados mediante las ecuaciones:

$$R_{DS} = \frac{V_A}{I_D}$$

$$gm = \sqrt{2 \cdot K' n \cdot \frac{W}{L} \cdot I_D} = \sqrt{4 \cdot \alpha \cdot I_D}$$

Donde  $V_A$  es la tensión de Early del transistor. Dado que no se dispone de dicho valor de las hojas de datos, de todas formas se considerará que  $R_{DS}$  es lo suficientemente grande para despreciarla como una primera aproximación. Teniendo esto en cuenta, se calcula el valor de  $gm$  para cada transistor.

	$Q_1$	$Q_2$	$Q_3$	$Q_4$
$gm$	$6,6 \cdot \frac{mA}{V}$	$6,6 \cdot \frac{mA}{V}$	$9,3 \cdot \frac{mA}{V}$	$17 \cdot \frac{mA}{V}$

Figura 3: Parámetros del modelo incremental

### 1.3. Circuito incremental - Análisis

Reemplazando por el modelo incremental en cada transistor y pasivando las fuentes de continua, resulta:

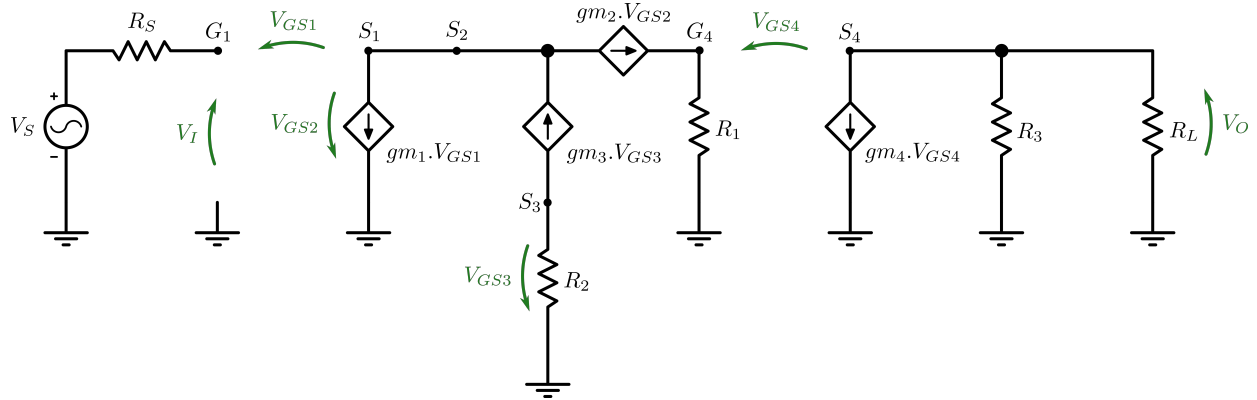


Figura 4: Circuito incremental

Dado que la disposición de  $V_{GS1}$  y  $V_{GS4}$  no es la más cómoda para los cálculos, se trabaja con los correspondientes generadores dependientes para cambiar la referencia de dichas tensiones, de forma que (en general):

$$gm \cdot V_{GS} = gm \cdot (V_G - V_S) = gm \cdot V_G - gm \cdot V_S$$

Donde si se hace el cociente entre la tensión  $V_S$  sobre el generador  $gm \cdot V_S$  y la corriente misma, resulta una impedancia:

$$\frac{V_S}{gm \cdot V_S} = \frac{1}{gm}$$

En la rama con el generador  $gm_3 \cdot V_{GS3}$  dado que éste depende de  $V_{GS3}$ , al no recibir corriente por otro nodo queda abierta. Por otro lado, se invierte el sentido de  $V_{GS2}$  como  $V_{SG2}$  para que se encuentre referida a GND.

Con los reemplazos anteriores, el circuito resultante es:

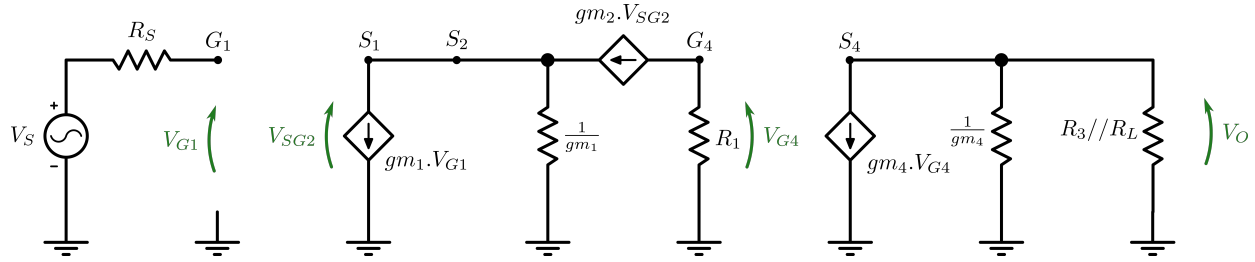


Figura 5: Circuito incremental simplificado

Sabiendo que:

$$V_{SG2} = (gm_2 \cdot V_{SG2} - gm_1 \cdot V_{G1}) \frac{1}{gm_1}$$

Dado que  $gm_1 = gm_2$ , y como  $V_{G1} = V_S \neq 0$ , resulta que  $V_{SG2} = V_{G1}$ , por lo que no se deriva corriente por la impedancia  $\frac{1}{gm_1}$ . Con estos datos se calculan ahora los parámetros característicos.

## 1.4. Ganancia de tensión $AV$

### 1.4.1. Total

Para la ganancia de tensión:

$$AV = \frac{V_O}{V_I} = \frac{-gm_4 \cdot V_{G4} \cdot (\frac{1}{gm_4} // R_3 // R_L)}{V_{G1}} = \frac{gm_4 \cdot gm_2 \cdot V_{G1} \cdot R_1 \cdot (\frac{1}{gm_4} // R_3 // R_L)}{V_{G1}}$$

$$AV = gm_4 \cdot gm_2 \cdot R_1 \cdot \left( \frac{1}{gm_4} // R_3 // R_L \right) = 43$$

### 1.4.2. Etapa diferencial

Tomando la salida de la etapa diferencial en  $V_{G4}$ , se calcula la ganancia teórica de dicha etapa por separado:

$$AV_D = \frac{V_{G4}}{V_I} = \frac{-gm_2 \cdot R_1 \cdot V_{G1}}{V_{G1}} = -gm_2 \cdot R_1 = 44,8$$

### 1.4.3. Etapa Drain Común

Y considerando sólo la etapa de salida «Drain Común», cuya entrada es  $V_{G4}$  y salida  $V_O$ , resulta:

$$AV_{DC} = \frac{V_O}{V_{G4}} = \frac{gm_4 \cdot V_{G4} \cdot (\frac{1}{gm_4} // R_3 // R_L)}{V_{G4}} = gm_4 \cdot (\frac{1}{gm_4} // R_3 // R_L) = 0,98$$

Lo cual es consistente para una etapa con dicha configuración (al igual que un colector común con BJT, la ganancia de tensión  $AV$  debe ser menor a 1).

## 1.5. Ganancia de corriente $AI$

Dado que la corriente de entrada es 0, y la de salida está definida por la fuente de corriente  $gm_4 \cdot V_{G4}$ , resulta idealmente:

$$AI \rightarrow \infty$$

**1.6. Impedancia de entrada  $R_I$** 

Para la impedancia de entrada, teniendo en cuenta también como antes que la corriente de entrada es 0, resulta:

$$R_I \rightarrow \infty$$

**1.7. Impedancia de salida  $R_O$** 

Finalmente, la impedancia de salida al pasivar el generador de entrada, resulta el conjunto:

$$R_O = \left( \frac{1}{gm_4} // R_3 // R_L \right) = 57\Omega$$



## 2. Simulación

Se simuló el circuito propuesto en LTSpice, utilizando un modelo adecuado del transistor implementado. Dado que el análisis incremental realizado es válido para señales débiles a frecuencias medias, en todos los casos se utilizó la respuesta en frecuencia del circuito, tomando la ganancia de frecuencias medias.

### 2.1. Ganancia de tensión $AV$

#### 2.1.1. Total

Mediante el análisis en frecuencia, el diagrama obtenido se muestra a continuación (luego se buscará superponerlo con el medido).

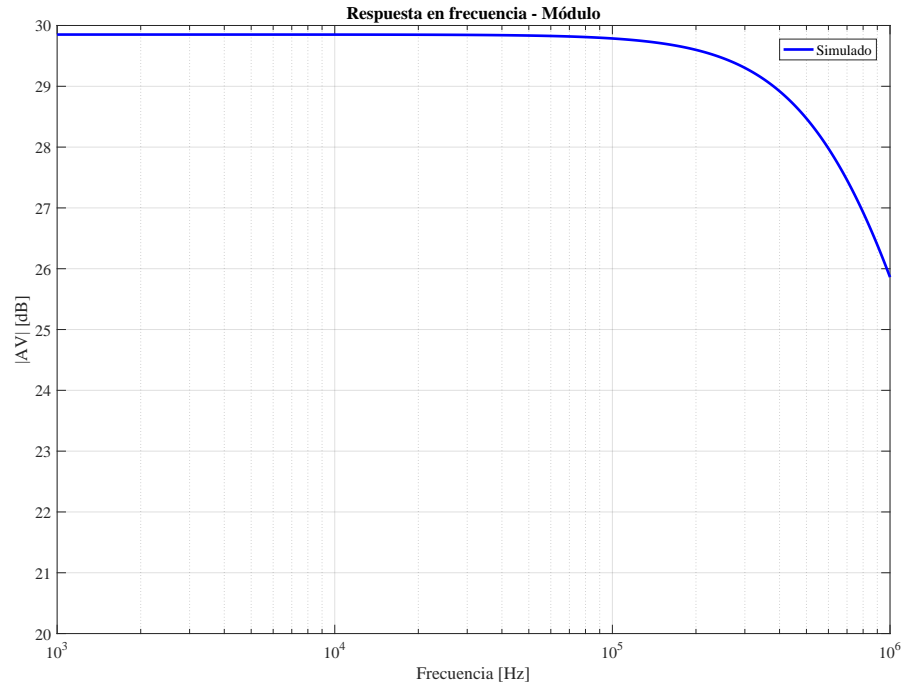


Figura 6: Respuesta en frecuencia simulada - Módulo

De donde se obtiene que la ganancia para frecuencias medias en la banda de paso resulta:

$$AV[dB] = 29,8 \longrightarrow AV = 30,9$$

#### 2.1.2. Etapa diferencial

Tomando la relación entre la entrada y la salida de la etapa diferencial para frecuencias medias, desacoplandola de la etapa Drain Común, se obtiene:

$$AV_D[dB] = 30 \longrightarrow AV_D = 31,6$$

#### 2.1.3. Etapa Drain Común

Separando ahora la etapa en cuestión, tomando la relación entre entrada y salida para frecuencias medias, se obtiene:

$$AV_{DC}[dB] = -0,17 \longrightarrow AV_{DC} = 0,98$$

## 2.2. Ganancia de corriente $AI$

Para la ganancia de corriente, se mide la corriente sobre la carga y la corriente de entrada, que idealmente es 0, en el análisis incremental al ser variable la tensión de entrada, la tensión en el capacitor en GATE es variable y produce una muy pequeña corriente, de manera tal que:

$$AI = \frac{I_O}{I_I} = \frac{4,07mA_p}{25nA_p} = 162800$$

## 2.3. Impedancia de entrada $R_I$

Para la impedancia de entrada, teniendo en cuenta la corriente de entrada anterior, resulta:

$$R_I = \frac{V_I}{I_I} = \frac{100mV_p}{25nA_p} = 4M\Omega \approx \infty$$

## 2.4. Impedancia de salida $R_O$

Para la impedancia de salida, se pasiva el generador de la entrada, sacando la carga y conectando un generador de prueba  $V_{op}$  y midiendo la corriente que circula, se obtiene:

$$R_O = \frac{V_{op}}{I_{op}} = \frac{1V_p}{0,3A_p} = 3,3\Omega$$

### 3. Mediciones

#### 3.1. Polarización

Como se mencionó en la sección de cálculos, para ajustar algunos valores se debió armar el circuito y medir los puntos de polarización prácticos, de forma tal de poder definir la  $V_{TH}$  para cada transistor real. En el siguiente cuadro se comparan los valores medidos con los calculados.

	$Q_1$		$Q_2$		$Q_3$		$Q_4$	
	Teórico	Medido	Teórico	Medido	Teórico	Medido	Teórico	Medido
$V_{DS}$	14,07V	13,96V	10,64V	11,3V	0,07V	0V	4,76V	4,01V
$V_{GS}$	2,01V	2,05V	2,01V	2,14V	2,07	2,06V	1,35V	1,35V
$I_D$	0,5mA	0,58mA	0,5mA	0,42mA	1mA	1mA	3,30mA	3,58mA

Figura 7: Polarización

#### 3.2. Ganancia de tensión $AV$

##### 3.2.1. Total

A partir de inyectar una señal de  $100mV_p$  (dado que, como se mencionó anteriormente el análisis se realiza para señales débiles), se realiza un barrido en frecuencias desde  $0,5Hz$  hasta  $900KHz$ , de manera tal de contrastar la respuesta en frecuencia obtenida con la simulada, además de obtener la ganancia para frecuencias medias, obteniendo los siguientes diagramas.

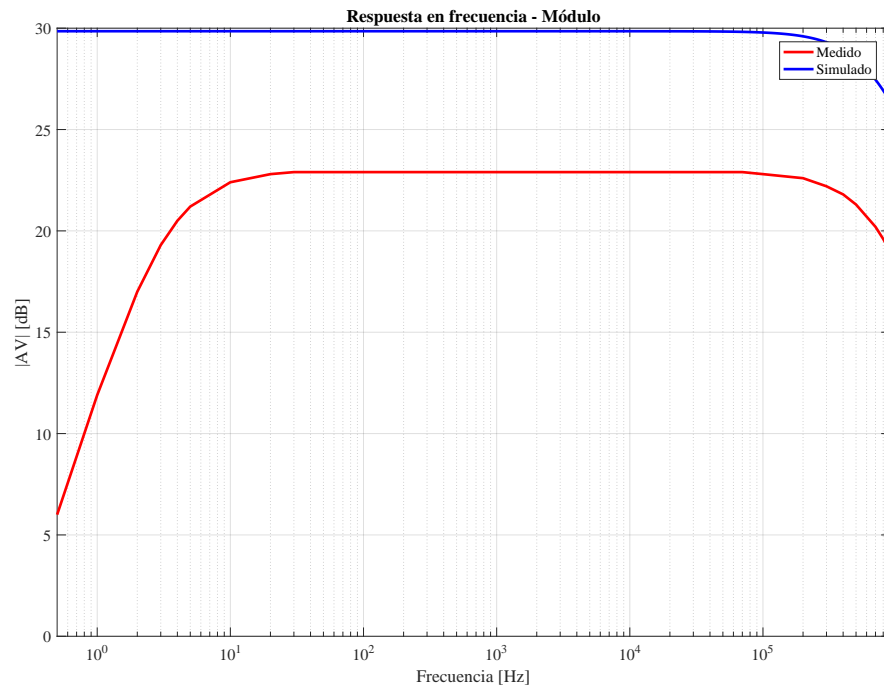


Figura 8: Respuesta en frecuencia - Módulo

De las mediciones obtenidas resulta que para frecuencias medias:

$$AV[dB] = 22,9 \longrightarrow AV = 13,9$$

### 3.2.2. Etapa diferencial

Conectando a la entrada del circuito una señal de  $100mV_p$  a  $3KHz$  (correspondiente para el análisis de señales débiles) se midió a la salida del par diferencial con el osciloscopio, obteniendo las siguientes formas de onda.

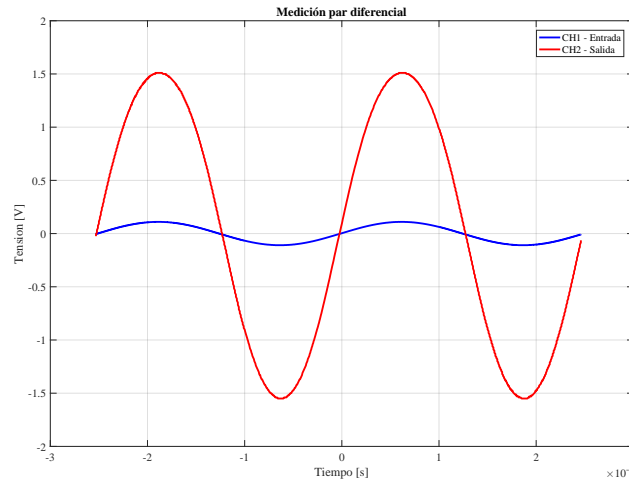


Figura 9: Etapa diferencial

De donde se obtiene una señal de salida de  $1,51V_p$ , por lo que la ganancia de la etapa diferencial resulta:

$$AV_D = \frac{V_{OD}}{V_I} = \frac{1,51V}{100mV_p} = 15,1$$

### 3.2.3. Etapa Drain Común

Para esta etapa, se realiza el mismo procedimiento anterior, conectando a la entrada del circuito una señal de  $100mV_p$  a  $3KHz$ , midiendo la salida de la etapa con el osciloscopio, obteniendo las formas de onda siguientes.

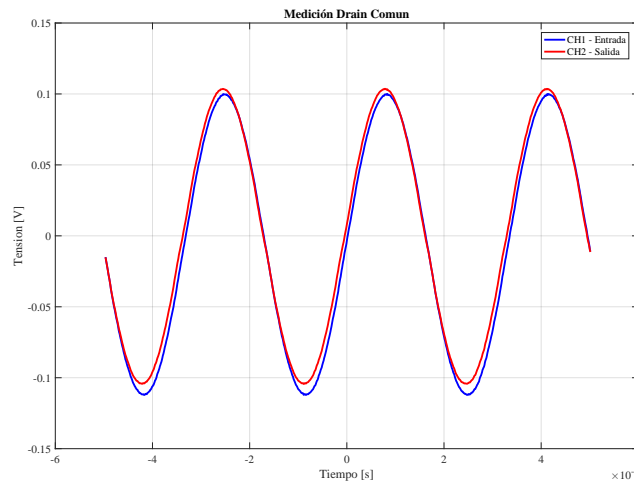


Figura 10: Etapa Drain Común

De donde tomando las amplitudes de salida y entrada se obtiene la ganancia de tensión:

$$AV_{DC} = \frac{V_O}{V_{IDC}} = \frac{104mVp}{106mVp} = 0,98$$

Que resulta menor a 1, lo cual es consistente con el tipo de etapa.

### 3.3. Ganancia de corriente $AI$

Para la ganancia de corriente, se midió la diferencia de tensiones sobre la resistencia de  $560\Omega$  fija para calculara la corriente de entrada (que como ya se mencionó en la sección de Simulación ésta no es 0 dado que a la entrada de GATE hay presente un capacitor):

$$AI = \frac{I_O}{I_I} = \frac{630uAp}{714nAp} = 882,3$$

### 3.4. Impedancia de entrada $R_I$

Tomando la corriente calculada en el punto anterior, se calcula la impedancia de entrada:

$$R_I = \frac{V_I}{I_I} = \frac{99,7mVp}{714nAp} = 140K\Omega$$

### 3.5. Impedancia de salida $R_O$

Pasivando la entrada de señal, en la salida se retira la carga y se coloca una resistencia de bajo valor ( $10\Omega$ , teniendo en cuenta que de acuerdo a los valores calculados y simulados debe estar dentro de ese orden), y se inyecta una señal de  $100mVp$  por dicha salida, midiendo la diferencia de tensiones entre bornes de la resistencia para poder calcular la corriente, de manera tal que:

$$R_O = \frac{V_{OP}}{I_{OP}} = \frac{100mVp}{500uA} = 200\Omega$$

## 4. Diseño del amplificador en PCB

Para el desarrollo en PCB se utilizó el software Altium, implementando el circuito impreso en la placa asignada de  $5\text{cm} \times 5\text{cm}$ .

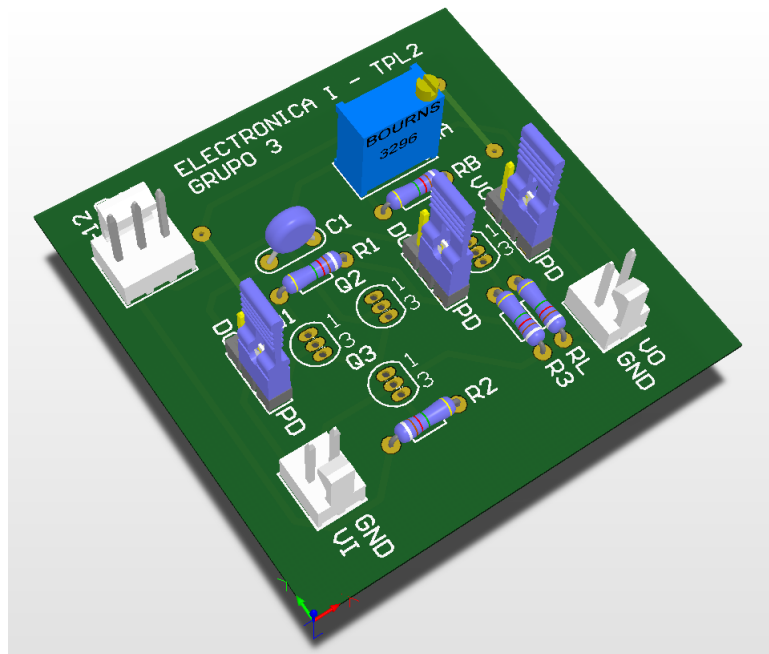


Figura 11: Vista 3D

## 5. Conclusiones generales

En base al amplificador realizado, se resaltan algunos puntos sobre la implementación final:

- Para el diseño del circuito, dados que los valores de resistencias disponibles no eran los más adecuados, por lo que para poder polarizar el circuito se debió dejar la carga  $R_L$  sin capacitor de desacople, por lo que la señal de salida se encuentra montada sobre una continua (por ello la excursión máxima no es simétrica).
- Al no ser físicamente idénticos los transistores, las tensiones de threshold ( $V_{TH}$ ) son considerablemente diferentes entre los cuatro utilizados, por lo que las corrientes de ambos transistores  $Q_1$  y  $Q_2$  del par diferencial resultaron un poco diferentes (sumado a que se dispone de resistencia de Drain en sólo uno de ellos), rompiendo la simetría y disminuyendo la ganancia de tensión final. Esto puede mejorarse si se miden los transistores por separado, y elegir los que tengan tensiones  $V_{TH}$  parecidas.
- En las hojas de datos de los transistores, se especifica una corriente máxima de fuga de los capacitores de GATE, lo cual es consistente con la corriente incremental no nula obtenida en la simulación y las mediciones al momento de calcular la ganancia de corriente y la impedancia de entrada. Ambas son, de todas formas, bastante grandes.
- La mejor característica que se considera que posee el circuito es la alta impedancia de entrada que presenta y baja impedancia de salida.