

# Instituto Tecnológico de Buenos Aires

22.49 - LAB. DE DSP FPGA

---

## Trabajo Práctico: Synchronous Serial Interface (SSI)

---

MESTANZA, Joaquín Matías	58288
DE LEÓN, Nicolás Matías	57232
NOWIK, Ariel Santiago	58309

*Profesor*

JACOBY, Daniel Andrés

# 1 Caniost

Se trata del archivo principal, el cual incluye todos los archivos.

Los archivos pueden subdividirse en archivos de dos tipos: archivos que contienen macros (`ada_equ`, `intequ`, `ioequ`, `vectors`) y archivos que están orientados a manejar subrutinas (`ada_init`, `caniost`, `interrupts`).

En `caniost` inicialmente se incluyen las macros necesarias para poder inicializar el codec por medio de la subrutina `ada_init` que se encuentra en el archivo `ada_init`, además de macros generales para utilizar posteriormente.

Se configura con `CTRL_WD_1234`, lo cual eventualmente (en la subrutina `ada_init`) va a ser escrito en Control Data Input y va a dar configuración a cada canal. Esto puede configurar cosas como: `gain`, `attenuation` así como `input select`, `mute` y `digital output bits`.

`channel_sync` es un flag que se togglea cada vez que se empieza a procesar un canal, y además cuando se llama a `ssi_rx_isr` y `ssi_rxls_isr`.

Antes de ejecutar la subrutina de inicialización, se setea la frecuencia del PLL, se habilitan las interrupciones, se resetea el hardware stack pointer y ponemos el operating mode del procesador en modo 0.

Luego, se procede a llamar a la subrutina de inicialización `ada_init`.

Dentro de las subrutinas `right_channel_sr` y `left_channel_sr` se encontrarán las instrucciones necesarias para poder realizar el procesamiento deseado.

## 2 interrupts

Se lee el ADC, y según el canal que se va a procesar se llama a diferentes subrutinas de procesamiento (`left_channel_sr` / `right_channel_sr`) que están escritas en `caniost`, una vez que se termina de procesar, se escribe en el DAC.

## 3 ada\_init

El código en `ada_init` tiene como finalidad inicializar el codec CS4218.

Comienza reseteando los puertos `ESSI0`, `ESSI1` correspondientes a la interfaz serial asincrónica.

Los registros de control A y B se configuran para establecer las características de comunicación sincrónica serial. Allí se configuran: `clock`, `prescalers`, `tamaños de frame` y `word`, `data alignment`, `network mode`, y otras configuraciones.

Se configura la dirección y funcionalidad de los GPIO pins. Para realizar esto se escribe en el Port D Control register, Port C Direction Register y Port D Direction Data Register.

Luego se realiza un Codec reset para el cual es necesario realizar un delay de mínimo de 50 ms asegurándonos que efectivamente se realizó. Una vez reiniciado, debemos prepararnos para

mandar la información de control para lo cual se realiza un bit set de el `CODEC_RESET`.

A continuación, se envían las palabras de control (las cuales fueron previamente definidas en canioست), para realizar esto es necesario enviar primero información de control de prueba o dummy, ya que es ignorada por el codec, y luego mandar la información de control correcta, ya que estamos en Serial Mode 4 (SM4).