

El Flujo de Diseño Analógico

Back-End

Dr.-Ing. Juan José Montero-Rodríguez

Instituto Tecnológico de Costa Rica
Escuela de Ingeniería Electrónica
Elementos Activos

Semestre I-2019



Principios de fabricación de circuitos integrados (2.5 semanas)

- El proceso de fabricación CMOS: materiales, técnicas y flujo de fabricación, prevención de efecto de enganche
- Integración de elementos pasivos, capacitores conmutados para integración de resistencias.
- Principios de layout e introducción al flujo de back-end

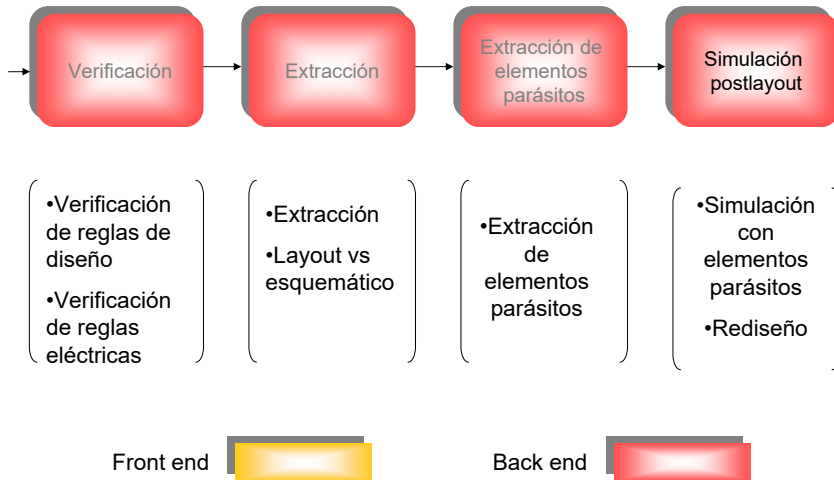
Objetivos

- Conocer los principios de fabricación de circuitos integrados CMOS
- Aplicar técnicas básicas de layout y principios básicos del flujo backend

El Flujo de Diseño Analógico



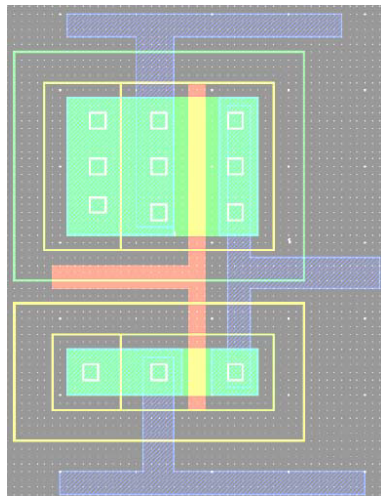
El Flujo de Diseño Analógico



- Back-end: diseño físico y verificación del diseño después del diseño físico
- Incluye una serie de verificaciones para asegurar fabricación exitosa:
 - Verificación de reglas de diseño (DRC)
 - Verificación de layout contra esquemático (LVS)
 - Extracción de elementos parásitos
 - Simulación de postlayout
 - Puede incluir también verificación de reglas eléctricas (ERC) y de errores de antena

Layout

- Layout: representación geométrica de los componentes a integrar y sus interconexiones
- Los componentes se representan con diferentes colores y polígonos
 - Colores representan materiales y propiedades
 - Polígonos representan la forma en la que se debe moldear una capa durante la fabricación = forma final que debe tener la capa
- El layout se utiliza para obtener la información para fabricar las máscaras
- Debe cumplir las reglas de diseño del fabricante



Reglas de Diseño

- Define geometría permitida y relaciones geométricas permitidas en el proceso de fabricación

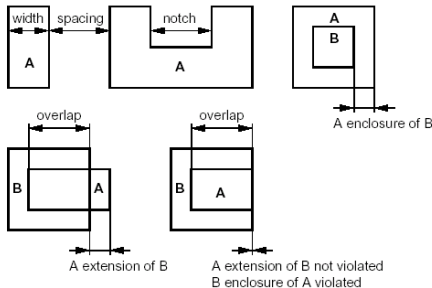
Geometric Relations

- Reglas definidas por las características del proceso de fabricación
- Deben respetarse para asegurar que el chip sea fabricado correctamente



Verificación de reglas de diseño
(DRC, design rules check)

A width	:= distance inside_A - inside_A
A spacing to B	:= distance outside_A - outside_B (different polygons)
A notch	:= distance outside_A - outside_A (same polygon)
A enclosure of B	:= distance inside_A - outside_B (A contains B)
A extension of B	:= distance inside_A - outside_B (A may intersect B)
A overlap of B	:= distance inside_A - inside_B



Reglas de diseño incluyen restricciones de 4 tipos:

- Ancho: precisión de litografía y de otros pasos de fabricación define el ancho (y largo) mínimo de un polígono
- Espaciamiento: fabricación impone restricciones de espaciamiento entre estructuras. Ej: evita corto circuitos y efectos de enganche
- Encapsulamiento: distancia mínima de traslape entre una estructura interna y otra que debe rodearla: Ej: contactos deben estar rodeados de metal para asegurar contacto eléctrico entre las capas por conectar
- Extensión: algunas estructuras deben extenderse más allá del borde de otras estructuras. Ej: compuerta de polisilicio debe extenderse más allá de las regiones de difusión a su lado

- Extracción:
 - Los polígonos del layout deben interpretarse para verificar que los componentes y conexiones fueron representados correctamente
 - Permite conocer el impacto de elementos parásitos: resistencias y capacitancias parásitas, diodos parásitos
 - Información requerida para creación de máscaras
- Existen herramientas de software para la extracción
 - Requieren dibujo de capas físicas
 - Requieren dibujo de capas auxiliares para la interpretación de los componentes representados = capas lógicas
- Dos tipos de capas:
 - De máscara
 - Lógicas (de definición)

Capas con las cuales se fabrican las máscaras para fabricar el circuito integrado

Mask Layers

CONT	:=	contact layer (connects MET1 to DIFF, POLY1, POLY2)
DIFF	:=	diffusion layer
FIMP	:=	n-field implant layer
MET1	:=	metal1 layer
MET2	:=	metal2 layer
NPLUS	:=	n+implant layer (physical n+implant = NOT NPLUS)
NTUB	:=	n-tub layer
PAD	:=	pad layer
POLY1	:=	poly1 layer
POLY2	:=	poly2 layer
PPLUS	:=	p+implant layer
VIA	:=	via layer (connects MET2 to MET1)

Capas lógicas, es decir, son una ayuda para la herramienta de extracción y verificación; no se utilizan en durante el proceso de fabricación del chip

Definition Layers

These layers are not used in chip production.

They are necessary for our design tools, e.g. design rule check.

PO1CUT	:=	excludes dummy POLY1 from checks
PO2CUT	:=	excludes dummy POLY2 from checks
DIFCUT	:=	excludes DIFF from device extraction
ZENER	:=	excludes Zener diodes from checks and automatic layer generation
DIODE	:=	marks protection diodes for device extraction
RESDEF	:=	resistor definition layer
RESTRM	:=	resistor terminal layer
SFCDEF	:=	excludes SFC from checks and automatic layer generation

Ejemplo de definición de estructuras para la extracción

Structures

DIFFCON	:= diffusion contact (CONT & DIFF)
GATE	:= CMOS gate (DIFF & POLY1)
NDIFF	:= n+diffusion (DIFF & (NOT NPLUS))
NDIFFCON	:= n+diffusion contact (CONT & NDIFF)
PADCON	:= CONT underneath PAD (CONT & PAD)
PADVIA	:= VIA underneath PAD (VIA & PAD)
PDIFF	:= p+diffusion (DIFF & PPLUS)
PDIFFCON	:= p+diffusion contact (CONT & PDIFF)
POLY1CON	:= poly1 contact (CONT & POLY1)
POLY2CON	:= poly2 contact (CONT & POLY2)
SCRIBE	:= scribe line border (Peripheral bus + scribe edge, example in SFC)
SCRIBECUT	:= scribe line border cut (example in SFC)
SFC	:= standard family cells
WIDE_MET1	:= MET1 width and length > 10 μm
WIDE_MET2	:= MET2 width and length > 10 μm

Definición de Componentes

La definición de estructuras depende de los componentes que pueden fabricarse en el proceso

Elements

CPOLY	:= poly1-poly2 capacitor (POLY1 & POLY2)
LAT3	:= lateral PNP transistor (3.6 μm x 3.6 μm emitter)
ND	:= parasitic n+p- diode
NMOS	:= n-channel MOSFET
NMOSH	:= high voltage n-channel MOSFET
NWD	:= parasitic n-p- diode
PD	:= parasitic p+n- diode
PMOS	:= p-channel MOSFET
RDIFFN3	:= n+diffusion resistor in periphery cells
RDIFFP3	:= p+diffusion resistor in periphery cells
RNWEEL	:= n-tub resistor
RPOLY1	:= poly1 resistor
RPOLY2	:= poly2 resistor
VERT15	:= vertical PNP transistor (15 μm x 15 μm emitter)
ZD2SM24	:= Zener diode for programmable elements

Reglas de Extracción

La extracción se basa en la intersección de polígonos de diferentes capas

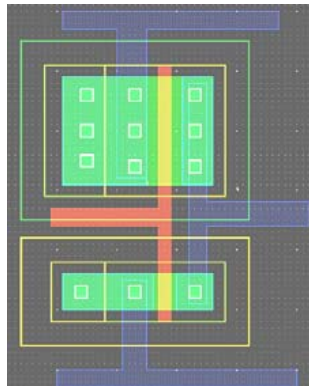
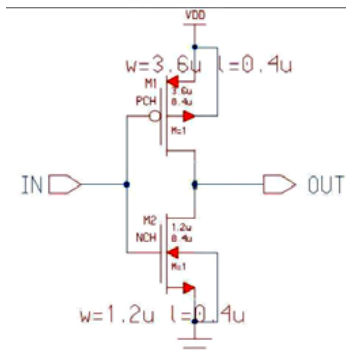
Las intersecciones requeridas para cada componente se definen por medio de reglas de extracción dadas por el fabricante

```
(NTUB = geomOr("NTUB"))
(PPLUS = (geomOr "PPLUS"))
(NPLUS = (geomOr "NPLUS"))
(CONT = (geomOr "CONT"))
(RESDEF = (geomOr "RESDEF"))
(RESTRM = (geomOr "RESTRM"))
(POLY2 = (geomOr "POLY2"))
(POLYCUT = (geomOr "POLYCUT"))
(POLY2CUT = (geomOr "POLY2CUT"))
(MET1 = (geomOr "MET1"))
(VIA = (geomOr "VIA"))
(MET2 = (geomOr "MET2"))
(VIA2 = (geomOr "VIA2"))
(MET3 = (geomOr "MET3"))
(DIODE = (geomOr "DIODE"))
(ZENER = (geomOr "ZENER"))
(MIDOX = (geomOr "MIDOX"))

(trans = (geomAndNot (geomAnd DIFF POLY1) DIFFCUT))
(ngate = (geomAndNot trans NTUB))
(pgate = (geomAnd trans NTUB))
(nde = (geomAnd ngate NPLUS))
(pdev = (geomAnd pgate PPLUS))
(diff = (geomAndNot DIFF POLY1))
(ndiff = (geomAnd diff NPLUS))
(pdif = (geomAnd diff PPLUS))
(nfet = (geomAndNot (geomAnd trans NPLUS) NTUB))
(ncap = (geomAndNot pgate pdev))
(gate_hvn = (geomAndNot (geomCoincident ncap NTUB) CAPDEF))
(capaw = (geomAnd ncap CAPDEF))
(capsw = (geomAndNot (geomAnd (geomAnd (geomAnd POLY1 MET1) MET2) CAPDEF) cap
(ncap = (geomAndNot (geomAndNot ncap gate_hvn) CAPDEF))
nfet_hv=geomButting( ndev NTUB)
(nfet = (geomAndNot nfet nfet_hv))
nfetm = geomAnd(nfet MIDOX)
nfet = geomAndNot(nfet nfetm)
(pfet = (geomAnd (geomAnd trans PPLUS) NTUB))
(pnp_mos1 = (geomAnd ndiff (geomInside NTUB (geomHoles pdiff))))
(pnp_mos2 = (geomInside pdiff (geomHoles pnp_mos1)))
(pnp_mos_e = (geomGetLength pnp_mos2 39.99 < length < 40.01 contiguous fig) )
(vert10 = (geomAndNot (geomOr pnp_mos_e) DIODE))
(pdif = (geomAndNot pdif pnp_mos_e))
(pnp_lat = (geomHoles pfet))
```

Layout vs Esquemático

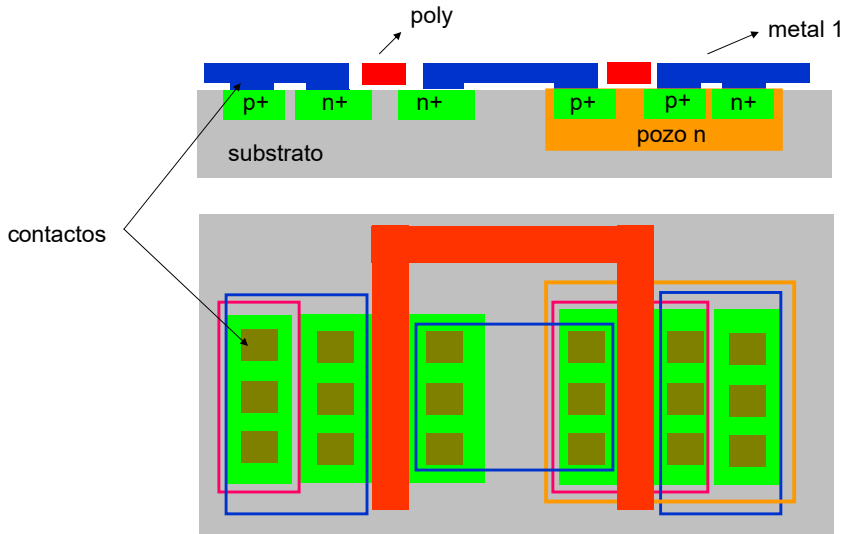
- Una vez interpretado el layout (extraído), debe verificarse que los componentes y conexiones presentes representan el circuito que se diseñó en el esquemático
- Esta verificación se conoce como LVS (layout versus esquemático)
- Se revisa cada componente, así como sus interconexiones



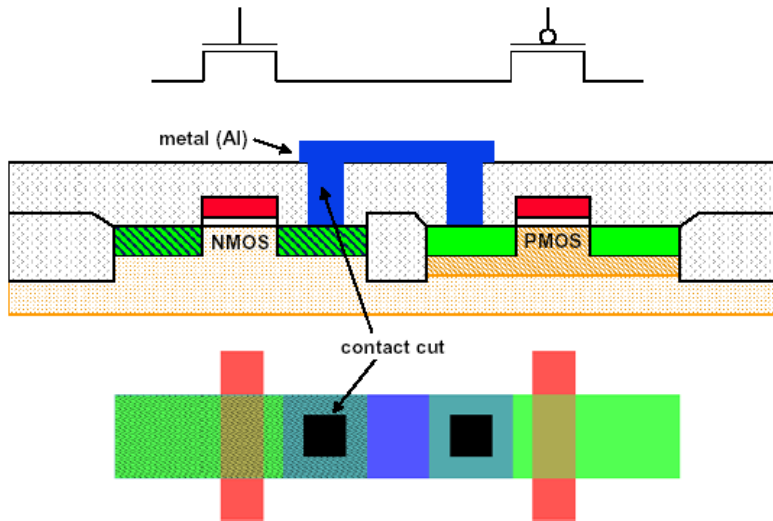
Simulación de Postlayout

- Los elementos parásitos presentes y su magnitud sólo pueden saberse después de finalizar el layout
- En las primeras simulaciones, no se tomaron en cuenta estos elementos
- Simulación de postlayout:
 - Verificación de características y funcionalidad del circuito tomando en cuenta los elementos parásitos
- Elementos parásitos pueden afectar el funcionamiento del circuito \Rightarrow puede requerir rediseño completo

Sección Transversal de un Inversor CMOS



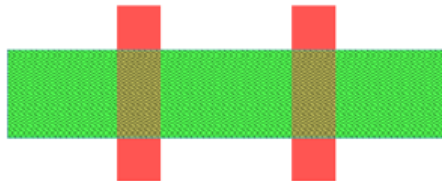
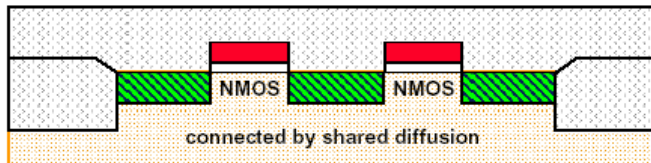
Layout vs Sección Transversal



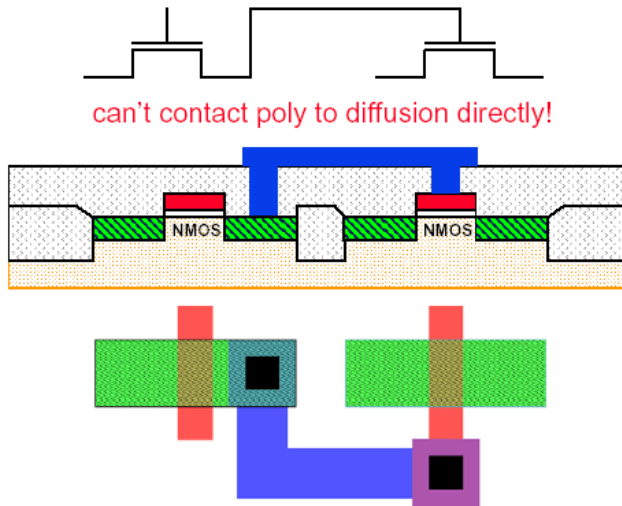
Layout vs Sección Transversal



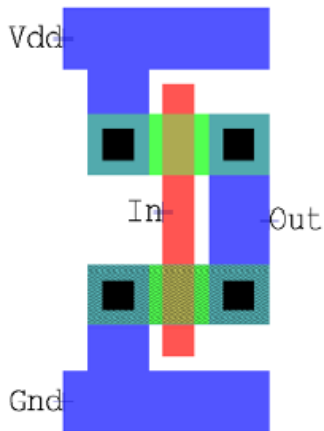
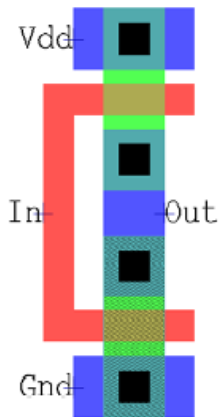
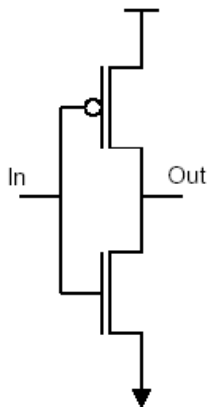
can't do this with opposite types!



Layout vs Sección Transversal

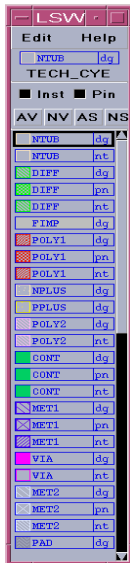


Layout de Inversor

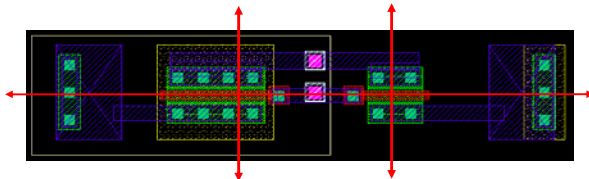


preferred

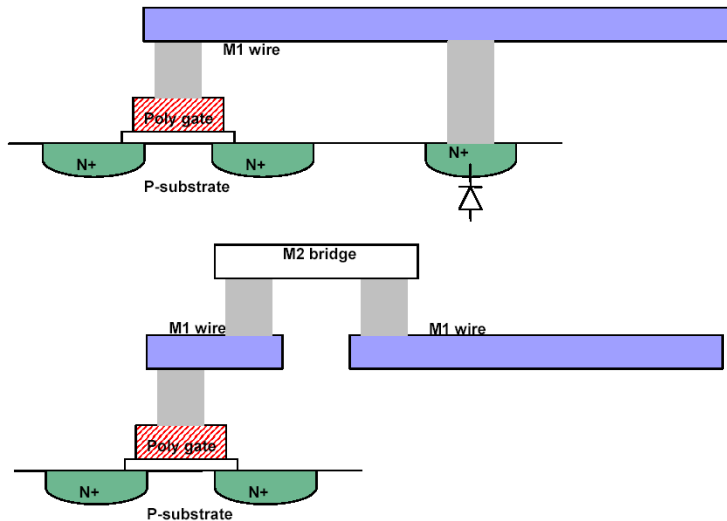
Ejemplo de Layout con Proceso Comercial



Nombre del contacto	Descripción
VIA_C	Contacto entre MET1 y MET2
VIA1_C	Contacto entre MET2 y MET3
VIA2_C	Contacto entre MET3 y MET4
P1_C	Contacto entre MET1 y POLY1
P2_C	Contacto entre MET1 y POLY2
ND_C	Contacto entre MET1 y N-tub
PD_C	Contacto entre MET1 y sustrato P



Errores de Antena



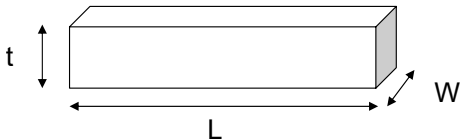
Integración de Resistencias

Métodos:

- Interconexión de silicio policristalino dopado
- Regiones de difusión

$$R = \frac{\rho L}{Wt}$$

L: longitud de interconexión
t: espesor de interconexión
W: ancho de interconexión

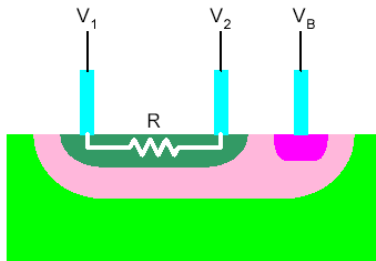


Espesor de conductor es definida por el proceso

Resistencias integradas presentan una tolerancia de $\pm 20\%$ (precisión de la litografía, decapado y difusión, además de variaciones en el espesor la interconexión)

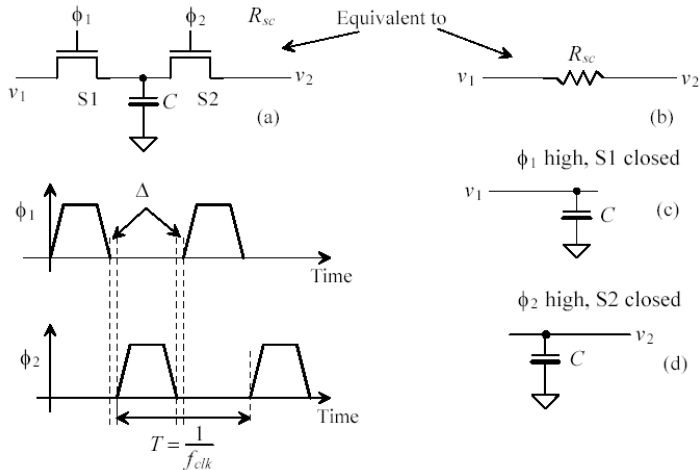
Integración de Resistencias

"Serpentinas" se usan para obtener resistencias de mayor valor en una estructura compacta

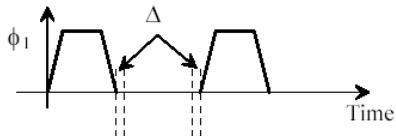


Capacitores Conmutados

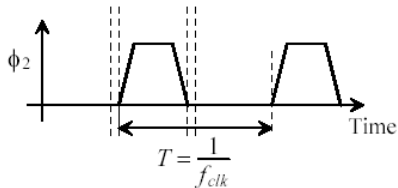
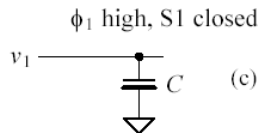
Permiten emular resistencias de gran valor ocupando un área de fabricación menor (ej: 1 M Ω)



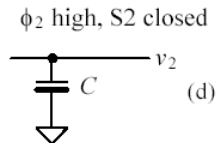
Capacitores Conmutados



$$Q_1 = CV_1$$



$$Q_2 = CV_2$$

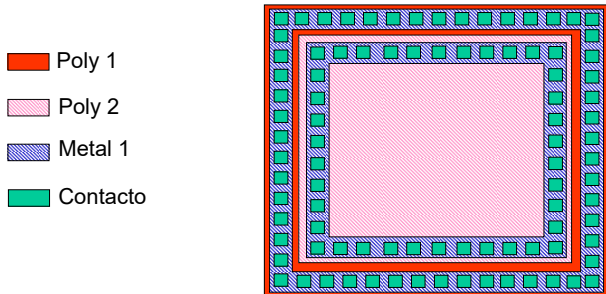


$$Q_1 - Q_2 = C(V_1 - V_2); I = \frac{dq}{dt}$$

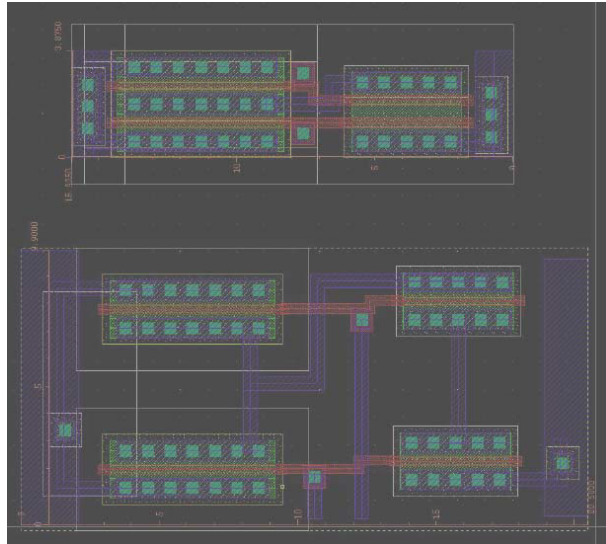
$$\Rightarrow I = \frac{C(V_1 - V_2)}{T} = \frac{(V_1 - V_2)}{R_{sc}} \Rightarrow R_{sc} = \frac{1}{C \cdot f_{clk}}$$

Integración de Capacitores

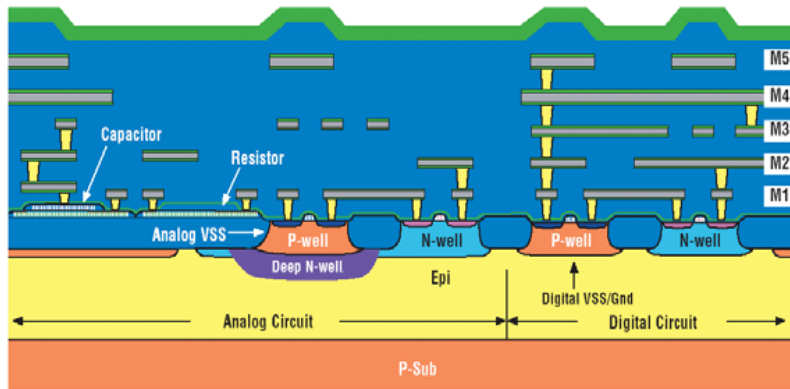
- Rango de capacitancia posible en fabricación: $< 100 \text{ pF}$
- Técnicas
 - Transistor MOS: B,S y D al mismo potencial para formar una placa, G es la otra placa. Polarizado en inversión
 - Óxido delgado sobre área de difusión fuertemente dopada y silicio policristalino o metal como placa superior
 - Pila de primer nivel de polisilicio, óxido y segundo nivel de polisilicio



Ejemplo 1



ASIC Mixed-Signal and Analog Macros **FUJITSU**



Cross-Section of Triple-Well (0.18 μ m CMOS Technology) with Analog Resistor and Capacitor