

9º) aº) ¿Se eliminan totalmente los riesgos de control?

No, por seguirnos sin conocer la dirección correcta del siguiente fetching hasta el final de la etapa de ID de la instrucción de salto.

bº) ¿Existe alguna situación en la que sea conveniente introducir un nuevo camino de anticipación?

Sí, los nuevos caminos de anticipación EX-ID y MEM-ID cuando un salto condicional depende de una instrucción precedida a distancia 1 o 2.

cº) - CPI nuevos procesadores:

- 15% saltos condicionales  $\begin{cases} 8\% \text{ saltos realizados} \\ 20\% \text{ saltos no realizados} \end{cases}$
- 5% saltos incondicionales y llamadas a procedimientos
- 80% otros (1 ciclo)

\* CPU nuevo: beq : IF ID EX M | WB  
 salto : IF ID EX | M WB 1 ciclo  
 no salto : IF ID EX M WB 2 ciclos

---

jal: IF ID EX M | WB  
 IF ID EX | M WB 1 ciclo

- CPI nuevo =  $0,8 \cdot 1 + 0,05 \cdot 1 + 0,15 / (0,8 \cdot 1 + 0,2 \cdot 2) = 1,03$

- MIPS: beq: IF ID EX M | WB  
 salto: IF ID EX | M WB 1 ciclo  
 no salto: ~~IF~~ - - | IF ID EX M WB 4 ciclos

---

jal: IF ID EX M | WB  
 IF ID EX | M WB 1 ciclo

- CPI MIPS =  $0,8 \cdot 1 + 0,05 \cdot 1 + 0,15 \cdot (0,8 \cdot 1 + 0,2 \cdot 4) = 1,09$

- Aceleración =  $\frac{1,09}{1,03} = 1,0582$