

## Trabajo Practico 1: Unidad Aritmética Lógica

Perez, Federico  
perezfederico@unc.edu.ar

Sardoy, Juan Manuel  
jmsardoy@gmail.com

24 de agosto de 2018



**Universidad Nacional  
de Córdoba**

## 1. Descripción del trabajo

Se trata de la implementación de una unidad aritmética lógica (ALU) en FPGA utilizando el lenguaje de descripción de hardware verilog.

La ALU deberá poder realizar las operaciones listadas a continuación, y deberá reconocer cada una de ella según el código que se ingrese:

Operación	Código
ADD	100000
SUB	100010
AND	100100
OR	100101
XOR	100110
SRA	000011
SRL	000010
NOR	100111

La ALU recibirá dos valores como entradas (A y B) y un tercer valor que será el opcode de la operación a realizar. Estos valores ingresarán por medio de los switches de la placa Basys 2, y sus pulsadores, uno por cada input. El resultado luego se verá en binario en los LEDs de la placa.

La ALU deberá ser parametrizable respecto del ancho de bus (por defecto resuelve operaciones con valores de 8 bits).

## 2. Implementación

El trabajo se divide en dos módulos: ALU y Top\_level.

El módulo ALU es la unidad aritmética lógica, y solo se encarga de resolver cual es la operación dada por el opcode mediante una sentencia case, y luego resolverla combinatorialmente.

El módulo Top\_level se encarga de instanciar el módulo ALU y recibir los valores A, B y el opcode desde los pulsadores correspondientes.

## 3. Simulación

Para corroborar el buen funcionamiento del módulo ALU, se realizó una simulación por software del mismo.

El resultado de la simulación fue:

out[7:0]	00000001	00000000	00001000	00010001	10010101	10110111	11100100	10000000	11111110	00100000
A[7:0]	01111111	00000000	00000101	00001010	11010101	10100100	01111011	00110110	11110001	10000000
B[7:0]	00000110	00000000	00000011	11111001	10011101	00010111	10011111	01001111	00000011	00000010
opcode[5:0]	000011	000000	100000	100010	100100	100101	100110	100111	000011	000010

Se probaron todas las operaciones comprobando sus resultados.