首发于

数字IC后端设计工程师修炼之路

切换模式

登录/注册



### 低功耗设计基础:深入理解Internal Power



阎浮提

公众号: 数字后端设计芯讲堂, 分享芯片设计知识和资源

■ 来自专栏・数字IC后端设计工程师修炼之路 >

92 人赞同了该文章 >

之前的文章我们引入了不少低功耗设计的基本概念,同时也介绍过芯片的总体功耗计算方法,其中就包括internal power<sup>+</sup>的定义。今天想深入挖掘internal power以及它在应用过程中有哪些细节需要大家注意。

首先还是回顾一下关于数字芯片的功耗定义: 主要由静态功耗 \*(Static Power)和动态功耗 \*(Dynamic Power)组成。二者的主要起因可以参考下图:

#### 登录即可查看 超5亿 专业优质内容

超 5 千万创作者的优质提问、专业回答深度文章和精彩视频尽在知乎。

立即登录/注册

▲ 赞同 92 ▼

● 6 条评的

✓ 分享

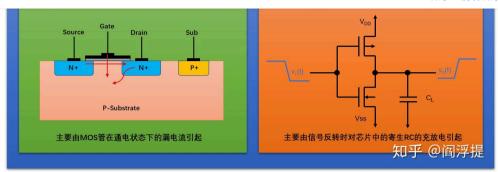
● 喜欢

♠ 收藏

🖴 申请转载

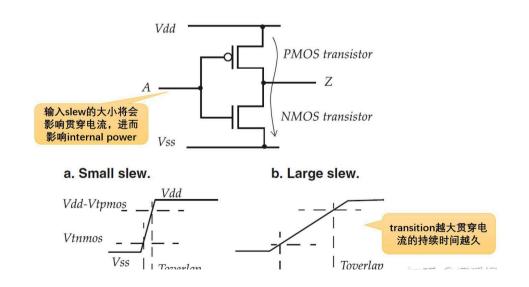
首发于 **数字IC后端设计工程师修炼之路** 

切换模式



简而言之,静态功耗是芯片中的部分或全部电路在通电但不工作的状态下的功耗;动态功耗是芯片在正常工作时因信号翻转引起的功耗。而今天我们想要深挖的internal power,其实是动态功耗的一种。在数字电路中,动态功耗一般分为internal power和switching power,在此我们将重点介绍一下internal power。

很多人都知道internal power的定义是在cell内部由于充放电而产生的功耗,每个cell的功耗数值都可以在.lib文件中通过特定的查表方式获取。其实贡献internal power的因素应该分为两个因素: 一是信号翻转时由于NMOS<sup>+</sup>和PMOS<sup>+</sup>同时导通而产生的短暂但巨大的贯穿电流; 二是给内部和外部负载充放电所消耗的能量。对于第一种贯穿电流可以参考下图:



# 登录即可查看 超5亿 专业优质内容

超 5 千万创作者的优质提问、专业回答深度文章和精彩视频尽在知乎。



首发于

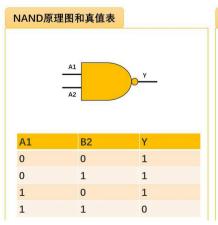
数字IC后端设计工程师修炼之路

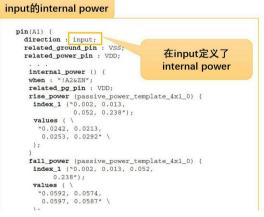
切换模式

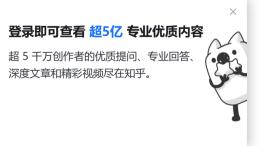
**第一种cell类型: 单输入cell。** 这类cell以inverter<sup>+</sup>为代表,仅有一个输入和输出,它的 internal power计算方式最为简单直接, 就是input transiton和output load的二维查表,而且需要注意,这里的internal power是定义在输出端的:



第二种是多输入的组合逻辑门如nand, xor<sup>+</sup>等。这类cell有一种共同点,那就是在特定条件下某一个或者几个pin的输入值对输出不造成影响,例如当nand的A1输入为0时,不管A2的输出是什么,最终输出都是1。此时尽管A2对输出没有贡献,但是它仍然会消耗一部分功耗,而这部分功耗会单独在.lib文件中有所体现:







**发于** 

数字IC后端设计工程师修炼之路

切换模式

般都存在输出Q和取反值QN,每次Q的变化都会导致QN也发生变化,这部分QN的翻转也会消耗额外的能量,因此输出pin上的internal power会变成input, Q和QN负载的三维表格:

```
DFF Q internal power
DFF CLK internal power
                                          CLK pin
  cell (DFF) {
                                                                          pin (Q) {
                                    internal power
   pin (CLK) (
                                                                             internal_power() {
                                                                                                                                3维表格
    internal_power () {
   when : "(D&Q) | (!D&!Q)".
                                                                             related_pin : "CLK";
                                                                             equal or opposite output : "ON"
                                                                             rise_power(energy_template_3x2x2)
     rise_power (template_3x1) (
index_1 ("0.1, 0.25, 0.4");/* Input
                                                                               index_1 ("0.02, 0.2, 1.0"); /* Clock trans*/
                                  transition */
                                                                               index 2 ("0.005, 0.2"); /* Output 0 cap*/
      values ( /* 0.1 0.25
                  * 0.1 0.25 0.4 */ \
*0.045, 0.050, 0.090*);
                                                                               index_3 ("0.005, 0.2"); /* Output
values (/*0.005 0.2 */ /* 0.005
     fall_power (template_3x1) (/* Inactive clock
                                                                               /* 0.02*/"0.060, 0.070", "0.061, 0.068", \
/* 0.2 */"0.061, 0.071", "0.063, 0.069", \
       edge only, internal inverter switching */
index_1 (*0.1, 0.25, 0.4*);
values (*0.045, 0.050, 0.090*);
                                                                               /* 1.0 */"0.062, 0.080", "0.068, 0.075");
                                                                             fall_power(energy_template_3x2x2) {
     internal_power () (
when : "(D&!Q) | (!D&Q)*; /* Output switching
                                                                               index_1 ("0.02, 0.2, 1.0");
     on active clock edge */
rise_power (scalar) { /*Input switching power
                                                                                index_2 ("0.005, 0.2");
                                                                                index_3 ("0.005, 0.2");
    included with internal power tables for output */
                                                                               values ( \
       values ( "0" );
                                                                                 "0.070, 0.080", "0.071, 0.078", \
      fall_power (template_3x1) ( /* Inactive clock
                                                                                 "0.071, 0.081", "0.073, 0.079", \
      edge only, internal inverter switching */
index_1 ("0.1, 0.25, 0.4");
values ("0.045, 0.050, 0.090");
                                                                                 "0.066, 0.082", "0.068, 0.085");
```

以上就是关于internal power的相关介绍,大家可以对照自己手中的项目去印证是否如此,如果有哪里不符合也请留言区告诉我一起讨论。

以上就是本篇的全部内容,如果你觉得学到了新知识,请点个赞再走~

重磅消息:小编亲自参与制作的数字后端ICC2实践课程上线网易云课堂啦!

本课程【数字IC后端设计ICC2完全实践】主要以实际操作的形式用Synopsys后端工具带大家从零开始完成一个后端设计小模块,包含后端实现、时序检查和物理验证等核心步骤的基础操作,以原生命令开始从头搭建流程完成设计,避免跑流程点按钮而得不到提高的问题,重点提高动手能力!现在可通过以下链接购买,加小编微信chen2mao2574还可领取大额优惠券,成功邀请同伴还可再享额外200元/人优惠,数量有限先到先得!





首发于

数字IC后端设计工程师修炼之路

切换模式

【阎浮提】Synopsys RTL Architect尝鲜:让芯片前端不只是RTL设计!

【阎浮提】Google的开源PDK里面都有啥?尝鲜版长这样!

【阎浮提】Cadence or Synopsys? 数字芯片实现工具大比拼!

【阎浮提】低功耗基础:Body Bias

【阎浮提】RISC-V蜂鸟E203综合实践: DC NXT vs DCG (下篇)

【阎浮提】RISC-V蜂鸟E203综合实践: DC NXT vs DCG (上篇)

【阎浮提】低功耗设计基础: Power Gating详解

【阎浮提】低功耗设计基础: Multi-Bit Cell完全解析

【阎浮提】低功耗设计基础: Multi-Vth

【阎浮提】低功耗设计基础: Clock Gating

【阎浮提】低功耗设计基础: 概念篇

【阎浮提】数字后端基础之: Noise详解

【阎浮提】7nm工艺中的后端设计挑战

【阎浮提】Cadence用户大会: Flexible H-Tree详解!

【阎浮提】后端基础概念: 各种OCV—网打尽 (下篇)!

【阎浮提】后端基础概念: 各种OCV—网打尽 (上篇)!

【阎浮提】数字后端基础技能之: Clock Tree Synthesis (CTS) 下篇

【阎浮提】数字后端新概念: Inbound Cell是个啥?

### 登录即可查看 超5亿 专业优质内容

超 5 千万创作者的优质提问、专业回答深度文章和精彩视频尽在知乎。



首发于

数字IC后端设计工程师修炼之路

切换模式

【阎浮提】数字后端基础技能之: Clock Tree Synthesis (CTS) 中篇

【阎浮提】数字后端基础技能之: Clock Tree Synthesis (CTS) 上篇

【阎浮提】数字后端基本技能之:绕线Congestion怎么解?

【阎浮提】献给芯片设计新手:后端设计的基本流程是什么?

【阎浮提】数字后端基础之: 芯片的整体功耗是如何计算出来的?

【阎浮提】后端Timing基础概念之:为何ICG容易出现setup violation?

【阎浮提】后端Timing基础概念之:为什么时序电路要满足setup和hold?

【阎浮提】后端Timing基本技能之: Hold Violation怎么修?

【阎浮提】后端Timing基本技能之: Setup Violation怎么修?

编辑干 2021-03-07 21:24

芯片设计 芯片 (集成电路) 电子工程 (EE)

写下你的评论... **6 条评论 数乡的明月**对cap充放电消耗的internal power是对输出pin cap充电而不是对load cap充电,对 load充放电的是switching power。
2022-08-23 **随性自由的钢笔** 

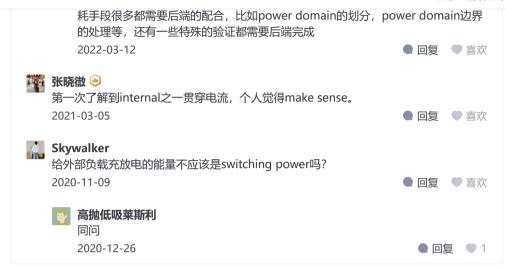
登录即可查看 超5亿 专业优质内容 超 5 千万创作者的优质提问、专业回答、深度文章和精彩视频尽在知乎。

关于作者

首发于

#### 数字IC后端设计工程师修炼之路

切换模式





#### 推荐阅读



基于design compiler中 power compiler的低功耗设...

花火同学

#### 动态功耗和静态功耗

0. 功耗源功耗的本质是能量耗散。 由能量守恒定律可知,能量只能从 一种形式转成另一种形式,能量总 量不变。芯片耗散的电能主要转化 成热能。如果一颗芯片的功耗过 大,容易导致工作时温度过高...

crash

#### 【硬件篇之功耗测试】

产品的功耗测试,一般分为芯片各支路功耗测试及整机功耗测试。 芯片各支路功耗测试,一是为了确认我们设计是否达到芯片所要求的规格,另一方面也为了降功耗设计,散热设计提供切实的数据; …

羽林君

发表于技术人生

#### SoC低功耗设计方法学-1

1 低功耗设计的背景芯片设计经历了一系列的过程,在20世纪80年代引入了Verilog编写硬件描述语言,以及相应的综合技术。20世纪90年代,设计和重用IP变成了主流重点。伴随着芯片的规模越来越…

小戈

### 登录即可查看 超5亿 专业优质内容

超 5 千万创作者的优质提问、专业回答深度文章和精彩视频尽在知乎。

