



消息

新听众

系统提醒(1)



搜帖子

请输入搜索内容

搜标题

论坛 资源共享 EDA资源使用讨论 VCS安装后使用问题

发帖 回帖 回复

返回列表

见习生 等级: Q610 | 向信: Q

发帖收入 10 信元
附件收入 0 信元
下载支出 13 信元
注册时间 2018-11-20
最后登录 2020-1-28
在线时间 5 小时

发消息

VCS安装后使用问题 [复制链接]



发表于 2019-1-13 09:33:10 | 只看该作者

1# 电梯直达

如题，楼主在成功安装并破解VCS后，尝试使用了一下示例工程直接make，但却遇到了如下问题：

```
01. vcs -full64 \  
02. -cpp g++-4.8 \  
03. -cc gcc-4.8 \  
04. -sverilog \  
05. -debug_all \  
06. -l com.log \  
07. -f rtl.lst  
08. *** Using c compiler gcc-4.8 instead of cc ...  
09. Chronologic VCS (TM)  
10. Version M-2017.03-SP2_Full64 -- Sat Jan 12 17:40:16 2019  
11. Copyright (c) 1991-2017 by Synopsys Inc.  
12. ALL RIGHTS RESERVED  
13.  
14. This program is proprietary and confidential information of Synopsys Inc.  
15. and may be used and disclosed only as authorized in a license agreement  
16. controlling such use and disclosure.  
17.  
18. Parsing design file './timescale.v'  
19. Parsing design file './AndOr.v'  
20. Parsing design file './SR.v'  
21. Parsing design file './XorNor.v'  
22. Parsing design file './Intro_Top.v'  
23. Parsing design file './TestBench.v'  
24. Top Level Modules:  
25. TestBench  
26. TimeScale is 1 ns / 100 ps  
27. Starting vcs inline pass...  
28. 1 unique modules to generate  
29. However, due to incremental compilation, no re-compilation is necessary.  
30. make[1]: Entering directory '/home/alan/Desktop/Verilog_Project/code/lab01_introduction/csrc'  
31. rm -f _csrc*.so pre_vcsobj_*.so share_vcsobj_*.so  
32. ld -shared -o .././simv.daidir/_csrc0.so objs/amcQw.d.o  
33. rm -f _csrc0.so  
34. if [ -x .././simv ]; then chmod -x .././simv; fi  
35. g++-4.8 -o .././simv -Wl,-rpath-link=../ -Wl,-rpath='$ORIGIN'/simv.daidir/ -Wl,-rpath=../simv.daidir/ -Wl,-  
rpath='$ORIGIN'/simv.daidir/_csrc0.so -rdynamic _2331_archive_1.so _prev_archive_1.so  
_csrc0.so SIM_1.o _csrc0.so rmapats_mop.o rmapats.o rmar.o rmar_nd.o rmar_llvm_0_1.o rmar_llvm_0_0.o  
/home/alan/Desktop/Synopsys/vcs/linux64/lib/libzerosoft_rt_stubs.so  
/home/alan/Desktop/Synopsys/vcs/linux64/lib/libvirsim.so  
/home/alan/Desktop/Synopsys/vcs/linux64/lib/liberrorinf.so  
/home/alan/Desktop/Synopsys/vcs/linux64/lib/libsnpsmalloc.so  
/home/alan/Desktop/Synopsys/vcs/linux64/lib/libvcsnew.so  
/home/alan/Desktop/Synopsys/vcs/linux64/lib/libsimprofile.so  
/home/alan/Desktop/Synopsys/vcs/linux64/lib/libucclinative.so  
/home/alan/Desktop/Synopsys/vcs/linux64/lib/vcs_tls.o -Wl,-whole-archive
```

EETOP诚邀线上

发信息

资讯

论坛

大讲堂

人才网

直播

博客

充值/Recharge

排行

分享

任务

全部帖

创芯云服务 : 创芯大讲堂 | 创芯人才网 | 数字IC职业培训

EETOP诚邀线上

xieminglang822



0

1

67

主题

回帖

积分

见习生

发贴收入 10 信元

附件收入 0 信元

下载支出 13 信元

注册时间 2018-11-20

最后登录 2020-1-28

在线时间 5 小时

发消息

103. /home/alan/Desktop/Synopsys/vcs/linux64/lib/libvcsnew.so: undefined reference to `snpsInitGroup'

104. /home/alan/Desktop/Synopsys/vcs/linux64/lib/libvcsnew.so: undefined reference to `miHeapOn'

106. /home/alan/Desktop/Synopsys/vcs/linux64/lib/libvcsnew.so: undefined reference to `snpsPrintf'

107. /home/alan/Desktop/Synopsys/vcs/linux64/lib/libvcsnew.so: undefined reference to `snpsDoStackUnwind'

108. _csrc0.so: undefined reference to `M_VCSgd_xKpvn'

109. /home/alan/Desktop/Synopsys/vcs/linux64/lib/libvcsnew.so: undefined reference to `snpsNamedAllocateGroup'

110. /home/alan/Desktop/Synopsys/vcs/linux64/lib/libvcsnew.so: undefined reference to `snpsCheckCallocFunc'

111. /home/alan/Desktop/Synopsys/vcs/linux64/lib/libvcsnew.so: undefined reference to `snpsGetHook'

112. /home/alan/Desktop/Synopsys/vcs/linux64/lib/libvcsnew.so: undefined reference to `snpsCallocFunc'

113. /home/alan/Desktop/Synopsys/vcs/linux64/lib/libvcsuccli.so: undefined reference to `storeMiscTfCb'

114. _csrc0.so: undefined reference to `SimDaiDir'

115. /home/alan/Desktop/Synopsys/vcs/linux64/lib/libvcsnew.so: undefined reference to `snpsCurrentGroup'

116. /home/alan/Desktop/Synopsys/vcs/linux64/lib/libvcsnew.so: undefined reference to `ZsGetHdlVariableHandleById'

117. /home/alan/Desktop/Synopsys/vcs/linux64/lib/libvcsnew.so: undefined reference to `ZsGetNextSimulationTimeIfc'

118. /home/alan/Desktop/Synopsys/vcs/linux64/lib/libvcsnew.so: undefined reference to `ZsFinalize'

119. collect2: error: ld returned 1 exit status

120. Makefile:106: recipe for target 'product_timestamp' failed

121. make[1]: *** [product_timestamp] Error 1

122. make[1]: Leaving directory '/home/alan/Desktop/Verilog_Project/code/lab01_introduction/csrc'

123. Make exited with status 2

124. CPU time: 2.673 seconds to compile + .155 seconds to elab + .648 seconds to link

125. Makefile:4: recipe for target 'compile' failed

126. make: *** [compile] Error 2

127.

复制代码

实际上，在此之前，terminal报错内容是relocation R_X86_64_32S against undefined symbol，楼主搜索了一下之后发现可能是编译器版本过新的问题，于是gcc从原来的7.3换到了18.04最低可用的4.85。示例工程在另一台ubuntu18.04 with gcc4.85上亲测可用，想请问一下大家对于这个问题有什么看法吗 谢谢！

抱歉把terminal上所有信息贴了出来，这确实有点伤眼睛，但因为担心有所遗漏所以我就全贴上了，还请谅解。

#在这里快速回复#

★收藏 1

❤分享

👍支持

👎反对

点评

回复

举报

sunyongshuai



2

161

1万

主题

回帖

积分

大富人

👍👍

发贴收入 854 信元

附件收入 9484 信元

下载支出 5935 信元

注册时间 2017-3-25

最后登录 2024-4-26

在线时间 328 小时

发消息

回复 1# xieminglang822

可参考 <https://www.cnblogs.com/sunic/p/9899013.html>使用 -LDFLAGS -Wl,--no-as-needed参数
不过，为什么我的Ubuntu18.04也会有这个错误？

点评

回复

支持

反对

举报

EETOP诚邀线上

