基于 BUFGMUX 与 DCM 的 FPGA 时钟电路设计

宋　威，方穗明
（北京工业大学电子信息与控制工程学院，北京 100022）

摘要：和基于 ASIC（专用集成电路）的时钟电路相比，基于 FPGA（现场可编程门阵列）的时钟电路有其自身的特点。FPGA 一般提供其专用时钟资源搭建时钟电路，相应的综合工具也能够自动使用这些资源，但是针对于门控时钟和时钟分频电路，如果直接使用综合工具自动处理的结果，会造成较大的时钟偏差。通过合理使用 DCM（数字时钟管理单元）和 BUFGMUX（全局时钟选择缓冲器）等 FPGA 的特殊资源，手动搭建时钟电路，可以尽可能地减少时钟偏差对电路时序的影响。
关键词：现场可编程门阵列；时钟；全局时钟选择缓冲器

在当前的数字集成电路设计当中,同步电路占了绝大部分。所谓同步电路，即电路当中的所有寄存器由为数不多的几个全局时钟驱动，被相同钟信号驱动的寄存器共同组成一个时钟域，并可认为同时钟域内所有寄存器的时钟沿同时到达。

然而，在实际电路当中，同时钟域内寄存器时钟沿的到达时间存在偏差，即时钟偏差。通过合理的时钟设计，可以减少这种时钟偏差，使其相对时钟周期来说可以忽略不计，从而达到同步的效果。

1 ASIC 的时钟电路

在 ASIC 的电路设计当中，自动布局布线工具使用动态搭建时钟缓冲器树的方法来解决时钟偏差问题。其基本思想，就是控制时钟源与寄存器之间的门延时与线路延时。如果同时钟域内所有寄存器的时钟端与时钟源之间的路径，包含大体相同的时钟缓冲器个数与连线长度，就可以近似地认为时钟信号从时钟源到各寄存器时钟端的延时是相等的，因此寄存器间的时钟偏差可以忽略不计。

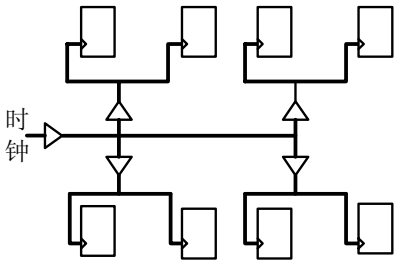


图1 ASIC时钟树结构

2 FPGA 的时钟电路

随着 FPGA 集成度的不断提升，单片 FPGA 已经可以完成百万门级的集成电路设计。因此，很多 ASIC 设计可以利用 FPGA 完成流片前的功能验证，甚至直接使用 FPGA 进行商业生产。但是，FPGA 的特殊结构决定了基于 FPGA 的设计不能直接照搬在 ASIC 设计当中的某些经验，时钟设计便是其中较突出的一条。

由于 FPGA 的生产工艺，在出厂之前，FPGA 内部元件之间的连线已经完全固定。同

时，FPGA 具有连线延时相对门延时较大的特点，造成 FPGA 并不能通过动态搭建时钟缓冲器树的方法解决时钟偏差问题。实际上，时钟树结构已经被预先固化在芯片当中。针对 Xilinx 公司的 Virtex-II 系列的 FPGA 来说，其时钟树结构如图 2 所示。

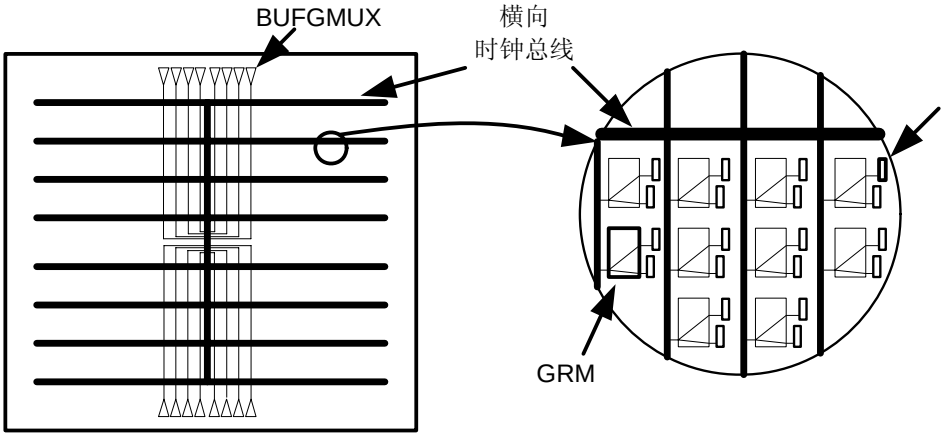


图2 FPGA的时钟结构

该系列 FPGA 直接利用单独的一层铜布线层搭建时钟网络。所有的时钟信号，只能通过处于芯片纵向中轴线上下两端的 16 个 BUFGMUX 进入时钟网络。所有 BUFGMUX 的输出端一直延伸到芯片的中心，连接到铜布线层处于芯片中央纵向分布宽度为 8 的时钟总线。纵向时钟总线再连接到横向的 8 条宽度为 8 的时钟总线，进而延伸到每一个 CLB（可编程逻辑块 Configurable Logic Block）的 GRM（通用布线矩阵阵列 General Route Matrix）上。

也就是说，在 Virtex-II 结构的 FPGA 当中，最多可以存在 16 个时钟域，然而同时只能存在最多 8 个全局时钟（上下两个对应的 BUFGMUX 共用一条时钟总线）。由于每一个寄存器的时钟端都通过横向和纵向的时钟总线连接到位于芯片中央的时钟源，而时钟源通过相同路径长度的连线和 BUFGMUX 连接，因此可以认为从同一 BUFGMUX 出发的时钟信号到芯片内所有寄存器的延时相同，从而没有时钟偏差。经过实际工程验证，同 BUFGMUX 构成的时钟域内时钟偏差最多不超过 0.3ns。

3 设计实例

为了更好地说明 FPGA 时钟电路的使用方法与其特殊的问题，下文将用一个在 Virtex-II 6000 FPGA 上实现的设计实例具体说明时钟电路建立的方法。

3.1 问题分析

图 3 显示了在该设计当中的 4 个时钟域。

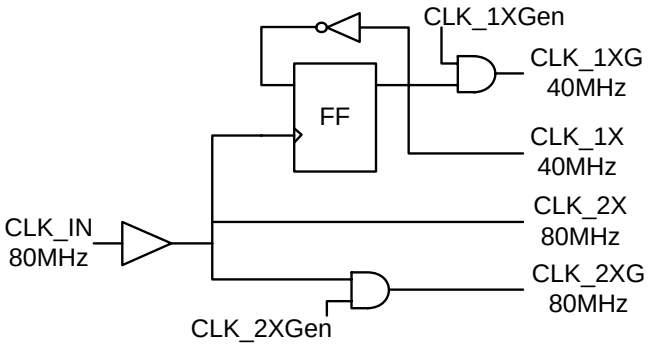


图3 时钟域结构

这样的时钟结构，在 ASIC 的时钟树设计当中，并不会引发很大的问题。但是在 FPGA 的设计当中，如果不加处理，会引起电路综合、布局布线的巨大压力。其主要的问题源于 FPGA 综合软件对 BUFGMUX 的自动指定，造成门控时钟和分频时钟与源时钟之间出现较大的时钟偏差。

一般来说，综合软件可以通过 Verilog HDL 的“posedge”和“negedge”关键字，或者 VHDL 当中的“event”关键字判断出时钟信号。然而，综合工具并没有判断门控时钟与分频时钟的能力，也就是说，综合工具认定的时钟只能是一根网线，而不能穿越一般的逻辑门。为了让同时钟域的寄存器间没有时钟偏差，综合工具会自动在时钟的源头为时钟信号指定 BUFGMUX，使得时钟信号使用铜布线资源。

经过综合工具的自动指定，最终会将图 3 当中时钟结构转换为图 4 中的电路结构。

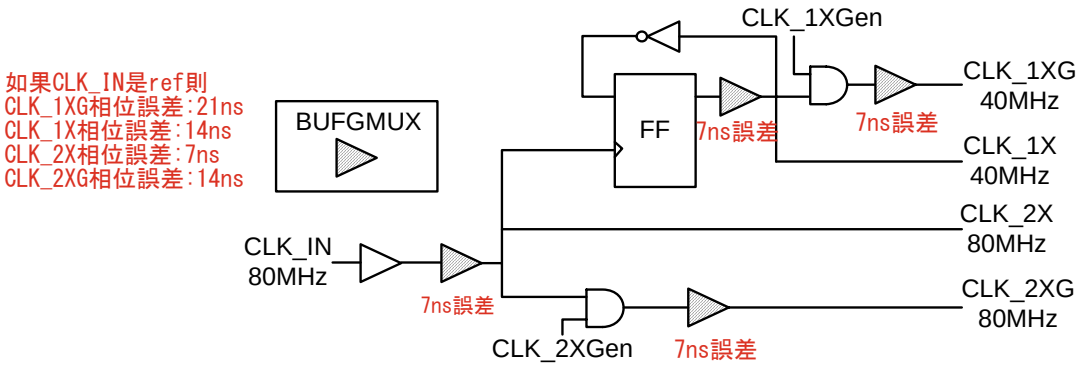


图4 综合后的时钟电路结构

正如第 2 节所述，FPGA 通过其特定的时钟网络，使得时钟信号从 BUFGMUX 到每一个 CLB 的时钟端没有时钟偏差。但是，此结构的间接后果是为每一个 CLB 的时钟端添加了一个相同的时钟线延时，即从 BUFGMUX 通过时钟网络到达 GRM 的时间，在正常情况下，这个时间为 6~7ns。

正是由于这一点，综合工具自动指定 BUFGMUX 之后，为了实现 CLK_2XG 这个门控时钟，必须将 CLK_2X 时钟时钟信号通过与门，再经过 BUFGMUX 重新连接到时钟资源。显而易见，CLK_2XG 时钟域的时钟信号相对时钟源 CLK_IN 来说经过了两次 BUFGMUX，和 CLK_2X 的时钟域产生了至少 6ns 的时钟偏差。同理，CLK_1XG 和 CLK_1X 相应与 CLK_2X 之间存在 12ns 和 6ns 的时钟偏差。相对 CLK_2X 80MHz 的时钟频率来说，一周期为 12.5ns，显然最大 12ns 的跨时钟域的时钟偏差是不能忍受的。从图 5 的后仿波形当中，可以很明显地看到这个时钟偏差达到了 13.34ns。

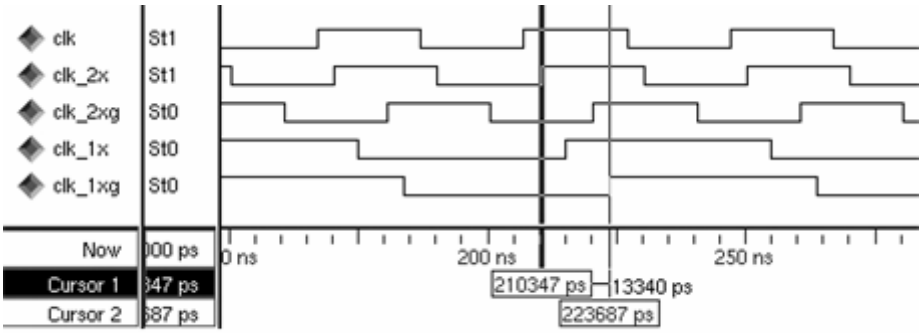


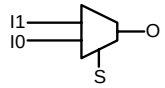
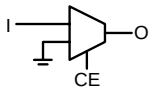
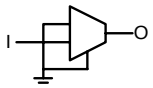
图5 自动综合结果的后仿波形

3.2 解决方案

3.2.1 门控时钟

实际上，BUFGMUX并不是简单的时钟缓冲器，它是一个具有低时钟偏差、高驱动能力并带有选择端的双路选择器。使用不同的原语进行实例化，BUFGMUX可以构成时钟选择器、时钟门控器或者简单的时钟缓冲器[1]。

表 1 BUFGMUX 实例化形式

实例化原语（VerilogHDL）	BUFGMUX 的结构
BUFGMUX *instance_name* (.O (*user_O*), .I0 (*user_I0*), .I1 (*user_I1*), .S (*user_S*));	
BUFGCE *instance_name* (.O (*user_O*), .CE (*user_CE*), .I (*user_I*));	
BUFG *instance_name* (.O (*user_O*), .I (*user_I*));	

尽管 BUFGMUX 有三种使用方式，但如果让综合软件自动在合适的位置指定BUFGMUX，由于综合软件只能认出网线形式的时钟信号，因而只会使用 BUFG 的方式使用 BUFGMUX，造成了上述的问题。

因此，为了去除由于门控时钟造成的时钟偏差，只能通过手动更改代码，在合适的位置实例化 BUFGMUX。在此例中可以为 CLK_2X 信号实例化 BUFG 原语，而使用 BUFGCE 原语替代原来的与门，并直接使用 CLK_IN 为 BUGCE 的输入。这样 CLK_2X 和 CLK_2XG 都只经过了一个 BUFGMUX，因此可以近似地认为不存在时钟偏差。同理 CLK_1X 和 CLK_1XG 之间的时钟偏差也可以解决。

3.2.2 分频时钟

然而，BUFGMUX 的三种使用方式并不能解决分频寄存器造成的 CLK_1X 和 CLK_2X 之间的时钟偏差问题。当然，比较简单的一种方法，是使用 CLK_IN 作为分频寄存器的输入，而不对 CLK_2X 进行分频。

尽管如此，由于分频寄存器的器件延时和相应的连接线路延时，CLK_2X 和 CLK_1X 之间仍然存在大约 2~3ns 的时钟偏差，对于某些跨时钟域的关键路径和时钟保持（Hold Time）约束来说，仍然过大。另外，由于 CLK_IN 被分频寄存器当作时钟使用，可能会造成综合软件自动给 CLK_IN 指定 BUFG，导致所有时钟信号都需要经过两个 BUFGMUX，产生一个 12ns 左右的输入延时。

针对这种问题，我们可以使用 FPGA 当中的另一个特殊资源——DCM（数字时钟管理单元 Digital Clock Manager）。DCM 当中包含一个 DLL（延迟锁定电路 Delay-Locked Loop），可以提供对时钟信号的二倍频和分频功能，并且能够维持各输出时钟之间的相位关系，即零时钟偏差（更详细的说明可查看参考文献[1]和[2]）。

因此，针对分频时钟，可以直接利用 DCM 的分频功能，从而省去分频寄存器，彻底地解决了 CLK_2X 和 CLK_1X 之间的时钟偏差。不过更合适的选择，是使用 DCM 的倍频功能，这样只需要为 FPGA 准备一个 40MHz 的低频时钟输入，相对 80MHz 来说要更容易实现。

3.2.3 最终实现

通过 BUFGMUX 和 DCM 的使用，可以将图 4 改造为图 5 所示的电路结构。

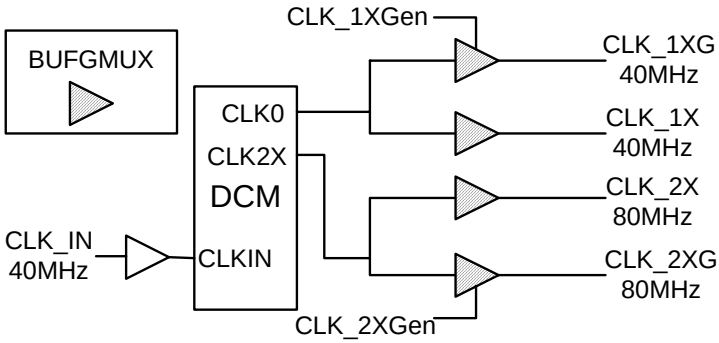


图6 经改造的时钟电路结构

改造后，每个时钟域的时钟信号和信号源 CLK_IN 之间都只通过一个 DCM 和一个 BUFGMUX，他们之间的时钟偏差仅仅为时钟网络本身的时钟偏差和 DCM 的输出到各 BUFGMUX 输入端之间的线路延时偏差。如果进一步优化，通过在布局布线的步骤施加对 BUFGMUX 的位置约束，迫使图 5 中的 4 个 BUFGMUX 都处于 FPGA 的上方或者下方的 8 个 BUFGMUX 上，跨时钟域的时钟偏差在 VIRTEX-II 6000 FPGA 当中可以控制在 0.5ns 以内，基本满足 80MHz 的要求。改造后的时钟电路的后仿波形如图 7 所示，其最大的时钟偏差为 0.722ns。

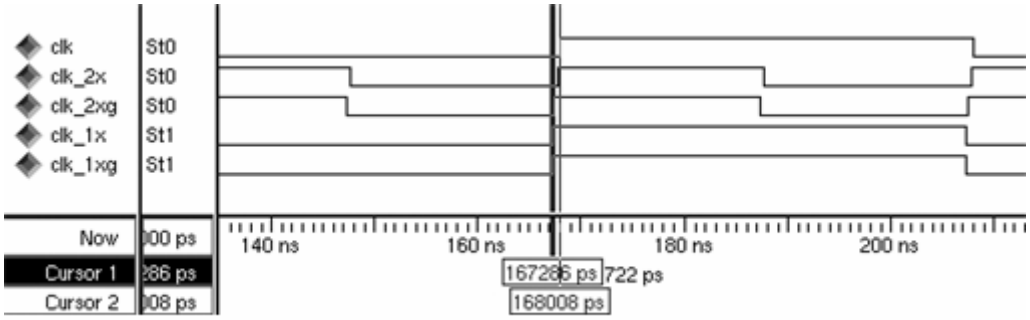


图7 改造后电路的后仿波形

实际上，DCM 和 BUFGMUX 从 VIRTEX-II 开始，已经成为 FPGA 的标准元件，可以在 SPARTAN-3、VIRTEX-II、VIRTEX-II PRO、VIRTEX-4 等器件上直接使用，因此该电路结构也可相应推广到这些 FPGA 的电路设计当中。

4 结论

本文通过比较 ASIC 时钟树结构和 FPGA 时钟网络的结构，说明了 FPGA 时钟网络的自身特点。通过一个设计实例，分析了直接使用综合工具实现多时钟域的电路设计所的内在问题，并针对这些问题提出了利用 BUFGMUX 的三种使用方式代替门控时钟与利用 DCM 代替分频时钟的方法，较好地解决了 FPGA 时钟电路的时钟偏差问题，并具有一定的适用性。

参考文献

[1] *ISE documentation: Libraries Guide (ISE 6.3i)* [M]. Xilinx, Inc. : 167-178, 355-361

[2] 陈燕,周东辉,朱晓荣. DLL 在 FPGA 时钟设计中的应用[J]. 青岛大学学报(工程技术版), 2004,12 : 90-93

[3] EDA先锋工作室. FPGA/CPLD设计工具：Xilinx ISE5.x使用详解[M]. 北京:人民邮电出版社, 2003, 6 : 182-186, 215-220

Clock Circuit Design in FPGA Based on BUFGMUX and DCM

SONG Wei, FANG Sui-ming
(The College of Electronic Information & Control Engineering,
Beijing University of Technology, Beijing100022, China)

Abstract: Clock circuit based on FPGAs has its own features compared with circuit based on ASICs. In general, special timing resources are provided by FPGA devices; corresponding synthesis tools, meanwhile, can use such resources automatically. However, the gated clock and clock division circuits that directly come out from automatic synthesis will cause a big clock skew. By reasonably using the special resources in FPGA, such as DCMs (Digital Clock Manager) and BUFGMUXs (global clock MUX buffer) and manually building up a proper clock circuit, the interference to timing caused by clock skew is mostly reduced.

Keywords: FPGA; clock; BUFGMUX