



低功耗设计基础：深入理解Internal Power

 **阎浮提**
公众号：数字后端设计芯讲堂，分享芯片设计知识和资源

 来自专栏 · 数字IC后端设计工程师修炼之路 >

92 人赞同了该文章 >

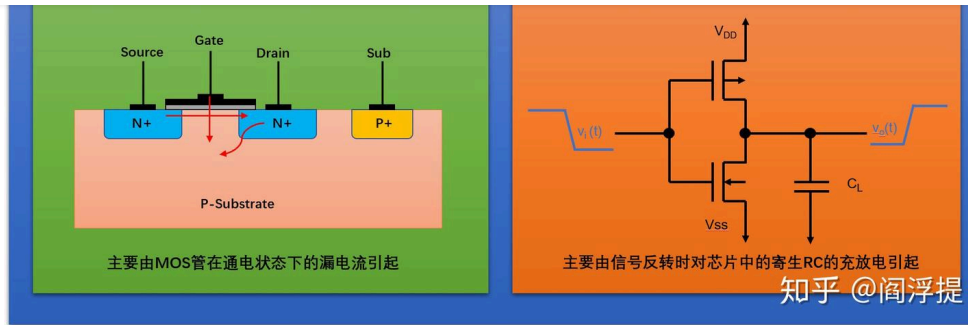
之前的文章我们引入了不少低功耗设计的基本概念，同时也介绍过芯片的总体功耗计算方法，其中就包括internal power⁺的定义。今天想深入挖掘internal power以及它在应用过程中有哪些细节需要大家注意。

首先还是回顾一下关于数字芯片的功耗定义：主要由**静态功耗⁺**(Static Power)和**动态功耗⁺**(Dynamic Power)组成。二者的主要起因可以参考下图：

登录即可查看 **超5亿** 专业优质内容

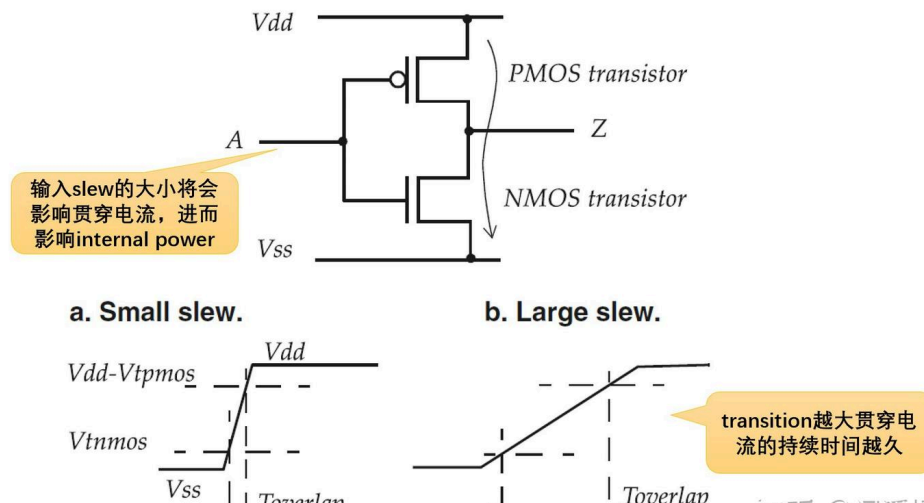
超 5 千万创作者的优质提问、专业回答、深度文章和精彩视频尽在知乎。

[立即登录/注册](#)



简而言之，静态功耗是芯片中的部分或全部电路在通电但不工作的状态下的功耗；动态功耗是芯片在正常工作时因信号翻转引起的功耗。而今天我们想要深挖的internal power，其实是动态功耗的一种。在数字电路中，动态功耗一般分为internal power和switching power⁺，在此我们将重点介绍一下internal power。

很多人都知道internal power的定义是在cell内部由于充放电而产生的功耗，每个cell的功耗数值都可以在.lib文件中通过特定的查表方式获取。其实贡献internal power的因素应该分为两个因素：一是信号翻转时由于NMOS⁺和PMOS⁺同时导通而产生的短暂但巨大的贯穿电流；二是给内部和外部负载充放电所消耗的能量。对于第一种贯穿电流可以参考下图：



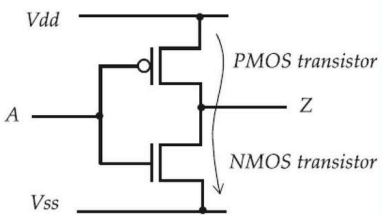
登录即可查看 **超5亿** 专业优质内容

超 5 千万创作者的优质提问、专业回答、深度文章和精彩视频尽在知乎。



第一种cell类型：单输入cell。这类cell以`inverter`为代表，仅有一个输入和输出，它的internal power计算方式最为简单直接，就是input transiton和output load的二维查表，而且需要注意，这里的internal power是定义在输出端的：

inverter原理图



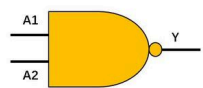
internal power查表

```
pin (Z1) {
    . . .
    power_down_function : "!VDD + VSS";
    related_power_pin : VDD;
    related_ground_pin : VSS;
    internal_power () {
        related_pin : "A";
        power (template_2x2) {
            index_1 ("0.05, 0.1"); /* Input transition */
            index_2 ("0.1, 0.25"); /* Output capacitance */
            values ( /*      0.1      0.25 */ \
                /* 0.05 */      "0.045, 0.050", \
                /* 0.1 */      "0.055, 0.056");
        }
    }
}
```

知乎 @阎浮提

第二种是多输入的组合逻辑门如nand, xor等。这类cell有一种共同点，那就是在特定条件下某一个或者几个pin的输入值对输出不造成影响，例如当nand的A1输入为0时，不管A2的输出是什么，最终输出都是1。此时尽管A2对输出没有贡献，但是它仍然会消耗一部分功耗，而这部分功耗会单独在.lib文件中有所体现：

NAND原理图和真值表



A1	B2	Y
0	0	1
0	1	1
1	0	1
1	1	0

input的internal power

```
pin (A1) {
    direction : input;
    related_ground_pin : VSS;
    related_power_pin : VDD;
    . . .
    internal_power () {
        when : "!A2&ZN";
        related_pg_pin : VDD;
        rise_power (passive_power_template_4x1_0) {
            index_1 ("0.002, 0.013,
                0.052, 0.238");
            values ( \
                "0.0242, 0.0213,
                0.0253, 0.0292" \
            );
        }
        fall_power (passive_power_template_4x1_0) {
            index_1 ("0.002, 0.013, 0.052,
                0.238");
            values ( \
                "0.0592, 0.0574,
                0.0597, 0.0587" \
            );
        }
    }
}
```

在input定义了internal power

登录即可查看 超5亿 专业优质内容

超 5 千万创作者的优质提问、专业回答、深度文章和精彩视频尽在知乎。



[【阎浮提】Synopsys RTL Architect尝鲜：让芯片前端不只是RTL设计！](#)

[【阎浮提】Google的开源PDK里面都有啥？尝鲜版长这样！](#)

[【阎浮提】Cadence or Synopsys？数字芯片实现工具大比拼！](#)

[【阎浮提】低功耗基础：Body Bias](#)

[【阎浮提】RISC-V蜂鸟E203综合实践：DC NXT vs DCG（下篇）](#)

[【阎浮提】RISC-V蜂鸟E203综合实践：DC NXT vs DCG（上篇）](#)

[【阎浮提】低功耗设计基础：Power Gating详解](#)

[【阎浮提】低功耗设计基础：Multi-Bit Cell完全解析](#)

[【阎浮提】低功耗设计基础：Multi-Vth](#)

[【阎浮提】低功耗设计基础：Clock Gating](#)

[【阎浮提】低功耗设计基础：概念篇](#)

[【阎浮提】数字后端基础之：Noise详解](#)

[【阎浮提】7nm工艺中的后端设计挑战](#)

[【阎浮提】Cadence用户大会：Flexible H-Tree详解！](#)

[【阎浮提】后端基础概念：各种OCV一网打尽（下篇）！](#)

[【阎浮提】后端基础概念：各种OCV一网打尽（上篇）！](#)

[【阎浮提】数字后端基础技能之：Clock Tree Synthesis（CTS）下篇](#)

[【阎浮提】数字后端新概念：Inbound Cell是个啥？](#)

登录即可查看 **超5亿** 专业优质内容

超 5 千万创作者的优质提问、专业回答、深度文章和精彩视频尽在知乎。



【阎浮提】后端Timing基本技能之：Setup Violation怎么修？

编辑于 2021-03-07 21:24

芯片设计 芯片（集成电路） 电子工程（EE）

写下你的评论...

6 条评论

默认 最新



对cap充放电消耗的internal power是对输出pin cap充电而不是对load cap充电，对load充放电的是switching power。

2022-08-23

● 回复 ● 6



登录即可查看 超5亿 专业优质内容

超 5 千万创作者的优质提问、专业回答、
深度文章和精彩视频尽在知乎。



关于作者

知乎 低功耗设计基础：深入理解Internal Power


首发于
数字IC后端设计工程师修炼之路

切换模式

耗手段很多都需要后端的配合，比如power domain的划分，power domain边界的处理等，还有一些特殊的验证都需要后端完成
2022-03-12

 **张晓微**
第一次了解到internal之一贯穿电流，个人觉得make sense。
2021-03-05

 **Skywalker**
给外部负载充放电的能量不应该是switching power吗？
2020-11-09

 **高抛低吸莱斯利**
同问
2020-12-26

回复 喜欢

回复 喜欢

回复 喜欢

回复 1



公众号：数字后端设计芯讲...

回答	文章	关注者
129	46	13,589

关注他

发私信

推荐阅读



基于design compiler中
power compiler的低功耗设...

花火同学

动态功耗和静态功耗

0. 功耗源功耗的本质是能量耗散。由能量守恒定律可知，能量只能从一种形式转成另一种形式，能量总量不变。芯片耗散的电能主要转化成热能。如果一颗芯片的功耗过大，容易导致工作时温度过高...

crash

【硬件篇之功耗测试】

产品的功耗测试，一般分为芯片各支路功耗测试及整机功耗测试。芯片各支路功耗测试，一是为了确认我们设计是否达到芯片所要求的规格，另一方面也为了降功耗设计，散热设计提供切实的数据； ...

羽林君

发表于技术人生

SoC低功耗设计方法学-1

1 低功耗设计的背景芯片设计经历了一系列的过程，在20世纪80年代引入了Verilog编写硬件描述语言，以及相应的综合技术。20世纪90年代，设计和重用IP变成了主流重点。伴随着芯片的规模越来越...

小艾

登录即可查看 超5亿 专业优质内容

超 5 千万创作者的优质提问、专业回答、深度文章和精彩视频尽在知乎。

