

TP4 – Exercice 4 (Q11)

Efficacité énergétique en fonction de la taille des caches L1

Nom: _____ Groupe: _____

Année 2026

1 Objectif

La question Q11 demande de calculer, pour chaque configuration de cache L1, l'*efficacité énergétique* des deux processeurs (Cortex A7 et Cortex A15) à leur fréquence maximale.

2 Méthode

D'après l'énoncé, la consommation est de 0,10 mW/MHz pour le Cortex A7 (1,0 GHz) et de 0,20 mW/MHz pour le Cortex A15 (2,5 GHz). On en déduit les puissances à f_{\max} (résultat Q10) :

- $P_{A7} = 100 \text{ mW}$
- $P_{A15} = 500 \text{ mW}$

L'efficacité énergétique est définie par :

$$\text{Efficacité énergétique} = \frac{IPC}{P(mW)}.$$

Les valeurs d'IPC proviennent des simulations gem5 (Q4 pour A7, Q5 pour A15) effectuées *jusqu'à la fin du programme*.

3 Résultats

3.1 Synthèse

Application	Best L1 A7 (KB)	IPC/mW A7	Best L1 A15 (KB)	IPC/mW A15
Dijkstra	16	0.002834	32	0.002593
Blowfish (enc+dec)	16	0.002992	32	0.003345

3.2 Dijkstra

3.3 Blowfish (enc+dec)

4 Analyse

Comme P est fixé par processeur à f_{\max} , l'efficacité énergétique suit directement les variations d'IPC avec la taille de L1. Les meilleurs points correspondent donc aux tailles de L1 qui maximisent l'IPC pour chaque application et chaque processeur.

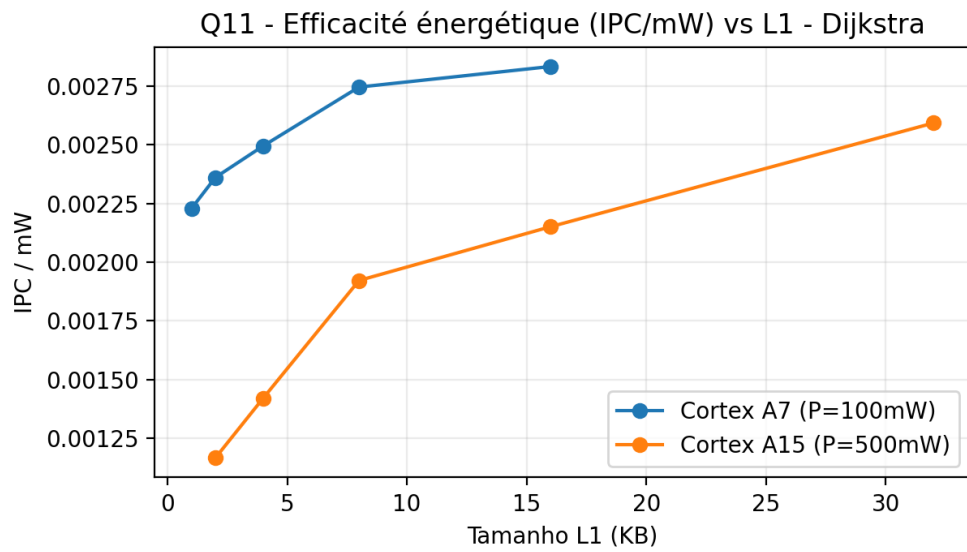


Figure 1: Q11 : efficacité énergétique (IPC/mW) vs taille L1 (Dijkstra).

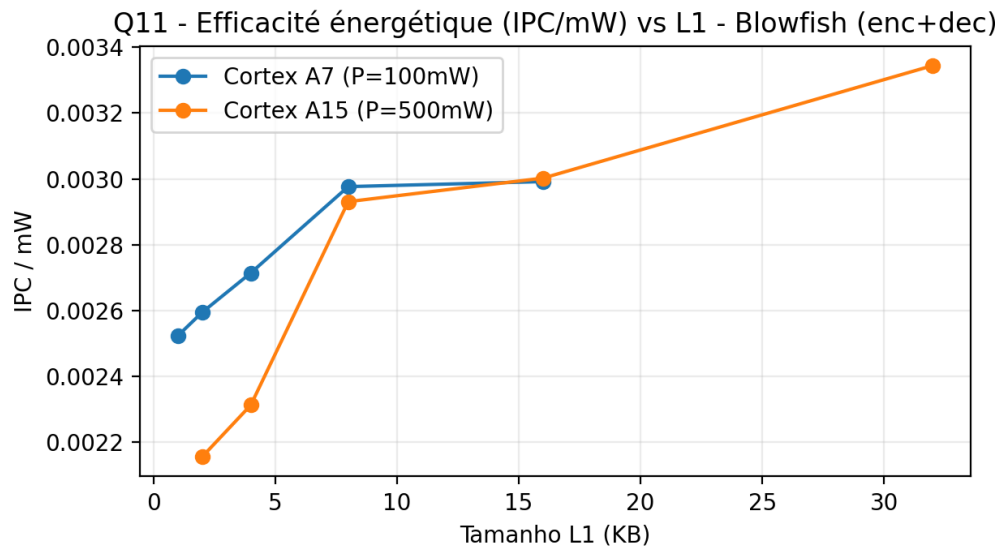


Figure 2: Q11 : efficacité énergétique (IPC/mW) vs taille L1 (Blowfish enc+dec).