

# Introducción al Diseño Lógico 2023

## Guía de Trabajos Prácticos N° 3

### Ejercicio N°1

- a) Implemente un MUX de 8 entradas utilizando MUXes de 4 y 2 entradas.
- b) Implemente un MUX de 16 entradas utilizando MUXES de 8 entradas exclusivamente
- c) Implemente una XOR de 4 entradas, mediante un MUX de 16 entradas.

### Ejercicio N°2

Dibuje un circuito que conecte dos LED, uno rojo y otro verde, a la salida de una compuerta NAND, de manera que el LED verde indique si hay un nivel BAJ0 y el LED rojo indique si hay un nivel ALTO.

### Ejercicio N°3

Se quiere conectar una carga  $R_L$  a la salida de un inversor de manera que cuando esté en nivel ALTO la tensión  $V_{OUT}$  sea como mínimo 3V y cuando esté en un nivel BAJ0 sea como mínimo 0,4V.

De la hoja de datos del dispositivo se tiene que cuando la salida se establece en BAJ0,  $V_{OUT}=0,2V$  para una corriente de 4 mA y cuando la salida se establece en ALTO,  $V_{OUT}=4,2V$  también para una corriente de 4 mA. Estos datos fueron medidos para una tensión de alimentación de  $V_{CC}=5V$ .

Usted debe calcular el valor mínimo de  $R_L$  que puede conectarse, para eso utilice los modelos simplificados de la Figura 3.0. Tenga en cuenta que deben usarse los dos modelos, uno para la salida en ALTO y otro para la salida en BAJ0.

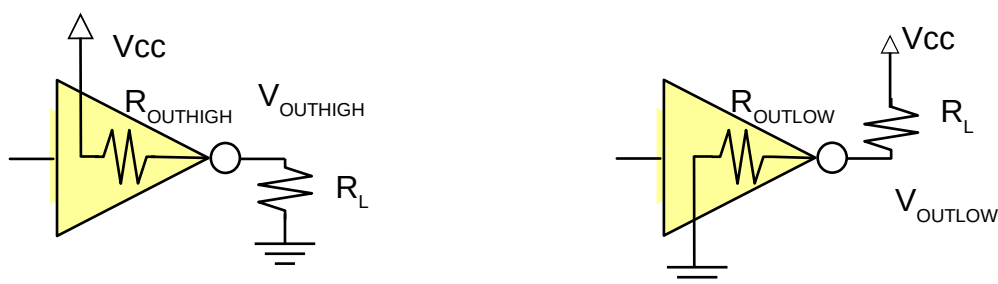


Figura 3.1

**Ejercicio N°4**

- a) Dibuje el circuito de un *latch* S-R formado por compuertas de tipo NAND. Suponiendo que cada compuerta NAND tarda 10nS en propagar un cambio en sus entradas al valor de su salida, grafique la evolución temporal de  $\bar{R}$ ,  $\bar{S}$ , Q y  $\bar{Q}$  al ocurrir los siguientes eventos:
- i. Estando  $\bar{R}=1$ ,  $\bar{S}=1$ ,  $Q=1$ , entonces  $\bar{R}$  pasa a valer 0 durante 50nS antes de volver a su estado original.
  - ii. Estando  $\bar{R}=1$ ,  $\bar{S}=1$ ,  $Q=0$ , entonces  $\bar{R}$  pasa a valer 0 durante 50nS antes de volver a su estado original.
  - iii. Estando  $\bar{R}=1$ ,  $\bar{S}=1$ ,  $Q=1$ , entonces  $\bar{S}$  pasa a valer 0 durante 50nS antes de volver a su estado original.
  - iv. Estando  $\bar{R}=1$ ,  $\bar{S}=1$ ,  $Q=0$ , entonces  $\bar{S}$  pasa a valer 0 durante 50nS antes de volver a su estado original.
  - v. Estando inicialmente  $\bar{R}=1$ ,  $\bar{S}=1$ ,  $Q=0$ , entonces  $\bar{R}$  y  $\bar{S}$  pasan simultáneamente a valer 0 durante 50nS antes de volver a su estado original.
  - vi. A partir de los resultados determine la tabla característica de este latch. ¿Cuál es el retardo de propagación del latch?

**Ejercicio N°5**

- a) Dibuje el circuito de un *latch* S-R formado por compuertas de tipo NOR. Suponiendo que cada compuerta NOR tarda 10nS en propagar un cambio en sus entradas al valor de su salida, grafique la evolución temporal de  $\bar{R}$ ,  $\bar{S}$ , Q, y  $\bar{Q}$  al ocurrir los siguientes eventos:
- i. Estando  $R=0$ ,  $S=0$ ,  $Q=1$ , entonces R pasa a valer 1 durante 50nS antes de volver a su estado original.
  - i. Estando  $R=0$ ,  $S=0$ ,  $Q=0$ , entonces R pasa a valer 1 durante 50nS antes de volver a su estado original.
  - ii. Estando  $R=0$ ,  $S=0$ ,  $Q=1$ , entonces S pasa a valer 1 durante 50nS antes de volver a su estado original.
  - iii. Estando  $R=0$ ,  $S=0$ ,  $Q=0$ , entonces S pasa a valer 1 durante 50nS antes de volver a su estado original.
  - iv. Estando inicialmente  $R=0$ ,  $S=0$ ,  $Q=0$ , entonces R y S pasan simultáneamente a valer 1 durante 50nS antes de volver a su estado original.
  - v. A partir de los resultados determine la tabla característica de este *latch*. ¿Cuál es el retardo de propagación del *latch*?

**Ejercicio N°6**

Explore la respuesta temporal del circuito de la figura 3.2. Considere distintas transiciones de las entradas y que todas las compuertas y el latch, poseen un retardo de propagación  $\tau_p=10ns$ . En particular considere al menos las transiciones donde las variables A,

B y C pasan simultáneamente a su valor opuesto, por ejemplo del valor 0 al valor 1.

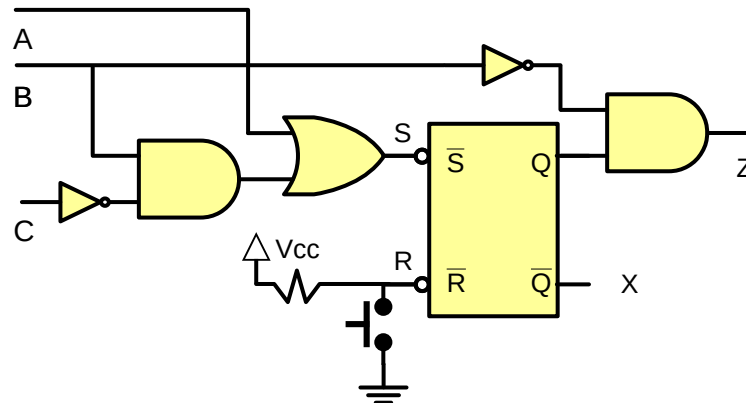


Figura 3.2

### Ejercicio N°7

- a) Considere el circuito de un FF J-K de la Fig. 3.3 (a). Suponiendo que el tiempo de propagación de las compuertas NAND es de 10ns y el de la compuerta NOT es 5ns: grafique la evolución en el tiempo de J, K, Q y  $\bar{Q}$  al ocurrir los siguientes eventos:
  - i. Estando inicialmente  $J=0$ ,  $K=0$ ,  $CLK=0$ ,  $Q=0$ , en el instante cero se hace  $J=1$ , y 50ns después se aplica un pulso positivo de 60ns de duración en CLK.
  - ii. Estando inicialmente  $J=0$ ,  $K=0$ ,  $CLK=0$ ,  $Q=1$ , en el instante cero se hace  $K=1$ , y 50ns después se aplica un pulso positivo de 60ns de duración en CLK.
  - iii. Estando  $J=1$ ,  $K=1$ ,  $CLK=0$ ,  $Q=0$ , se simula la evolución durante dos ciclos completos del reloj CLK. Considere que la señal de CLK es periódica y permanece 60ns en alto y 50ns en bajo.
  - iv. ¿Cuál es el retardo de propagación del FF?

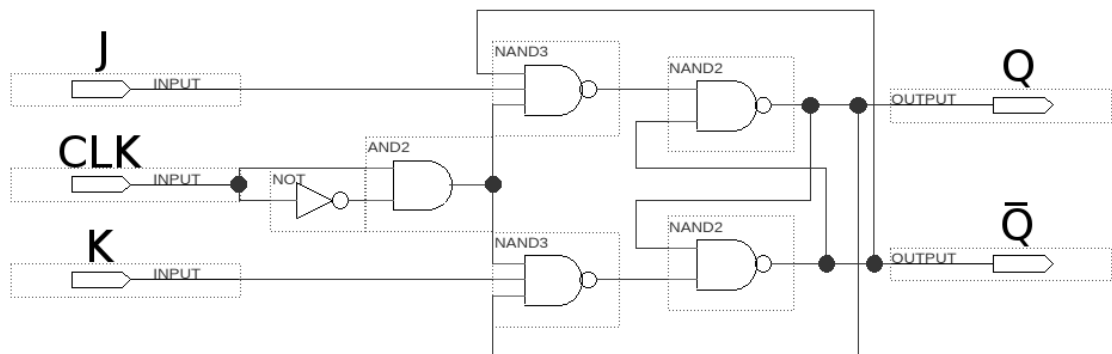


Figura 3.3 (a)

### Ejercicio N°8

- a) Considere el circuito de un FF J-K Master/Slave de la Figura 3.3(b). Suponiendo que el tiempo de propagación de las compuertas NAND es de 10ns y el de la compuerta NOT 5ns: grafique la

evolución en el tiempo de J, K, Q, y  $\bar{Q}$  al ocurrir los siguientes eventos:

- Estando inicialmente J=0, K=0, CLK=0, Q=0, en el instante cero se hace J=1, y 50ns después se aplica un pulso positivo de 60ns de duración en CLK.
- Estando inicialmente J=0, K=0, CLK=0, Q=1, en el instante cero se hace K=1, y 50ns después se aplica un pulso positivo de 60ns de duración en CLK.
- Estando J=1, K=1, CLK=0, Q=0, se simula la evolución de las señales durante dos ciclos completos del reloj CLK. Considere que la señal de CLK es periódica y permanece 60ns en alto y 50 ns en bajo.
- ¿Cuál es el retardo de propagación del FF?

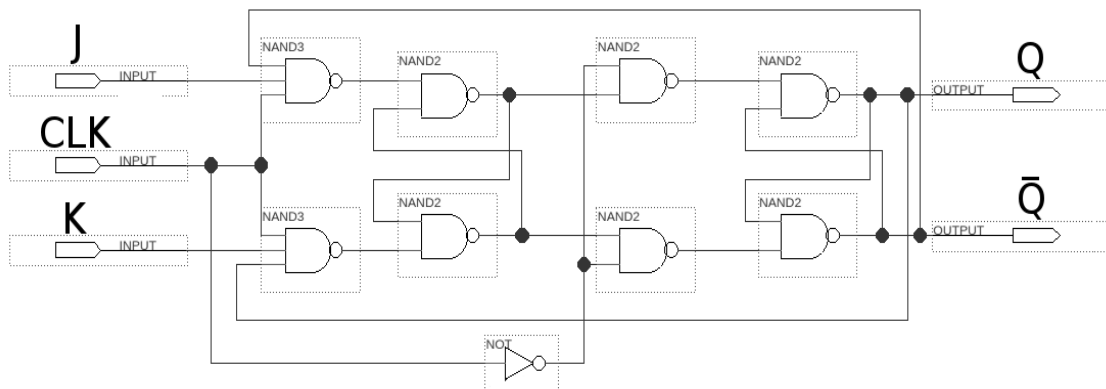


Figura 3.3 (b)

### Ejercicio N°9

- Aplique las señales X e Y de la Fig. 3.4(a) a las entradas  $\bar{S}$  y  $\bar{R}$  de un latch S-R formado por compuertas de tipo NAND, respectivamente. Dibuje las señales de salida Q y  $\bar{Q}$ , considerando que inicialmente Q=0.
- Aplique las señales X e Y de la Fig. 3.4(a) a las entradas S y R de un latch S-R formado por compuertas de tipo NOR, respectivamente. Dibuje las señales de salida Q y  $\bar{Q}$ , considerando que inicialmente Q=0.
- Aplique las señales X, Y y Z de la Fig. 3.4(a) a las entradas del circuito de la Fig. 3.4(b). Dibuje la señal de salida, considerando que inicialmente Q=0.
- ¿Qué función cumple la señal Y? Según eso, ¿es Y una señal activa en alto o activa en bajo?

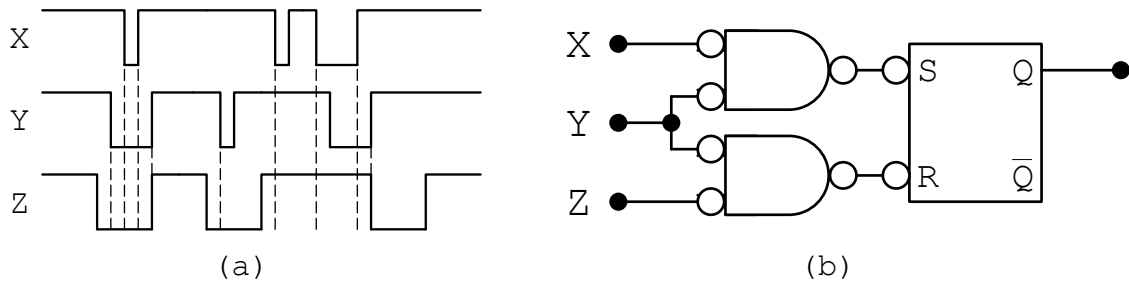


Figura 3.4

**Ejercicio N°10**

- Aplique las señales de la Fig. 3.5 a las entradas de un *flip-flop* (FF) S-R formado por compuertas de tipo NOR. Dibuje la señal de salida Q, considerando que es un FF disparado por flanco ascendente de reloj e inicialmente  $Q=0$ .
- Aplique las señales de la Fig. 3.5 a las entradas de un *flip-flop* (FF) S-R formado por compuertas de tipo NOR. Dibuje la señal de salida Q, considerando que es un FF disparado por flanco descendente de reloj e inicialmente  $Q=0$ .

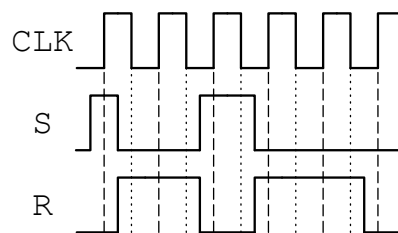


Figura 3.5

**Ejercicio N°11**

Aplique las señales de la Fig. 3.6 a las entradas de un FF J-K disparado por flanco descendente de reloj. Dibuje la señal de salida Q, considerando que inicialmente se encuentra en un nivel BAJO.

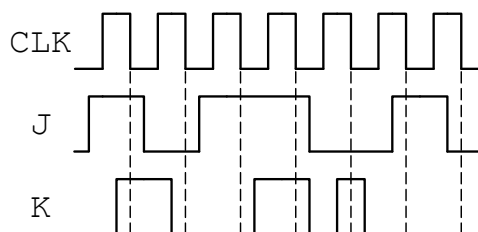


Figura 3.6

**Ejercicio N°12**

Conecte dos FF J-K disparados por flanco ascendente funcionando en modo conmutación, de manera que la salida  $Q_0$  del primero sea la señal de reloj del segundo. Dibuje las señales de salida de ambos FF,  $Q_0$  y  $Q_1$ .

$Q_1$ , considerando que la señal de reloj CLK del primer FF posee una frecuencia de 1MHz y que ambas salidas se encuentran inicialmente en nivel BAJ0. ¿Cuál es la frecuencia de  $Q_0$ ? ¿Y la de  $Q_1$ ?

### Ejercicio Nº13

Dibuje la señal de salida Q del circuito de la Fig. 3.7, considerando que la señal de reloj CLK posee una frecuencia de 1MHz. ¿Cuál es la frecuencia de la señal de salida? ¿Qué sucedería si en lugar de conectar D con  $\bar{Q}$ , se conectase con Q?

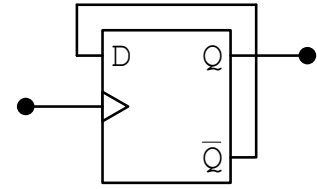


Figura 3.7

### Ejercicio Nº14

Aplique las señales de la Fig. 3.6 a las entradas del circuito de la Fig. 3.8. Dibuje la señal de salida Q, considerando que inicialmente se encuentra en un nivel BAJ0. ¿Este circuito es síncronico o asíncronico? Fundamente su respuesta.

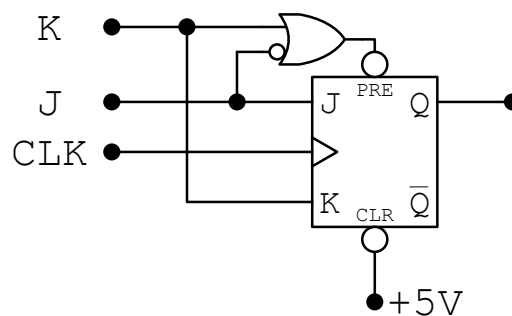


Figura 3.8

### Ejercicio Nº15

Las señales de clock de los circuitos digitales son fundamentales para el correcto funcionamiento de los mismos. Siempre que sean habilitadas o deshabilitadas, como en el caso de los circuitos que verá en este ejercicio, es fundamental no introducir *glitches* (pulsos espurios que no respetan el intervalo mínimo entre flancos de señal) porque pueden afectar a la lógica digital que trabaja utilizando el reloj.

- Analice y dibuje las señales de salida de los circuitos que se muestran en las Fig. 3.9 (b) y (c) cuando se aplican las señales de entrada que aparecen en la Fig. 3.9(a).
- Si se desea controlar el paso de la señal de reloj CLK hacia la salida S mientras que la señal de entrada E se encuentra en nivel ALTO, ¿qué circuito le parece más adecuado para evitar la posibilidad de introducir *glitches* en la señal durante los cambios de E? Compare.

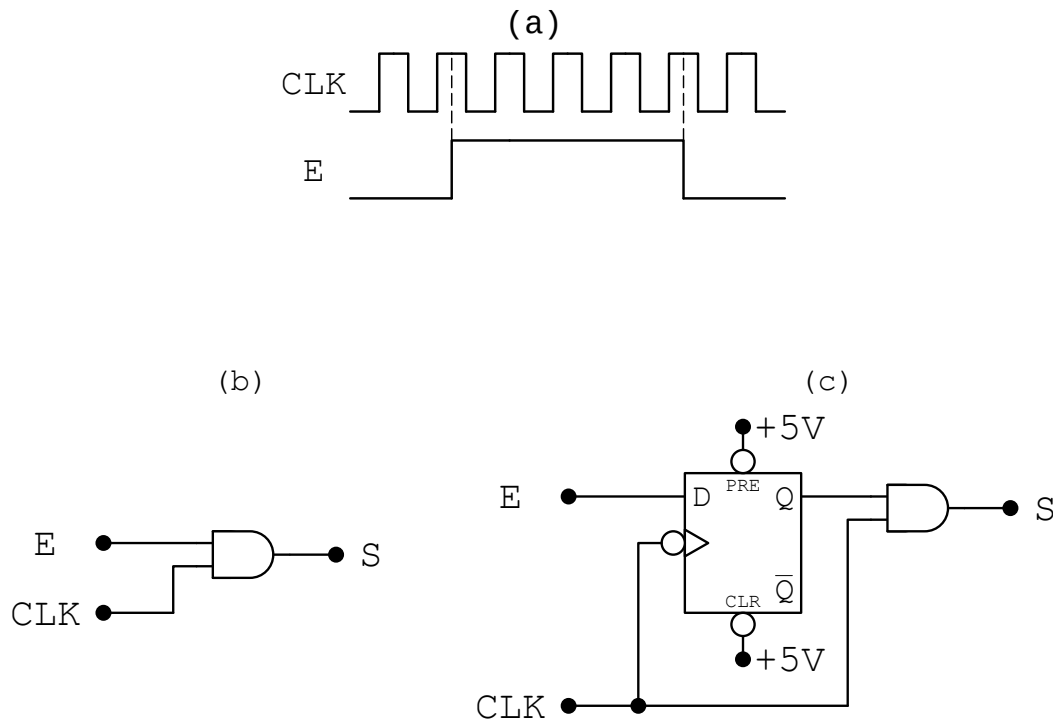


Figura 3.9

**Ejercicio N°16**

Es frecuente la utilización de circuitos basados en FF tipo T para construir divisores de frecuencia en circuitos generadores de reloj para sistemas digitales simples. Por ejemplo, los prescalers de los circuitos de temporización en microcontroladores funcionan de esta forma.

Conecte dos FF J-K disparados por flanco ascendente funcionando en modo conmutación, de manera que la salida Q0 del primero sea la señal de reloj del segundo. Dibuje las señales de salida de ambos FF, Q0 y Q1, considerando que la señal de reloj CLK del primer FF posee una frecuencia de 1 MHz y que ambas salidas se encuentran inicialmente en nivel BAJ0.

Responda:

- ¿Cuál es la frecuencia de la señal a la salida de Q0? ¿Y a la salida de Q1?
- Escriba una expresión que relacione la frecuencia del clock de entrada con la frecuencia de salida en el n-ésimo FF.
- A partir de lo anterior, ¿qué valores de divisor puedo generar de esta forma? ¿cualquier valor?

**Ejercicio N°17**

- En el circuito de la Fig. 3.10, las entradas A, B y C se encuentran inicialmente en nivel BAJ0. La salida Y, que también se encuentra originalmente en nivel BAJ0, debe pasar a un nivel ALTO sólo cuando A, B y C pasan a tener un nivel ALTO en cierto orden.

- Determine la secuencia de pasaje a nivel ALTO de A, B y C para lograr la respuesta de la señal de salida Y deseada.
- Explique por qué es necesario el pulso de inicio en I.
- Modifique el circuito para que utilice sólo FF de tipo D.

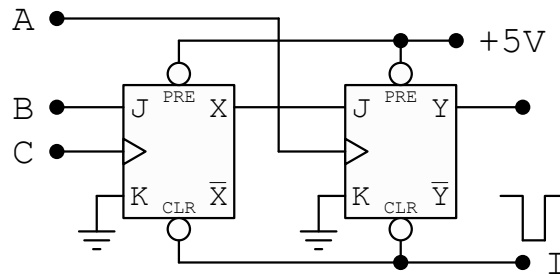


Figura 3.10

**Ejercicio N°18**

Dibuje las señales de salida de los tres FF del circuito de la Fig. 3.11 durante 10 pulsos de reloj, considerando que el estado inicial del circuito es  $Q_2 Q_1 Q_0 = 010$ , que la señal de reloj CLK tiene período de 40nS y que los FF tienen tiempos de propagación de 5nS.

Responda:

- ¿Es un circuito síncronico o asíncronico?
- ¿Qué tarea realiza? Para ver esto dibuje un diagrama temporal que incluya la señal de reloj CLK,  $Q_2$ ,  $Q_1$  y  $Q_0$ .
- ¿Cuál es el tiempo de propagación del circuito desde que ocurre un flanco activo de reloj a la entrada hasta que el valor de las salidas  $Q_2$ ,  $Q_1$  y  $Q_0$  se estabiliza?
- ¿Qué ocurre con los valores de  $Q_2$ ,  $Q_1$  y  $Q_0$  durante ese retardo de propagación?

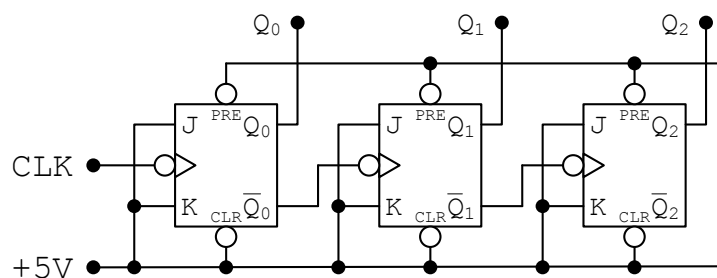


Figura 3.11