

Diseño De Sistema De Control Para Lavarropas

Giuliano Nicolás + Gonzales Joaquín

INTRODUCCION

El proceso de lavado, para el caso de lavarropas automático, se lleva a cabo mediante una serie de ciclos, los cuales el usuario puede elegir para realizar. El diseño del sistema de control de este proceso se puede implementar utilizando máquinas de estado, empleando para este caso en particular el modelo Mealy, por cuanto las salidas dependen tanto de las señales de entrada como del estado actual para cambiar de ciclo. Internamente se ejecuta el proceso como resultado de una maquina de estados algorítmicas cuyos estados son: estado inicial, válvula abierta1, lavado, vacio1, válvula abierta2, enjuague vacio2 y centrifugado, todo esto se lleva a cabo en función de las señales de entrada que condicionan el estado actual de la máquina.

Por su parte, para la implementación del diseño se plantea utilizar una FPGA, por presentar estos dispositivos las características y prestaciones requeridas. Así mismo, el diseño y la respectiva programación de la FPGA, se realizó implementando el circuito digital. Para ello, se utilizó un software de Xilinx, el cual permite llevar a cabo la programación de FPGAs y diseño del circuito digital del sistema.

Finalmente, se presentan las simulaciones del sistema de control, donde se evidencia el correcto funcionamiento del mismo con sus respectivas entradas, salidas y ciclos del proceso.

1. PROCESO DE LAVADO

El proceso de lavado, se lleva a cabo mediante una serie de ciclos en función de las variables de entrada y de la secuencia de los ciclos de trabajo. Básicamente las entradas y salidas del sistema de control y los ciclos de operación son los siguientes:

1.1.- Señales de entrada:

- **Comenzar:** Cuando está en alto se inicia el proceso, una vez iniciado el proceso esta señal no tiene efecto. El hecho de poner en bajo esta señal, independientemente del estado en que se encuentre el sistema, hará que el circuito se interrumpa volviendo a su estado inicial a la espera de un nuevo programa por parte del usuario.
- **Sensor Vacío(SV):** Cuando está en alto indica que el depósito de agua se encuentra vacío.

- **Sensor Lleno(SL):** Cuando está en alto indica que el depósito de agua se encuentra lleno.
- **CLKSys:** Reloj del sistema de control.
- **Lavado, enjuague y centrifugado :** sus niveles de alto o bajo ordenan a la maquina por que estado debe pasar y que tareas realizar.

1.2.- Señales de salida:

- **Carga Depósito:** Cuando está en alto abre las válvulas para llenar el depósito de agua.
- **Descarga Depósito:** Cuando está en alto abre las válvulas para vaciar el depósito de agua.
- **Motor Min:** Cuando está en alto hace girar el motor con un ritmo lento. Esta velocidad se usa en los ciclos de lavado y de enjuague.
- **Motor Max:** Cuando está en alto hace girar el motor con un ritmo rápido. Esta velocidad se usa sólo en el ciclo de centrifugado.
- Lavado, enjuagando y centrifugando: sus niveles en alto determinan que tarea esta realizando la maquina. Se activa solo uno a la vez.

1.3.- Ciclos de operación:

- **Inicial:** Es el estado inicial de la máquina y espera a que se ingrese por los swichts el programa elegido, luego pasa por un convertidor que determina si lo ingresado es una entrada valida, de serlo espera a que se levante la señal Comenzar para que se inicie el proceso de lavado.
- **Lavado:** En este ciclo se llena de agua el depósito y se hace girar el motor durante 10 segundos con una velocidad lenta, y luego se vacía el depósito de agua.
- **Enjuague:** Se llena el depósito de agua nuevamente y se hace girar el motor durante 10 segundos con una velocidad lenta, y luego se vacía el depósito de agua.
- **Centrifugado:** Este ciclo hace girar el motor durante 5 segundos con una velocidad rápida, para finalmente vaciar el depósito de agua y volver al estado Inicial.

A continuación, en la Figura 1 se presentan las señales de entrada y salida para un lavarropas automático.

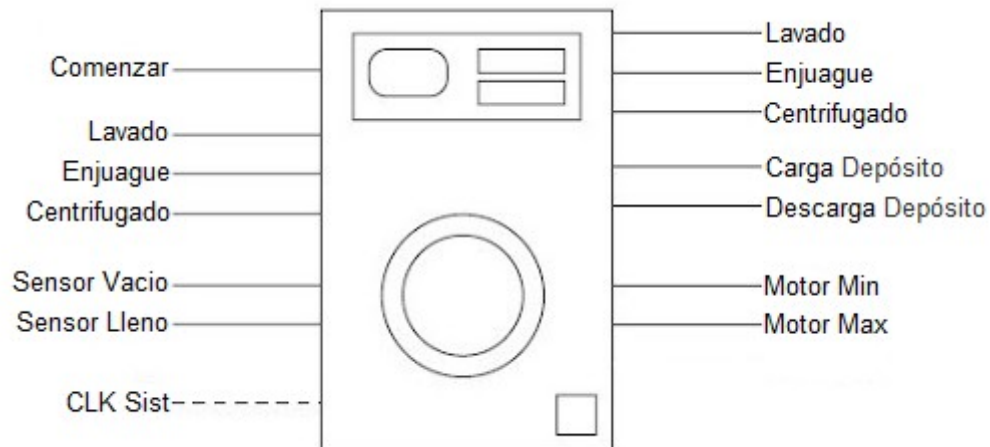


Figura 1. Diagrama de entradas y salidas para una lavadora automática.

2. DISEÑO DEL SISTEMA DE CONTROL

El diseño del sistema está basado en una máquina de estados tipo Mealy, por ello en primera instancia deben determinarse las ecuaciones combinacionales y secuenciales que satisfacen el proceso. Por simplicidad, se han utilizado los Flip Flop tipo JK y Flip Flop tipo 'D'.



Si FF3 es 1 entonces se pasa al estado de Centrifugado (donde prende el Led de Motor Max y el de Centrifugado) donde sigue el camino hasta completar el proceso y volver al inicio, de ser 0 regresa al inicio.

La FPGA maneja una frecuencia de 50 MHz para controlar los pulsos de reloj. En cada etapa se desea que el tiempo de lavado y enjuague sea de 10 segundos mientras que el de etapa de

centrifugado sea de 5 segundos. Para esto se deberá transformar los 50 MHz a 1 Hz de frecuencia para controlar el tiempo de pulsos por segundo.

La división de frecuencias se logra mediante la conexión en cascada de contadores: siete de modulo 10 y uno de modulo 5, de tal manera que el modulo total resultante será la multiplicación de los módulos de cada contador ($10 \times 10 \times 10 \times 10 \times 10 \times 10 \times 10 \times 5 = 50.000.000$).

Señales de Salidas por LEDs

Se desea representar cada salida del sistema mediante una secuencia de Leds que se distribuyen de la siguiente manera:

- Led6 = Carga de Agua en el Deposito
- Led5 = Descarga de Agua en el Deposito
- Led4 = Motor Min
- Led3 = Motor Max
- Led2 = Lavado
- Led1 = Enjuague
- Led0 = Centrifugado

flip-flops banderas

Cada estado de la maquina consta de un flip-flop bandera, cuya función es básicamente detectar si se ha pasado o no por dicho estado. Esto sirve de control para determinar cuando responder a la salida a través de leds, cuando iniciar el ciclo de contador de segundos, cuando responder a las entradas sensor vacío y sensor lleno, etc, ya que solo se pasa una sola vez en cada estado (dependiendo del programa elegido). Estos flip-flops también tienen la función de mantener su salida en ALTO para así mantener al mismo tiempo la entrada de su estado próximo para dejarlo activado y que pueda realizar su tarea propia.

2.1 DISEÑO DEL SISTEMA DE CONTROL BASADO EN SUS DIAGRAMAS ESQUEMÁTICOS Y SIMULACIÓN DEL DISEÑO

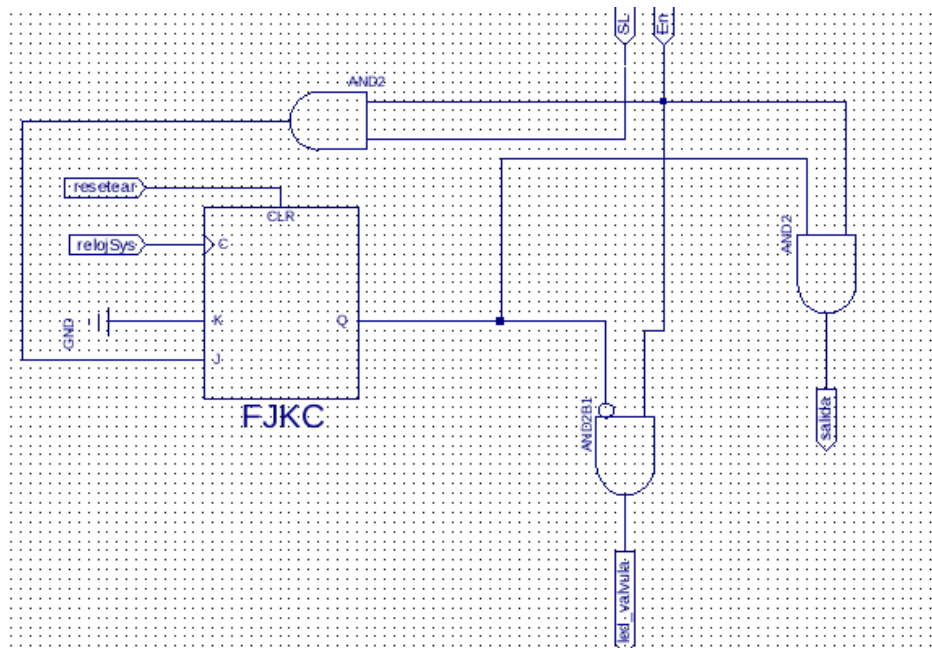


Figura 3. Diagrama esquemático de Válvula Abierta

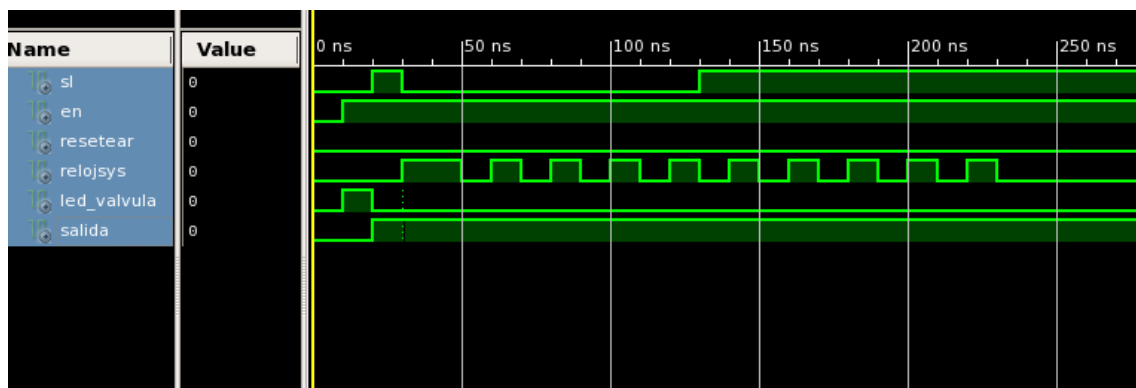


Figura 4. Test Bench Válvula Abierta

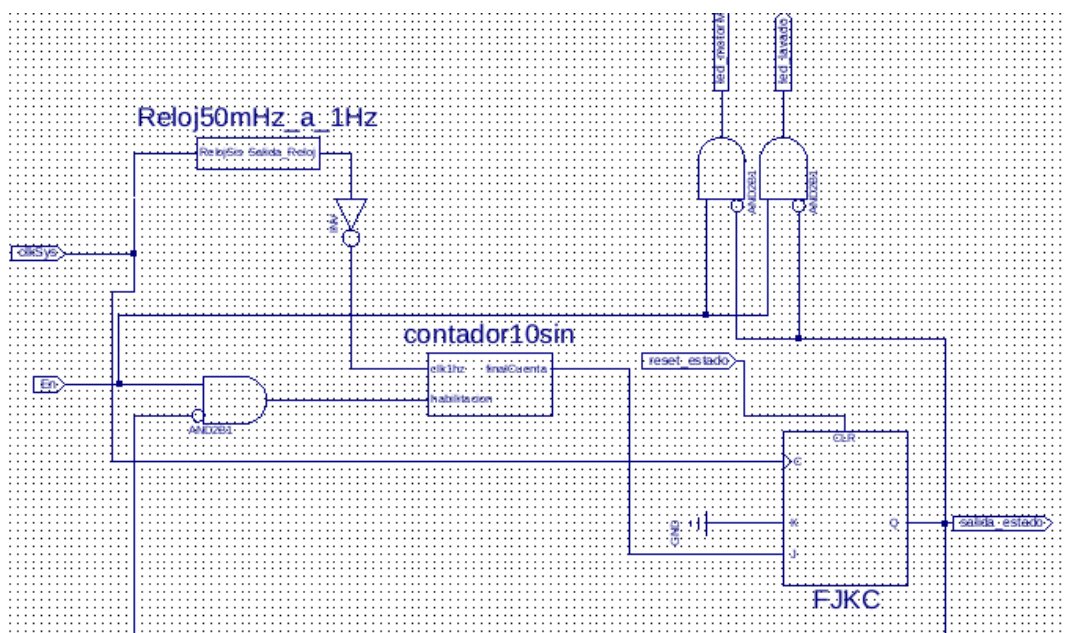


Figura 5. Diagrama esquemático de Lavado

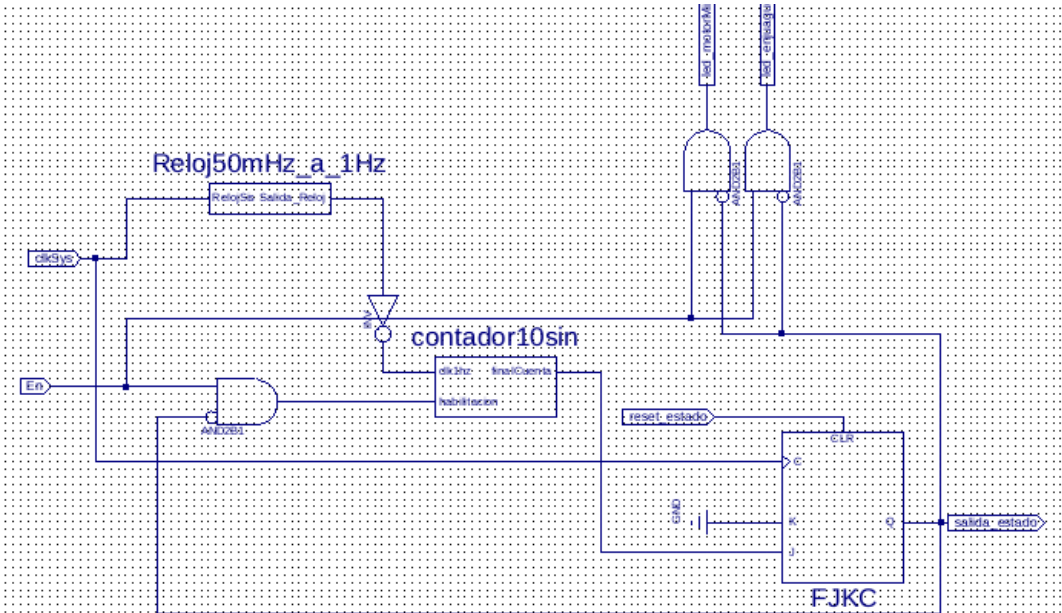


Figura 6. Diagrama esquemático de Enjuague

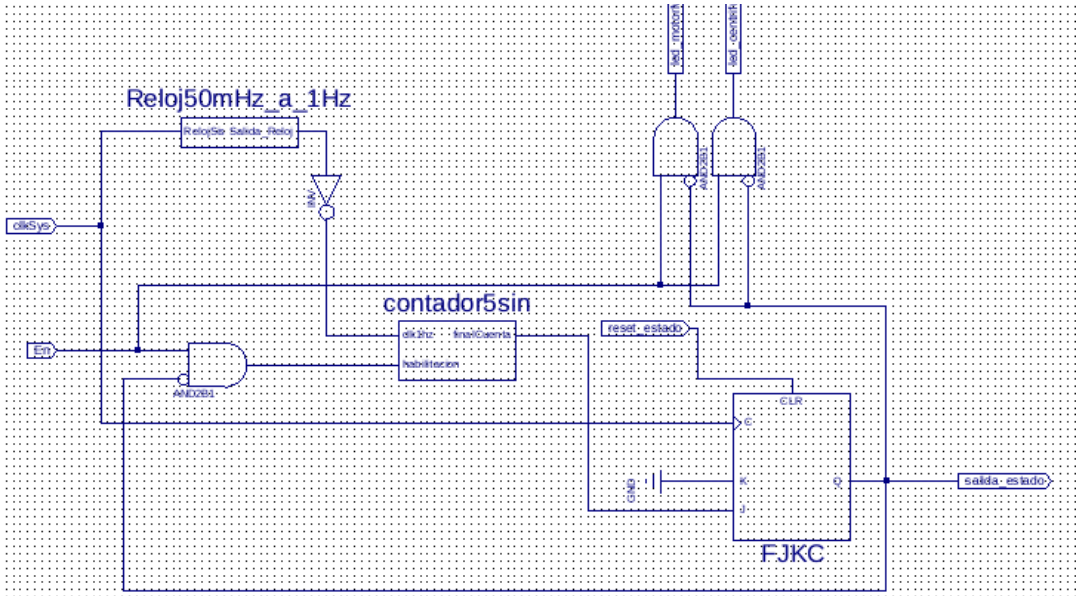


Figura 7. Diagrama esquemático de Centrifugado

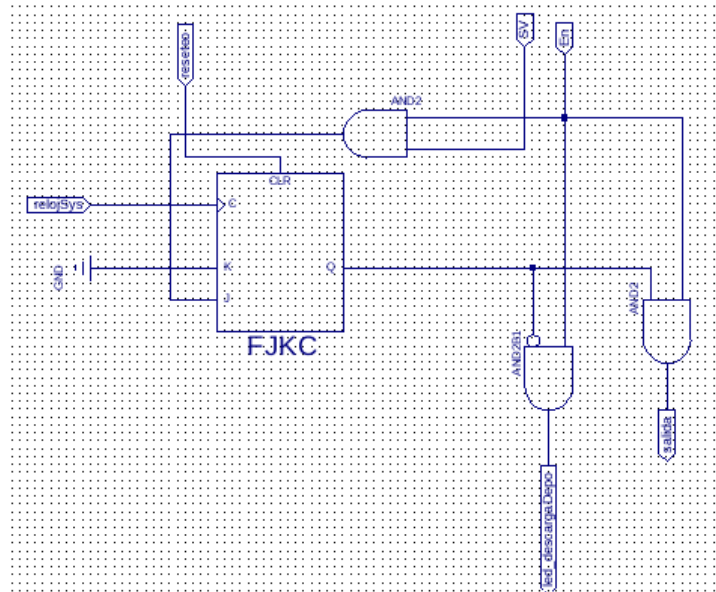


Figura 8. Diagrama esquemático de Vacío

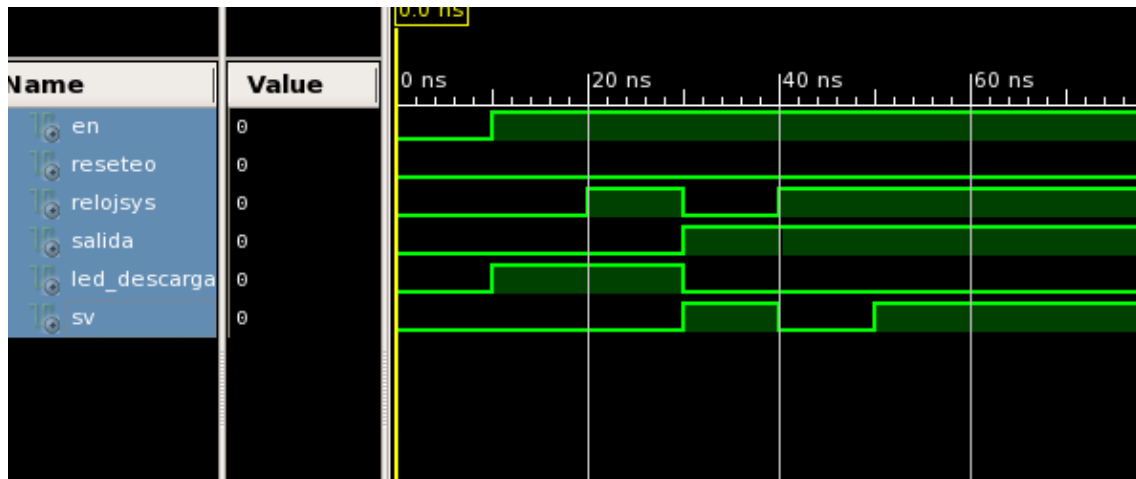


Figura 9 Test Bench de Vacío

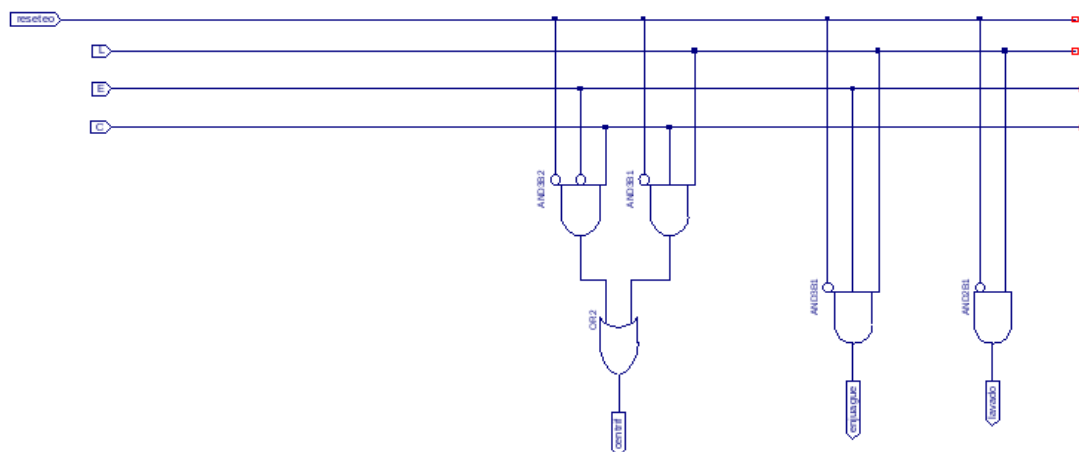


Figura 10. Diagrama esquemático del Evaluador de Entradas (convertorS)

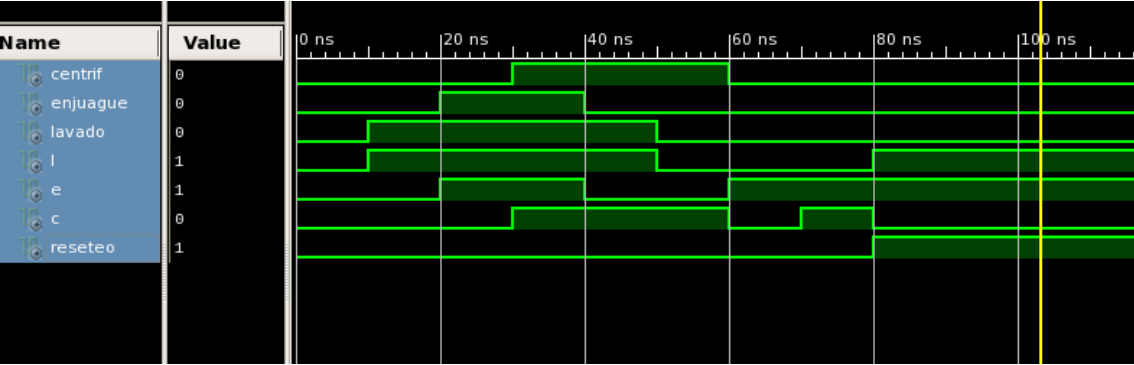


Figura 11. Test Bench del Evaluador de Entradas (convertorS)

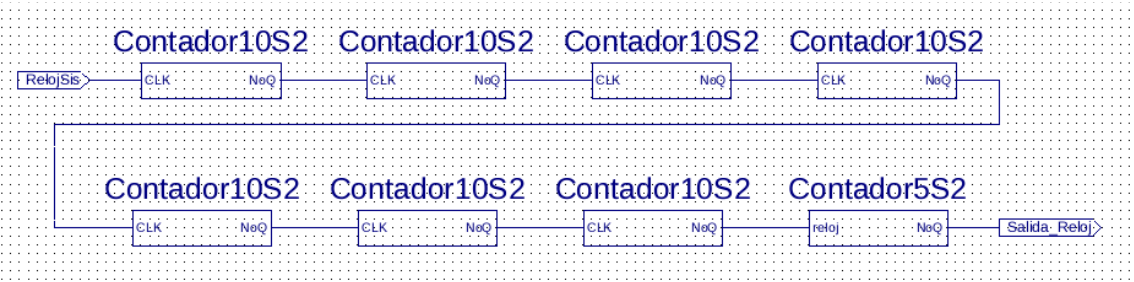


Figura 12. Diagrama esquemático de Divisor de Frecuencias (50Mhz a 1hz)

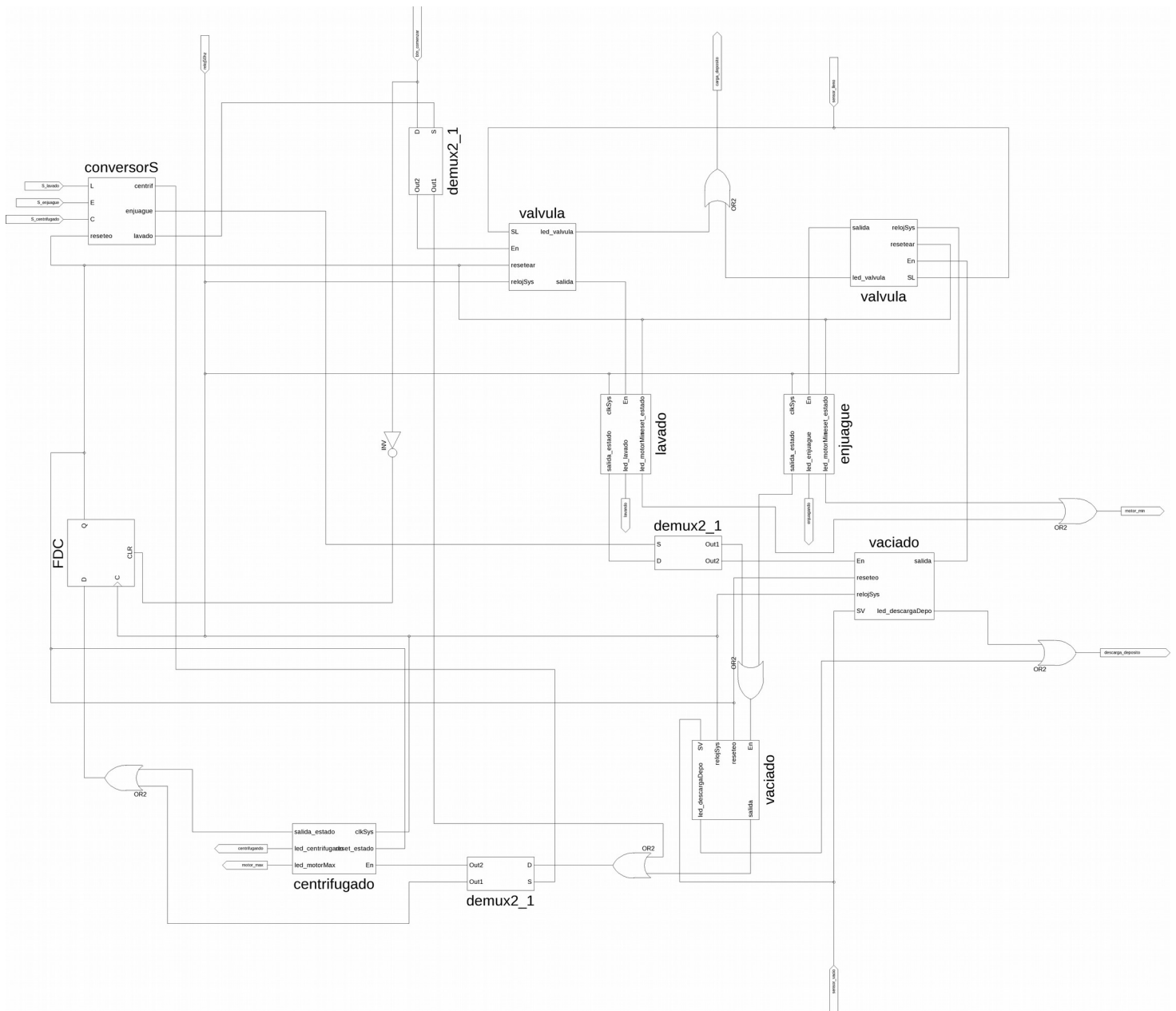


Figura 13. Diagrama esquemático General del Lavarropas

4. CONCLUSIONES

En este documento se ha presentado el desarrollo del sistema de control digital para un lavarropas automático mediante una FPGA de Xilinx. Se presentaron dos métodos a partir de los cuales puede realizarse el diseño en la FPGA, como son: mediante un lenguaje de descripción de hardware y a partir del diagrama esquemático. El primero permite realizar un diseño sin tomar en cuenta el hardware involucrado, es decir, es un diseño Top-Down con lo cual se incrementa la productividad y la reutilización del diseño, además permite detectar los errores con mayor rapidez. Sin embargo, posee la desventaja, para el diseñador, de desconocer el circuito digital implementado dentro de la FPGA. Por su parte, el diseño a partir del diagrama esquemático permite al programador conocer perfectamente toda la lógica que se encuentra implicada por cuanto debe realizar la deducción de todas las ecuaciones combinacionales y secuenciales presentes. Finalmente, los resultados obtenidos en la simulación evidencian el buen comportamiento del sistema de control diseñado obtenido a partir del diagrama esquemático.