

## Universidade Federal da Paraíba

## Introdução à Microeletrônica

# Projeto Final - ADAC

Professor: Hugo Cavalcante Alunos: João Wallace Lucena Lins João Pedro Teixeira Vasconcelos

8 de outubro de 2023

### Introdução

Neste trabalho, visamos implementar uma "calculadora" para inteiros sem sinal de 4 bits, com registrador, que realiza 4 instruções: NOP, ADD, SUB e ACC e realizar alguns testes para verificar seu funcionamento. Para isso, utilizaremos a linguagem de descrição de hardware VHDL, e usaremos as diversas ferramentas do pacote Alliance para gerar arquivos Spice e um circuito físico no formato .ap.

Utilizaremos a imagem abaixo como referência para a nossa implementação:

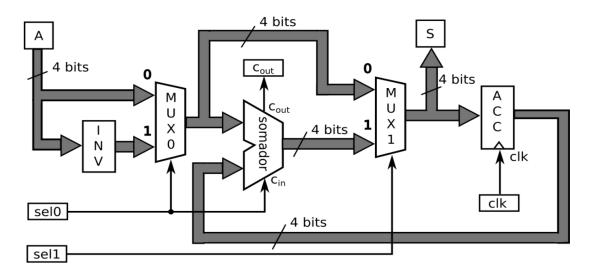


Figura 1: Descrição de projeto fornecida pelo professor no arquivo "Aula\_15\_IME.pdf"

Porém faremos algumas alterações visando implementar a função NOP. A primeira delas é a transformação das chaves "sel0" e "sel1" em um sinal de 3 bits chamado "op" de operador, em que os dois bits menos significativos de op à sel0 e sel1 e o seu bit mais significativo equivale ao NOP.

Por sugestão do professor, implementamos a NOP através da inserção de uma porta AND entre o bit mais significativo de op e o sinal clk, com saída na entrada de clock do registrador. De modo que, quando tal bit for 0 o registrador não atualizará o número guardado em sua memória e, consequentemente, nenhuma alteração será visível e ele estará, enfim, em NOP.

#### Metodologia

Para a compilação do arquivo VHDL em nossos arquivos alvo, utilizamos um script shell "compile.sh", contido nos anexos, que realiza as várias chamadas dos aplicativos do pacote Alliance necessários no processo. Com os arquivos gerados pudemos realizar os testes de duas diferentes formas: um arquivo Spice que usa o .spi gerado, e um arquivo .pat gerado através do Genpat e testado por meio do Asimut.

#### Resultados e Conclusão

Pudemos obter, com o nosso arquivo Spice e em nossa primeira implementação -que não contava com a operação NOP e o terceiro bit de OP-, o seguinte gráfico:

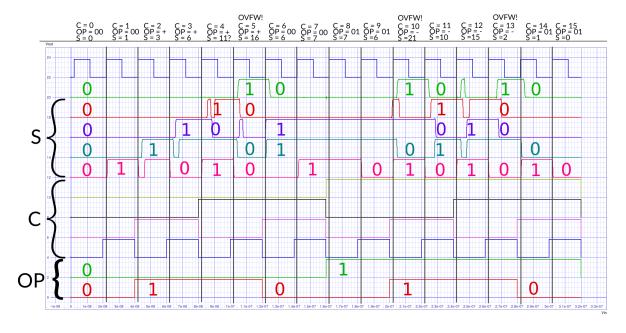


Figura 2: Gráfico gerado com alterações para facilitar a compreensão

Os arquivos gerados também passaram em nosso arquivo de teste do Genpat, mostrando nenhum erro no modo zero delay (utilizado com a flag -zd).

Com isso concluímos que nosso projeto atendia à todas as especificações feitas e funcionava de maneira razoavelmente estável, tendo alguns casos de falha, como é possível ver no gráfico, no momento em que C=4 e S=6 e quando somados resultam em S=11.

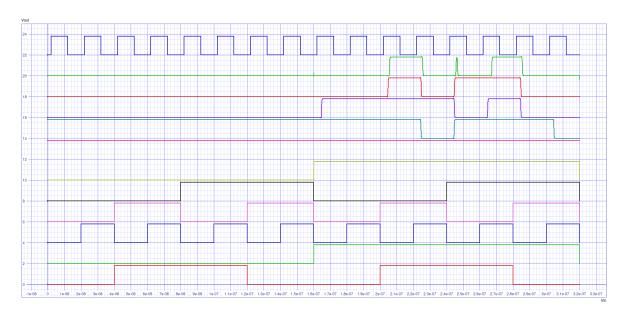


Figura 3: Gráfico gerado com AND na entrada do clock do registrador. 3 bit de OP é igual ao 2 bit.