

Nome: _____

Arquitetura de Computadores II

Notas importantes!

1. Verifique, para todas as questões, qual a resposta correta e assinale com uma cruz a sua escolha na tabela ao lado. Por cada resposta incorreta será descontada, à cotação global, até 1/3 da cotação da respetiva pergunta.
2. Pode usar até um máximo de 4 respostas duplas (por cada dupla: 0 certas desconta até 2/3, 1 certa conta até, aproximadamente, 7/8). Se usar mais de 4 duplas, serão aceites as 4 primeiras e as restantes serão consideradas respostas erradas.
3. Durante a realização do teste não é permitida a permanência junto do aluno, mesmo que desligado, de qualquer dispositivo eletrónico não expressamente autorizado (nesta lista incluem-se calculadoras, telemóveis e smartwatches). A sua deteção durante a realização do exame implica a imediata anulação do mesmo.

Grupo I

1. Dizer-se que, num sistema computacional, a memória apresenta uma organização do tipo word-addressable (sendo 1 word igual a 32 bits) significa que:
 - a. cada endereço de memória armazena uma palavra de 32 bits, sendo essa a menor unidade de dados que pode ser lida ou escrita na memória.
 - b. cada posição de memória é identificada com um endereço de uma word.
 - c. essa memória só pode ser ligada a um processador com um espaço de endereçamento de 32 bits.
 - d. os endereços de memória são sempre múltiplos de 1 byte, de modo a garantir um alinhamento eficiente dos dados.
2. Na arquitetura de um sistema computacional, o Address Bus permite ao processador:
 - a. transmitir dados diretamente entre dispositivos de E/S sem passar pela memória.
 - b. especificar o endereço da memória ou do dispositivo de E/S com o qual pretende comunicar, determinando a localização exata para leitura ou escrita de dados.
 - c. comunicar diretamente com a unidade de controlo para executar instruções de processamento.
 - d. ajustar dinamicamente a frequência do relógio da memória e das unidades de E/S.
3. Na organização do sistema de interrupções designada por "interrupções vetorizadas", o processador identifica o periférico gerador da interrupção:
 - a. consultando, de forma sequencial, uma lista de todos os periféricos até encontrar o correto.
 - b. usando um algoritmo de pesquisa binária numa tabela de periféricos.
 - c. de forma aleatória, selecionando um periférico para verificação de cada vez que ocorre uma interrupção.
 - d. num ciclo de interrupt acknowledge durante o qual o periférico gerador da interrupção coloca o seu vetor no barramento de dados.
4. Suponha que pretende configurar os bits 5 e 3 do porto D do PIC32 como entrada e saída, respetivamente, sem alterar a função dos restantes. Em linguagem C, isso pode ser feito através da instrução:
 - a. `TRISD = TRISD & 0xFFFF;`
 - b. `TRISD = (TRISD & ~(1 << 3)) | 1 << 5;`
 - c. `TRISD = (TRISD | 0x0020) & (0 << 3);`
 - d. `TRISD = (TRISD & 0x0000) | (1 << 5);`

Cotações: Grupo I: cada 0,6 valores; Grupo II: cada 0,85 valores.

(1)

5. O sinal de seleção "CE" (em lógica positiva) de uma memória mapeada na gama de endereços $0x6B00 \dots 0x6FFF$ de um processador com um espaço de endereçamento de 16 bits pode ser obtido através da expressão lógica:
- $CE = \overline{A15} + A14 + A13 + \overline{A12} + A11$
 - $CE = A15 \cdot \overline{A14} \cdot \overline{A13} \cdot A12 \cdot \overline{A11}$
 - $CE = \overline{A15} \cdot A14 \cdot A13 \cdot \overline{A12} \cdot A11$
 - $CE = A15 + \overline{A14} + \overline{A13} + A12 + \overline{A11}$
6. Numa transferência por DMA, o sinal *BusRequest* é utilizado pelo respetivo controlador para:
- informar o CPU que a transferência de informação vai ter início, permitindo desse modo que o CPU suspenda a atividade de acesso ao exterior.
 - informar o CPU da existência de uma anomalia ocorrida durante o processo de transferência.
 - efetuar ao CPU o pedido de cedência dos barramentos; a transferência tem início quando o DMA receber a confirmação, através do sinal *BusGrant*, de que os barramentos foram libertados.
 - signalizar o CPU que a transferência de informação foi completada e que os barramentos estão novamente disponíveis para o CPU.
7. Num barramento série que use a técnica de sincronização de relógio designada por "relógio implícito":
- o transmissor e o recetor têm relógios independentes; o relógio do recetor é sincronizado ocasionalmente com o do transmissor por meio da receção de símbolos codificados nos dados.
 - o relógio é gerado pelo transmissor que o envia, para o recetor, codificado nos dados.
 - o relógio é gerado pelo recetor e enviado de forma codificada para o transmissor.
 - o transmissor e o recetor têm os seus próprios relógios que se sincronizam mutuamente.
8. No standard RS-232C um dos tipos de erro de comunicação que é detetado é o erro de *framing*. Esse erro ocorre quando o recetor:
- recebe um número de stop bits diferente do valor programado.
 - recebe um bit de paridade diferente do programado.
 - deteta um número de bits no campo de dados diferente do programado.
 - recebe como stop bit um bit com o nível lógico 0.
9. No método de sincronização dos relógios utilizado na interface RS-232C, a diferença de frequência entre os relógios do transmissor e do recetor:
- introduz um desvio cumulativo e proporcional ao comprimento da trama, entre o instante ideal e o instante real de amostragem no recetor.
 - introduz um desvio constante entre o instante ideal e o instante real de amostragem no recetor.
 - não tem qualquer implicação no instante real de amostragem no recetor.
 - introduz um desvio entre o instante ideal e o instante real de amostragem, que é proporcional à frequência do relógio do recetor.
10. Num sistema com vários dispositivos interligados por um barramento SPI, em termos de comunicação:
- a função dos dispositivos é fixa à partida, podendo apenas existir 1 master, sendo os restantes obrigatoriamente slaves.
 - podem existir, permanentemente, vários masters e vários slaves, configurados nessa função à partida, sendo a comunicação estabelecida entre quaisquer dois desses dispositivos.
 - em cada instante apenas pode existir 1 master, sendo os restantes obrigatoriamente slaves, mas um slave pode tornar-se master se ganhar o processo de arbitragem com outro master de menor prioridade.
 - não existem dispositivos master ou slave; a comunicação pode ocorrer, em qualquer instante, entre quaisquer dois dispositivos.

Cotações: Grupo I: cada 0.6 valores; Grupo II: cada 0.85 valores.

11. No barramento SPI o master seleciona o slave com quem comunica através de:

- um endereço único enviado no início da comunicação.
- um sinal de seleção, específico para cada slave, que mantém ativo enquanto durar a transferência.
- um comando especial enviado através do barramento de dados antes de se iniciar a transferência.
- um sinal de relógio com uma frequência específica atribuída previamente a cada slave.

12. Suponha que pretende interligar, através de um protocolo/interface série, dois sistemas computacionais que distam de algumas dezenas de metros numa linha de produção com elevados níveis de interferência eletromagnética, um ligado a um sensor e outro correspondendo a um computador de controlo. Para este cenário de aplicação, o standard de aplicação mais adequado, de entre os que estudou, é:

- SPI
- RS-232C
- CAN
- Qualquer um entre CAN, SPI e RS-232C

13. No contexto do barramento CAN, bit stuffing consiste:

- na inserção de bits extra para permitir a deteção de erros.
- na remoção de bits redundantes para compressão de dados.
- na inserção de um bit adicional após uma sequência de bits iguais para garantir a sincronização dos instantes de amostragem nos nós recetores.
- na técnica de rearranjar bits na mensagem para melhorar a eficiência da transmissão.

14. Suponha que no barramento CAN, após uma situação de meio livre, três masters acedem simultaneamente ao barramento. O master 1 produz uma mensagem com o identificador 0x51, o master 2 produz uma mensagem com o identificador 0x5D e o master 3 produz uma mensagem com o identificador 0x4B. Nessa situação:

- o acesso ao barramento é ganho pelo master 3.
- o acesso ao barramento é ganho pelo master 2.
- o acesso ao barramento é ganho pelo master 1.
- não há necessidade de arbitrar o acesso ao barramento, porque as mensagens produzidas pelos 3 masters têm identificadores diferentes.

15. Numa aplicação a usar CAN 2.0A (trama com identificador standard), o mecanismo de aceitação de mensagens do controlador CAN foi configurado com os seguintes valores: máscara=0x7F3, filtro=0x3D5. Nesta situação são aceites as mensagens com o(s) seguinte(s) identificador(es):

- 0x3D3, 0x3D5, 0x7F3, 0x7D5
- 0x7F3
- 0x3D5, 0x7F3
- 0x3D1, 0x3D5, 0x3D9, 0x3DD

Mask bit	Filter bit	Message Id bit	Res. bit
0	X	X	Accept
1	0	0	Accept
1	0	1	Reject
1	1	0	Reject
1	1	1	Accept

16. Num device driver para uma UART (controlador RS-232C) utilizam-se tipicamente:

- interrupções para sinalizar a aplicação de alto nível de que foi recebido um novo carácter ou que a UART está disponível para o envio de um novo carácter.
- estruturas de dados do tipo FIFO como meio de comunicação com a aplicação de alto nível, sendo o envio e a receção de caracteres da UART processados por interrupção.
- interrupções geradas pela aplicação de alto nível para proceder ao envio de novos caracteres.
- buffers circulares como meio de comunicação com a aplicação de alto nível, sendo o envio e a receção de caracteres da UART processados por polling.

Cotações: Grupo I: cada 0,6 valores; Grupo II: cada 0,85 valores.

17. Para construir um módulo de memória SRAM de 128k x 16 bits, são necessários:
- 32 circuitos de 32k x 4 bits.
 - 8 circuitos de 16k x 8 bits.
 - 16 circuitos de 16k x 4 bits.
 - 8 circuitos de 32k x 8 bits.
18. Considere uma memória DRAM em que o barramento de endereços tem uma dimensão de 7 bits. O armazenamento é constituída por 1 matriz de células com 32 colunas. Podemos então concluir perante uma memória de:
- 2 kbits
 - 4 kbits
 - 8 kbits
 - 4 kBytes
19. O *dirty bit* é usado numa memória *cache* quando esta usa uma política de escrita:
- write-through* para indicar que o respetivo bloco não está a ser usado.
 - write-back*, para indicar que a informação armazenada no respetivo bloco foi alterada.
 - write-through*, para indicar que a informação armazenada no respetivo bloco foi alterada principal.
 - write-back*, para indicar que o respetivo bloco não está a ser usado.
20. Considere uma memória *cache* de mapeamento direto de 16 kByte, com blocos de 32 bytes, processador com um espaço de endereçamento de 20 bits. Nesta *cache*, cada linha da *tag memory*
- 6 bits
 - 7 bits
 - 5 bits
 - 8 bits
21. Num sistema com memória virtual:
- existe uma única *page table* para todos os processos em execução.
 - todos os processos em execução partilham a mesma *page table*, mas acedendo a diferentes locais.
 - as *page tables* são armazenadas na *cache* do processador para permitir um acesso rápido.
 - cada processo em execução tem a sua própria *page table*.
22. Num sistema com memória virtual, a tradução de endereços virtuais em endereços físicos:
- é realizada exclusivamente pelo sistema operativo sem qualquer utilização de hardware.
 - é um processo instantâneo, sem qualquer impacto no desempenho do sistema.
 - é feita de modo a que o mesmo endereço virtual de todos os processos seja mapeado diretamente para a mesma área de memória física.
 - é realizada por hardware num dispositivo designado por MMU (Memory Management Unit).

23. Num sistema com memória virtual, o número de entradas do TLB (Translation Lookaside Buffer) é:
- dependente da implementação, sendo sempre muito inferior ao número de entradas da page table.
 - igual ao número de entradas da page table.
 - igual ao número máximo de páginas virtuais.
 - igual ao número máximo de páginas virtuais de memória usadas pelo processo em execução.

Grupo II

24. Considere um controlador de DMA não dedicado de 64 bits (i.e. com barramento de dados de 64 bits), a funcionar a 120 MHz. Considerando que 1 bus cycle tem a duração de 4 ciclos de relógio, a taxa de transferência desse DMA (expressa em Bytes/s), a funcionar em modo "bloco" é:
- 64 MB/s
 - 160 MB/s
 - 120 MB/s
 - 100 MB/s
25. O número de comparadores necessário para implementar uma cache parcialmente associativa de 128 kBytes com 256 linhas e blocos de 64 bytes é:
- 1
 - 4
 - 16
 - 8
26. Considere uma memória DRAM de 4Mx64, implementada com matrizes quadradas, que utiliza um ciclo de refrescamento do tipo RAS only. Sabendo que o parâmetro cycle time do ciclo RAS only é 100 ns, o tempo mínimo necessário para fazer um refrescamento completo à memória é, aproximadamente:
- 200 ms
 - 205 μ s
 - 50 ns
 - 102 μ s
27. Considere um sistema de supervisão, baseado no protocolo SPI, que recolhe periodicamente informação proveniente de 40 sensores de temperatura, todos com uma resolução de 16 bits (i.e. a temperatura é um valor de 16 bits). Considere ainda que a sequência de leitura começa sempre pelo envio de um comando, codificado com 8 bits. Neste cenário, o tempo mínimo que o master, a funcionar com uma frequência de relógio de 500 kHz, necessita para adquirir os valores de todos os sensores (cada um ligado num slave distinto) é, aproximadamente:
- 1.9 ms
 - 5.6 μ s
 - 4.8 ms
 - 24 ms
28. Um determinado sistema de memória consegue responder a um acesso a uma posição de memória que se encontra na cache em 4 ciclos de relógio e a uma posição de memória que se encontra na memória central em 50 ciclos de relógio. Para este sistema de memória se o tempo médio de acesso for 14 ciclos de relógio, isso significa um hit ratio na cache de:
- 90%
 - 94%
 - 80%
 - 54%

		c	d	
1				<u>CHAVE</u>
2				a
3				b
4				d
5				b
6				c
7				c
8				a
9				d
10				a
11				b
12				c
13				c
14				a
15				d
16				b
17				d
18				b
19				b
20				a
21				d
22				d
23				a
24				c
25				d
26				b
27				a
28				c
29				c
30				b
31				c
32				d

Nome: _____

Arquitetura de Computadores II

Teste 2
15/06/2023

N.º Mac: _____

Notas importantes!

1. Verifique, para todas as questões, qual a resposta correta e assinale com uma cruz a sua escolha na tabela ao lado. Por cada resposta incorreta será descontada, à cotação global, até 1/3 da cotação da respetiva pergunta.
2. Pode usar até um máximo de 4 respostas duplas (por cada dupla: 0 certas desconta até 2/3, 1 certa conta até, aproximadamente, 7/8). Se usar mais de 4 duplas, serão aceites as 4 primeiras e as restantes serão consideradas respostas erradas.
3. Durante a realização do teste não é permitida a permanência junto do aluno, mesmo que desligado, de qualquer dispositivo eletrónico não expressamente autorizado (nesta lista incluem-se calculadoras, telemóveis e smartwatches). A sua deteção durante a realização do exame implica a imediata anulação do mesmo.

Grupo I

1. Na arquitetura de um sistema computacional, o *Data Bus* permite:
 - a. identificar, na memória externa/periférico, a origem/destino dos dados.
 - b. especificar o tipo de operação efetuada sobre a memória.
 - c. transferir o código máquina das instruções para o *program counter*.
 - d. transferir dados entre a memória externa/periféricos e os registos do CPU.
2. Na organização do sistema de interrupções designada por "interrupções vetorizadas", o processador identifica o periférico gerador da interrupção:
 - a. num ciclo de *interrupt acknowledge* durante o qual o periférico gerador da interrupção coloca o seu vetor no barramento de dados.
 - b. através da leitura do valor presente no barramento de endereços uma vez que quando o periférico ativa a linha de interrupção coloca simultaneamente nesse barramento o seu vetor.
 - c. antes de chamar a rotina de serviço à interrupção lendo o registo de estado de cada um dos periféricos do sistema.
 - d. na rotina de serviço à interrupção lendo o registo de estado de cada um dos periféricos do sistema.
3. Suponha que pretende configurar os bits 7 e 6 do porto B do PIC32 como saída e entrada, respetivamente, sem alterar a função dos restantes. Em linguagem C, isso pode ser feito através da instrução:
 - a. `TRISB = (TRISB & 0xFF7F) | 0xFFFF;`
 - b. `TRISB = (TRISB | 0x0040) & 0x0080;`
 - c. `TRISB = (TRISB & ~(1 << 7)) | 1 << 6;`
 - d. `TRISB = (TRISB & 0x0040) | 0x0080;`
4. Considere um timer em que a relação entre as frequências de entrada e de saída é uma constante k configurável. Se colocar dois desses timers em cascata (i.e., ligados em série) com constantes de divisão k_1 e k_2 , a relação entre o período do sinal de relógio à entrada do primeiro timer (T_{in}) e o período à saída do segundo timer (T_{out}) pode ser calculada como:
 - a. $T_{out} = T_{in} / (k_1 + k_2)$
 - b. $T_{out} = T_{in} * (k_1 * k_2)$
 - c. $T_{out} = T_{in} / (k_1 * k_2)$
 - d. $T_{out} = T_{in} / (k_1 + k_2)$

	a	b	c	d
1				
2				
3				
4				
5				
6				
7				
8				
9				
10				
11				
12				
13				
14				
15				
16				
17				
18				
19				
20				
21				
22				
23				
24				
25				
26				
27				
28				
29				
30				
31				
32				

5. O sinal de seleção "Sel" (em lógica positiva) de um porto mapeado na gama de endereços $0 \times 0000 \dots 0 \times 07FF$ de um processador com um espaço de endereçamento de 16 bits pode ser obtido através da expressão:

(a) $Sel = \prod_{i=0}^{10} A_i$

b. $Sel = \prod_{i=0}^{10} \bar{A}_i$

(c) $Sel = \prod_{i=11}^{15} \bar{A}_i$

d. $Sel = \prod_{i=11}^{15} A_i$

0111 1111 1111

6. Numa transferência por DMA, o sinal BusRequest é utilizado pelo respetivo controlador para:
- informar o CPU que a transferência de informação vai ter início, permitindo desse modo que o CPU suspenda a atividade de acesso ao exterior.
 - (b) efetuar ao CPU o pedido de cedência dos barramentos; a transferência tem início quando o DMA receber a confirmação, através do sinal BusGrant, de que os barramentos foram libertados.
 - informar o CPU da existência de uma anomalia ocorrida durante o processo de transferência.
 - signalizar o CPU que a transferência de informação foi completada.
7. Num barramento série que use a técnica de sincronização de relógio designada por "relógio codificado":
- o relógio é gerado pelo recetor e enviado de forma codificada para o transmissor.
 - o transmissor e o recetor têm os seus próprios relógios que se sincronizam mutuamente.
 - o transmissor e o recetor têm relógios independentes; o relógio do recetor é sincronizado ocasionalmente com o do transmissor por meio da receção de símbolos codificados nos dados.
 - o relógio é gerado pelo transmissor que o envia, para o recetor, codificado nos dados.
8. No standard RS232C um dos tipos de erro de comunicação que é detetado é o erro de framing. Esse erro ocorre quando o recetor:
- recebe um número de bits a 1 que não corresponde à paridade programada.
 - recebe como "stop bit" um bit com o nível lógico 0.
 - recebe um bit de paridade diferente do programado.
 - deteta um número de bits no campo de dados diferente do programado.
9. No método de sincronização dos relógios utilizado na interface RS232C, o "erro de fase":
- introduz um desvio cumulativo e proporcional ao comprimento da trama, entre o instante ideal e o instante real de amostragem no recetor.
 - não tem qualquer implicação no instante real de amostragem no recetor.
 - é proporcional à frequência do relógio do transmissor.
 - introduz um desvio constante entre o instante ideal e o instante real de amostragem no recetor.
10. Num barramento SPI é possível a comunicação entre:
- um master e vários slaves, numa ligação em *daisy-chain*, sendo o sinal de relógio implícito.
 - um master e vários slaves, numa ligação com sinais de seleção individuais, sendo o sinal de relógio explícito.
 - vários masters e vários slaves, numa ligação com sinais de seleção individuais, sendo o sinal de relógio implícito.
 - vários masters e vários slaves, numa ligação com sinais de seleção individuais, sendo o sinal de relógio explícito.

11. No barramento SPI o *master* seleciona o *slave* com quem vai comunicar através de:
- informação transmitida na linha de dados.
 - um sinal de seleção através do qual é transferido o endereço desse *slave*.
 - um sinal de seleção que ativa antes de iniciar a transferência.
 - um barramento de endereços de 7 bits a partir do qual cada dispositivo *descodifica o seu próprio endereço*.
12. Na interface I²C o primeiro *byte* gerado pelo *master*, numa comunicação, contém a seguinte informação:
- o endereço do *master*, o endereço do *slave* com quem quer comunicar e a operação a realizar. *1 = 8 bits, 2 = 7 bits*
 - os parâmetros de comunicação a utilizar na transferência (taxa de transferência e número total de bits a transferir).
 - o endereço do *master* e a operação a realizar.
 - ☒ o endereço do *slave* com quem quer comunicar e a operação a realizar.
13. Na interface de comunicação I²C, quando existe mais do que um *master* a tentar aceder simultaneamente ao barramento, a arbitragem é feita:
- por bit dominante / bit recessivo e processa-se bit a bit.
 - atribuindo o barramento ao *master* com o endereço mais alto.
 - dando prioridade ao *master* que foi servido pela última vez há mais tempo.
 - através do bit que determina a operação a efetuar.
14. Suponha que pretende interligar, através de um protocolo/interface série, dois sistemas computacionais que distam de algumas dezenas de metros numa linha de produção com elevados níveis de interferência eletromagnética, um ligado a um sensor e outro correspondendo a um computador de controlo. O standard mais adequado a este cenário de aplicação é:
- SPI
 - CAN
 - I²C
 - RS232C
15. No barramento CAN a codificação das tramas de dados utiliza a técnica de *bit stuffing*. Essa técnica consiste em:
- por cada 5 bits com o valor lógico 1, é inserido um bit com o valor lógico 0.
 - por cada bit enviado é inserido um de polaridade oposta.
 - por cada 5 bits com o valor lógico 0, é inserido um bit com o valor lógico 1.
 - por cada 5 bits iguais é inserido um de polaridade oposta.
16. Suponha que no barramento CAN, após uma situação de meio livre, três *masters* acedem simultaneamente ao barramento. O *master* 1 produz uma mensagem com o identificador 0x4C, o *master* 2 produz uma mensagem com o identificador 0x2A e o *master* 3 produz uma mensagem com o identificador 0x61. Nessa situação:
- não há necessidade de arbitrar o acesso ao barramento, porque as mensagens produzidas pelos 3 *masters* têm identificadores diferentes.
 - o acesso ao barramento é ganho pelo *master* 2.
 - o acesso ao barramento é ganho pelo *master* 1.
 - o acesso ao barramento é ganho pelo *master* 3.

17. Num device driver para uma UART (porta série RS232C) utilizam-se tipicamente:
- estruturas de dados do tipo FIFO como meio de comunicação com a aplicação de alto nível, sendo o envio e a receção de caracteres da UART processados por interrupção.
 - interrupções para sinalizar a aplicação de alto nível de que foi recebido um novo carácter ou que a UART está disponível para o envio de um novo carácter.
 - interrupções geradas pela aplicação de alto nível para proceder ao envio de novos caracteres.
 - buffers circulares como meio de comunicação com a aplicação de alto nível, sendo o envio e a receção de caracteres da UART processados por polling.
18. Para construir um módulo de memória SRAM de 256k x 16 bits, são necessários:
- 8 circuitos de 32k x 8 bits.
 - 8 circuitos de 16k x 8 bits.
 - 32 circuitos de 32k x 4 bits.
 - 32 circuitos de 16k x 4 bits.
19. Considere uma memória DRAM em que o barramento de endereços tem uma dimensão de 7 bits e a zona de armazenamento é constituída por 8 matrizes de células de 1bit com 32 linhas. Podemos então concluir que estamos perante uma memória de:
- 4 kBytes
 - 2 kBytes
 - 16 kBytes
 - 8 kBytes
20. O dirty bit é usado numa memória cache quando esta usa uma política de escrita:
- write-back, para indicar que a informação armazenada no respetivo bloco foi alterada.
 - write-back, para indicar que o respetivo bloco não está a ser usado.
 - write-through, para indicar que a informação armazenada no respetivo bloco foi alterada na memória principal.
 - write-through para indicar que o respetivo bloco não está a ser usado.
21. Considere uma memória cache de mapeamento direto de 16 kByte, com blocos de 32 bytes, ligada a um processador com um espaço de endereçamento de 20 bits. Nesta cache, cada linha da tag memory armazena:
- 5 bits
 - 7 bits
 - 6 bits
 - 8 bits
22. Na técnica designada por "memória virtual", o endereço da memória física é obtido através da tradução:
- do physical page number no virtual page number e sua concatenação com o page offset do endereço produzido pelo CPU.
 - do virtual page number no physical page number e sua concatenação com o page offset do endereço produzido pelo CPU.
 - do virtual page offset no physical page offset e sua concatenação com o virtual page number do endereço produzido pelo CPU.
 - do physical page offset no virtual page offset e sua concatenação com o virtual page number do endereço produzido pelo CPU.

23. Na técnica designada por "memória virtual", o número de entradas do TLB é:

- igual ao número de entradas da *page table*.
- igual ao número máximo de páginas virtuais.
- igual ao número máximo de páginas virtuais de memória usadas pelo processo em execução.
- dependente da implementação sendo sempre muito inferior ao número de entradas da *page table*.

Grupo II

24. Considere um controlador de DMA não dedicado de 64 bits (i.e. com barramento de dados de 64 bits), a funcionar a 120 MHz. Suponha ainda que são necessários 4 ciclos de relógio ($= 1 T_{BC}$) para efetuar uma operação de leitura ou escrita. A taxa de transferência desse DMA (expressa em Bytes/s), a funcionar em modo "bloco" é:

- 160 MByte/s
- 120 MByte/s
- 64 MByte/s
- 100 MByte/s

Handwritten calculations for Question 24:

$$f_{clk} = 120 \text{ MHz} = 120 \times 10^6 \text{ Hz}$$

$$T_{BC} = \frac{1}{f_{clk}} = \frac{1}{120 \times 10^6} \text{ s}$$

$$4 \text{ ciclos} = 4 \times T_{BC} = \frac{4}{120 \times 10^6} \text{ s}$$

$$\text{Taxa de transferência} = \frac{64 \text{ bits}}{4 \times T_{BC}} = \frac{64 \text{ bits}}{4 \times \frac{1}{120 \times 10^6}} = 64 \times 120 \times 10^6 \text{ bits/s}$$

$$= 7680 \times 10^6 \text{ bits/s} = 960 \times 10^6 \text{ Bytes/s} = 960 \text{ MByte/s}$$

Handwritten note: $64 \text{ bits} = 8 \text{ bytes}$

25. O número de comparadores necessário para implementar uma *cache* parcialmente associativa de 128 kB com 256 linhas e blocos de 64 bytes é:

- 1
- 4
- 8
- 16

26. Considere uma memória DRAM de 4Mx64, implementada com matrizes quadradas, que utiliza um ciclo de refrescamento do tipo *RAS only*. Sabendo que o parâmetro *cycle time* do ciclo *RAS only* é 100 ns, o tempo necessário para fazer um refrescamento completo à memória é, aproximadamente:

- 205 μ s
- 102 μ s
- 200 ms
- 50 ns

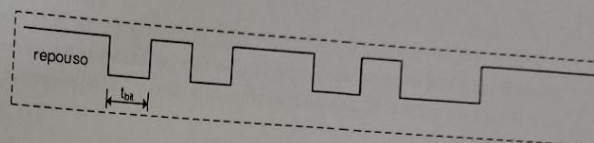
27. Considere um sistema de supervisão, baseado no protocolo I²C, que recolhe periodicamente informação proveniente de 40 sensores de temperatura, cada um deles com uma resolução de 8 bits (i.e. 8 bits de dados). O tempo mínimo que o *master*, a funcionar com uma frequência de relógio de 500 kHz, necessita para adquirir os valores de todos os sensores (cada um implementado num *slave* distinto) é:

- 1.6 ms
- 0.2 ms
- 4 ms
- 2.2 ms

28. Um determinado sistema de memória consegue responder a um acesso a uma posição de memória que se encontra na *cache* em 4 ciclos de relógio e a uma posição de memória que se encontra na memória central em 50 ciclos de relógio. Para este sistema de memória se o tempo médio de acesso for 14 ciclos de relógio, isso significa um *hit ratio* na *cache* de:

- 94%
- 54%
- 80%
- 90%

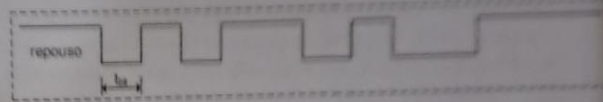
29. Um dispositivo com interface RS232C, configurado para transmitir 7 bits de dados, paridade par e 2 stop bit, produz a trama da figura que é recebida por outro dispositivo RS232C configurado com o mesmo baudrate, mas com 7 bits de dados, sem paridade e 2 stop bit. Para a trama apresentada, o recetor:
- não vai detetar qualquer erro, mas o valor recebido não é igual ao valor transmitido.
 - não vai detetar qualquer erro e recebe corretamente o valor transmitido.
 - vai detetar um erro de *framing*.
 - vai detetar um erro de paridade.



30. Considere um espaço de endereçamento de 32 bits e uma memória *cache* de 128 kByte, com uma organização parcialmente associativa com 4 vias, e blocos de 32 bytes. O número de linhas da *cache* é:
- 8
 - 512
 - 32
 - 1024
31. Um sistema computacional com um sistema de memória *byte-addressable*, possui um espaço de endereçamento virtual de 16M e um espaço de endereçamento físico de 2M organizado em páginas de 1kByte. O espaço de memória ocupado pela *Page Table*, sabendo que cada entrada tem 16 bits, é:
- 32 kBytes
 - 16 kBytes
 - 64 kBytes
 - 256 kBytes
32. Um sistema computacional com uma memória *byte-addressable*, possui um espaço de endereçamento virtual de 4G e um espaço de endereçamento físico de 1G. A *Page Table* tem 1M entradas, está alinhada em endereços múltiplos de 4 e cada entrada tem 32 bits. Sabendo que o *Page table Register* tem o valor $0x3FF28000$, quando for gerado o endereço virtual $0x00006F5C$, o endereço da *Page Table* acedido para obter a tradução para o endereço físico será:

29. Um dispositivo com interface RS232C, configurado para transmitir 7 bits de dados, paridade par e 2 stop bit, produz a trama da figura que é recebida por outro dispositivo RS232C configurado com o mesmo padrão, mas com 7 bits de dados, sem paridade e 2 stop bit. Para a trama apresentada, o receptor:

- a. não vai detectar qualquer erro, mas o valor recebido não é igual ao valor transmitido
- b. não vai detectar qualquer erro e recebe corretamente o valor transmitido
- c. vai detectar um erro de *framing*.
- d. vai detectar um erro de paridade.



30. Considere um espaço de endereçamento de 32 bits e uma memória *cache* de 128 kByte, com uma organização parcialmente associativa com 4 vias, e blocos de 32 bytes. O número de linhas da *cache* é:

- a. 8
- b. 512
- c. 32
- d. 1024

31. Um sistema computacional com um sistema de memória *byte-addressable*, possui um espaço de endereçamento virtual de 16M e um espaço de endereçamento físico de 2M organizado em páginas de 1kByte. O espaço de memória ocupado pela *Page Table*, sabendo que cada entrada tem 16 bits, é:

- a. 32 kBytes
- b. 16 kBytes
- c. 64 kBytes
- d. 256 kBytes

32. Um sistema computacional com uma memória *byte-addressable*, possui um espaço de endereçamento virtual de 4G e um espaço de endereçamento físico de 1G. A *Page Table* tem 1M entradas, está alinhada em endereços múltiplos de 4 e cada entrada tem 32 bits. Sabendo que o *Page table Register* tem o valor 0x3FF28000, quando for gerado o endereço virtual 0x00006F5C, o endereço da *Page Table* acedido para obter a tradução para o endereço físico será:

- a. 0x3FF2805C
- b. 0x3FF28008
- c. 0x3FF28F5C
- d. 0x3FF28018

	a	b	c	d
1				X
2				
3			X	
4		X		
5	X		X	
6		X		
7				
8				
9	X			
10				
11				
12				X
13				
14				
15				
16				
17				
18			X	
19				
20				
21				
22				
23				
	a	b	c	d
24		X		
25				
26				
27				
28				
29				
30				
31				
32				

CHAVE

d
a
c
b
c
b
d
b
d
b
c
d
a
b
d
b
a
c
a
a
c
b
d

b
c
a
a
c
c
d
a
d