

Relatório de Sistemas Digitais

Trabalho L2

Circuitos Combinatórios Típicos

João Oliveira
Tomás A. Reis

Instituto Superior Técnico
Universidade de Lisboa

21 de Março de 2014
Quinta-Feira LSD1

1 Introdução

2 Projecto

2.1 Entradas e Saídas

Estando A, B e S no intervalo $[0;3]$ cada um será representado por dois bits, enquanto C_0 apenas necessitará de um. A codificação de A,B e S seguirão a conversão habitual de binário para decimal, como apresentado na seguintes tabela:

2.2 Tabela de verdade

2.3 Transformação das expressões algébricas

2.3.1 De forma a serem concretizadas com portas NAND-2, NAND-3 e NOT

3 Montagem e Teste

3.1 Montagem

Montou-se o circuito na *breadboard* utilizando os circuitos requisitados.

3.2 Utilização da Ponta de Prova

Valores de entrada				Valores Esperados		Valores Obtidos	
a_3	a_2	a_1	a_0	f_1	f_0	f_1	f_0
0	0	0	0	L	H		
0	0	0	1	L	H		
0	0	1	0	L	H		
0	0	1	1	H	L		
0	1	0	0	L	H		
0	1	0	1	L	H		
0	1	1	0	L	H		
0	1	1	1	L	H		
1	0	0	0	L	H		
1	0	0	1	L	H		
1	0	1	0	L	H		
1	0	1	1	L	H		
1	1	0	0	L	H		
1	1	0	1	L	H		
1	1	1	0	L	H		
1	1	1	1	L	H		

Tabela 1: Tabela de Testes das Funções

3.3 Teste do circuito

4 Conclusão

Com este trabalho teve-se como objectivo a concepção e concretização de um circuito que executa duas funções combinatórias. Para tal utilizou-se os Mapas de Karnaugh para obter as funções como soma de produtos e também como produto de somas para que depois fossem facilmente convertidas para expressões com, exclusivamente portas NAND e NOT ou NOR e NOT. A partir destas expressões escolhemos a mais económica e eficiente de implementar, tendo elaborado o respectivo diagrama lógico e esquema eléctrico após selecção dos circuitos integrados a usar.

Valores de entrada					Valores Esperados				Valores Obtidos			
I_2	I_1	I_0	f_1	f_0	S_3	S_2	S_1	S_0	S_3	S_2	S_1	S_0
0	0	0	X	0	L	L	L	L				
0	0	0	X	1	L	L	L	H				
0	0	1	X	0	L	L	L	L				
0	0	1	X	1	L	L	H	L				
0	1	0	X	0	L	L	L	L				
0	1	0	X	1	L	H	L	L				
0	1	1	X	0	L	L	L	L				
0	1	1	X	1	H	L	L	L				
1	0	0	0	X	L	L	L	L				
1	0	0	1	X	L	L	L	H				
1	0	1	0	X	L	L	L	L				
1	0	1	1	X	L	L	H	L				
1	1	0	0	X	L	L	L	L				
1	1	0	1	X	L	H	L	L				
1	1	1	0	X	L	L	L	L				
1	1	1	1	X	H	L	L	L				

Tabela 2: Tabela de Teste das Saídas