


Universidade Federal de Minas Gerais	
Escola de Engenharia – Departamento de Engenharia Eletrônica	
Disciplina: Laboratório de Sistemas Digitais	
Aula 05	
<b>Assuntos:</b> <ul style="list-style-type: none"><li>Tipos de dados básicos em VHDL e conversão de tipos.</li><li>Conceitos de sinais e variáveis.</li><li>Comandos para atribuição de sinais e variáveis.</li></ul>	
Espera-se que ao final do Estudo Dirigido o aluno saiba responder às seguintes questões: <ul style="list-style-type: none"><li>Qual a diferença entre os tipos <b>bit</b> e <b>std_logic</b>?</li><li>Quais pacotes da <i>library</i> “<b>ieee</b>” são extensões definidas por desenvolvedores de ferramentas e devem ser evitadas por não serem pacotes padrão definidos pelo IEEE?</li><li>Como realizar operações aritméticas (soma, subtração,...) usando <b>std_logic_vector</b>?</li><li>Onde um <b>signal</b> deve ser declarado?</li><li>Onde uma <b>variable</b> deve ser declarada?</li><li>Qual a diferença entre um <b>signal</b> e uma <b>variable</b>?</li><li>Qual a diferença entre um <b>signal</b> e uma variável de uma linguagem de programação, como C, por exemplo?</li><li>Qual a diferença entre uma <b>variable</b> e uma variável de uma linguagem de programação, como C?</li></ul>	
<b>Objetivos:</b> <ul style="list-style-type: none"><li>Entender os tipos de dados básicos da linguagem VHDL</li><li>Entender os tipos de dados definidos por algumas bibliotecas para a linguagem VHDL</li><li>Entender quando é possível e como deve-se realizar a conversão de tipos em VHDL</li><li>Conceituar sinais e entender onde podem ser utilizados</li><li>Conceituar variáveis e entender onde podem ser utilizadas</li></ul>	

**Documentos disponíveis no moodle:**

1. Sabih H. Gerez. VHDL for Simulation and Synthesis. University of Twente. 2016.
2. B. Mealy, F. Tappero. Free Range VHDL. Free Range Factory. 2012.