

Síntese de Sistemas Digitais

Disciplina:
Laboratório de Sistemas Digitais

Professor:
Jhonattan Córdoba Ramírez

Alunos:
João Pedro Copelli - 2021014414
João Victor Gomes - 2020072690
Marcelle Christine Aquino Silva - 2021014546

7 de outubro de 2022

Sumário

1	Introdução	3
2	Parte Teórica	3
2.1	Como funciona o processo de simulação de um sistema digital??	3
2.2	O que é o Ciclo Delta (Delta Cycle) e como ele se relaciona com simulação de sistemas digitais?	3
2.3	O que são Testbenches??	3
2.4	O que é síntese de sistemas digitais?	3
2.5	O que são construções sintetizáveis e construções não sintetizáveis?	4
2.6	Como implementar um modelo de sistema digital em VHDL que pode ser sintetizado	4
3	Parte Prática	4
4	Conclusão	10

1 Introdução

Neste relatório serão discutidos os primeiros conceitos sobre simulação e síntese de sistemas digitais, *testbenches*, implementação de modelos de sistemas digitais em VHDL e mapeamento tecnológico.

2 Parte Teórica

2.1 Como funciona o processo de simulação de um sistema digital??

A simulação de um sistema digital consiste na leitura de sinais e eventos por processos que estão sendo executados.

2.2 O que é o Ciclo Delta (Delta Cycle) e como ele se relaciona com simulação de sistemas digitais?

2.3 O que são Testbenches??

São uma descrição de como a entidade no VHDL será testada. Em um testbench, basicamente, definimos a entidade e como os sinais de entrada serão alterados para verificarmos se o sinal de saída está correto.

2.4 O que é síntese de sistemas digitais?

É converter uma lógica de alto nível em VHDL para uma lógica de portas mais simples ou em componentes lógicos. Após a síntese, um netlist é gerado, informando quais portas são utilizadas, quais componente serão necessários para a montagem e suas quantidades.

2.5 O que são construções sintetizáveis e construções não sintetizáveis?

Construções não sintetizáveis, não são traduzidos para hardware, modelam o comportamento de outros circuitos só para simulação:

- circuito de relógio
- memórias ou CPUs
- circuitos de interface (por exemplo conversores A/D ou D/A)

Consistem em um grupo de instruções ou mesmo uma sequência que deve ser seguida e não possuem restrições de tempo (atrasos, clock) como por exemplo Níveis de Sistema e Algoritmos, já as construções sintetizáveis variam entre si, conforme o nível de detalhamento dos atrasos entre as lógicas como em nível RTL e Lógico . Em resumo, podemos entender que a grande diferença entre esses níveis de abstração está em termos de detalhamento de timing de cada nível.

2.6 Como implementar um modelo de sistema digital em VHDL que pode ser sintetizado

3 Parte Prática

Criamos um novo projeto no Quartus II e desenvolvemos o código para a criação de um comparador de palavras de 4 bits. Com a compilação finalizada, temos a visualização RTL e o TMV para o MAX10 e para o Cyclone IV E abaixo:

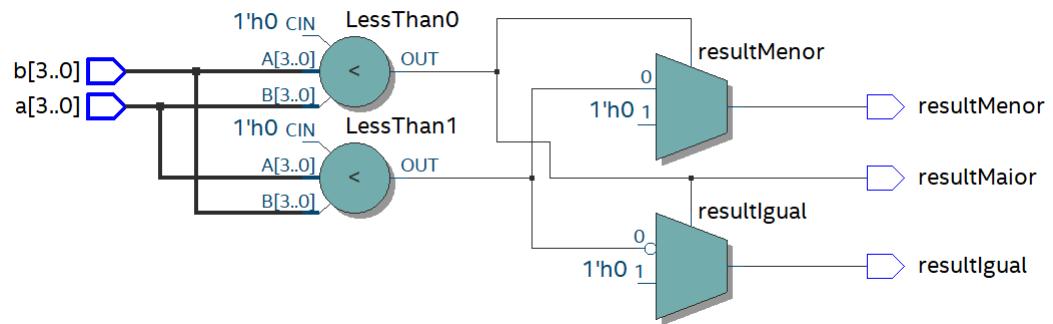


Figura 1: Visualização RTL do comparador no MAX10

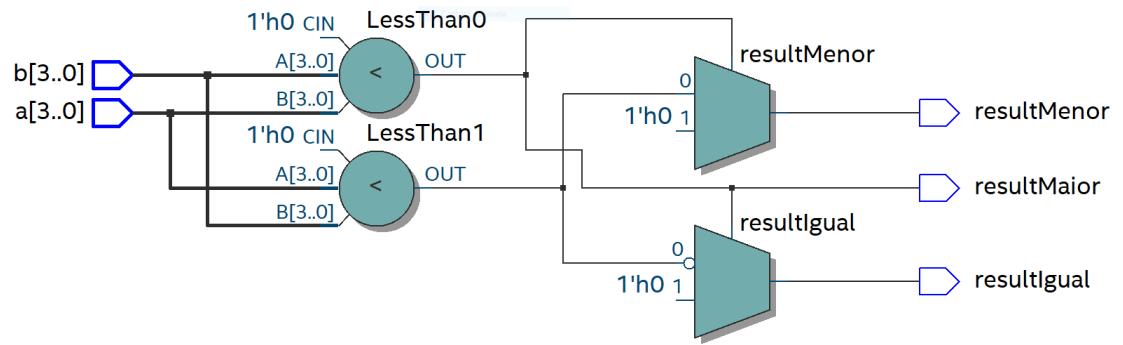


Figura 2: Visualização RTL do comparador no Cyclone IV E

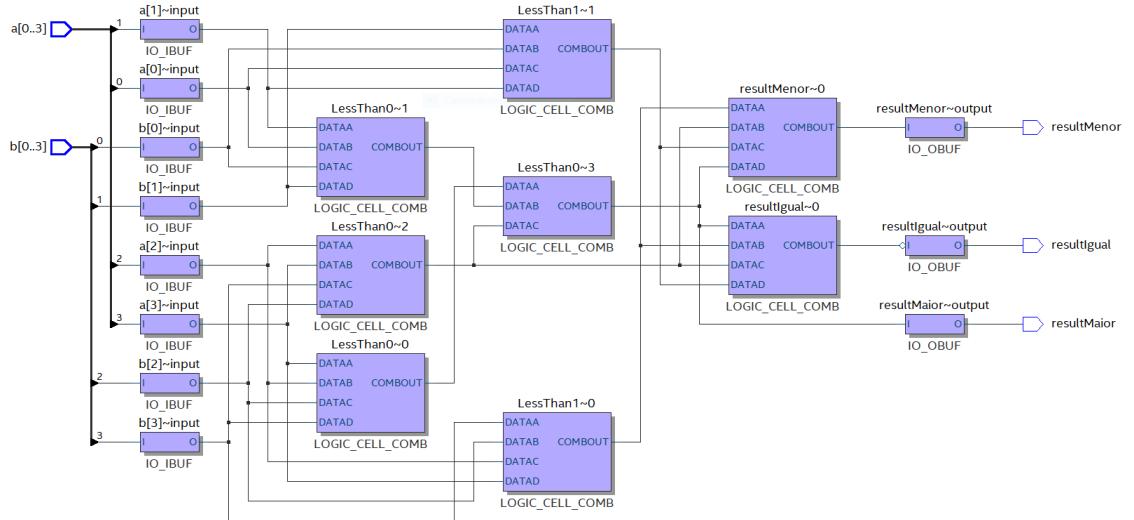


Figura 3: Visualização do TMV do comparador no MAX10

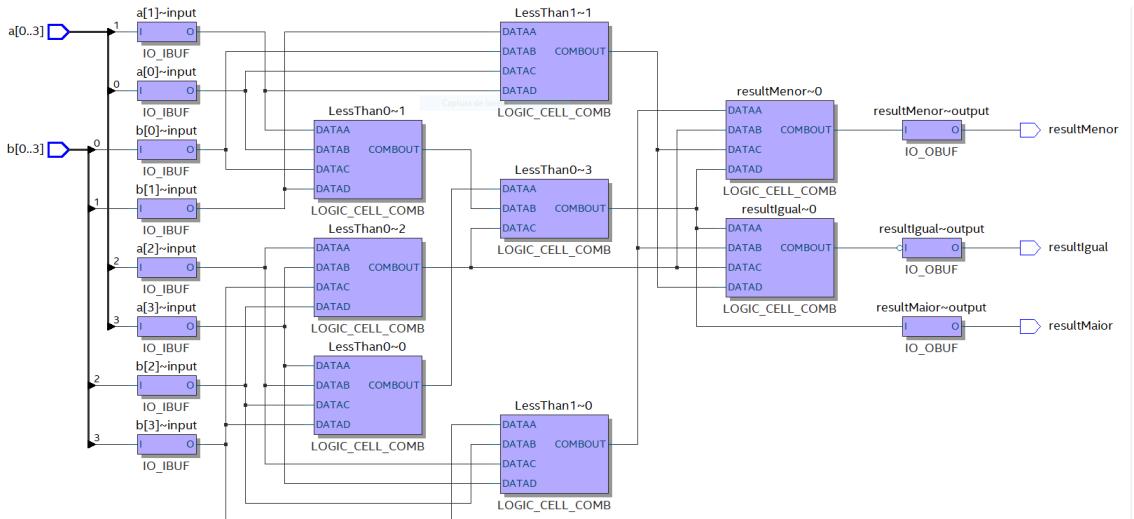


Figura 4: Visualização do TMV do comparador no Cyclone IV E

Com tudo verificado, fizemos a configuração do *testbench* e executamos a simulação pelo ModelSim. Com a simulação também funcional, podemos fazer o planejamento de quais pinos serão utilizados na placa real. Definimos que os pinos utilizados serão:

- Entradas A:
 - Chave SW0 - PIN_C10
 - Chave SW1 - PIN_C11
 - Chave SW2 - PIN_D12
 - Chave SW3 - PIN_C12
- Entradas B:
 - Chave SW4 - PIN_A12
 - Chave SW5 - PIN_B12
 - Chave SW6 - PIN_A13
 - Chave SW7 - PIN_A14
- Saída S:
 - LED0 - PIN_A8
 - LED1 - PIN_A9
 - LED2 - PIN_A10

Com isso, realizamos a gravação da placa para os testes.

Com a placa gravada, realizamos o seguinte teste:

- Teste 1
 - Inserimos o valor '0000' na entrada A
 - Inserimos o valor '0000' na entrada B
 - Esperamos que o valor na saída S seja '001' pois os valores de A e B serão iguais.
- Teste 2
 - Inserimos o valor '1111' na entrada A
 - Inserimos o valor '1111' na entrada B
 - Esperamos que o valor na saída S seja '001' pois os valores de A e B serão iguais.

- Teste 3

- Inserimos o valor '0001' na entrada A
- Inserimos o valor '0000' na entrada B
- Esperamos que o valor na saída S seja '010' pois o valor de A é maior que B.

- Teste 4

- Inserimos o valor '0001' na entrada A
- Inserimos o valor '0010' na entrada B
- Esperamos que o valor na saída S seja '100' pois o valor de B é maior que A.

Os resultados obtidos foram esses:

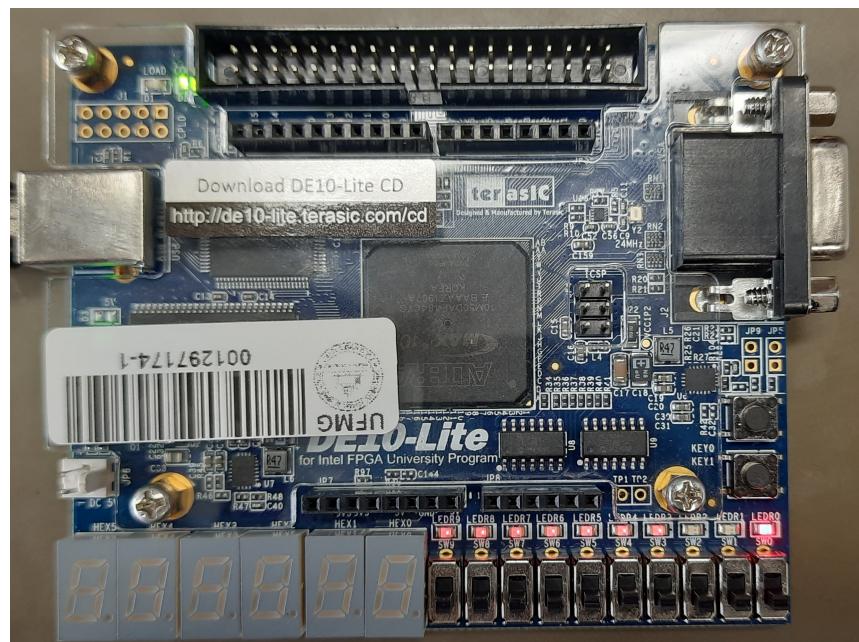


Figura 5: Resultado do Teste 1



Figura 6: Resultado do Teste 2



Figura 7: Resultado do Teste 3

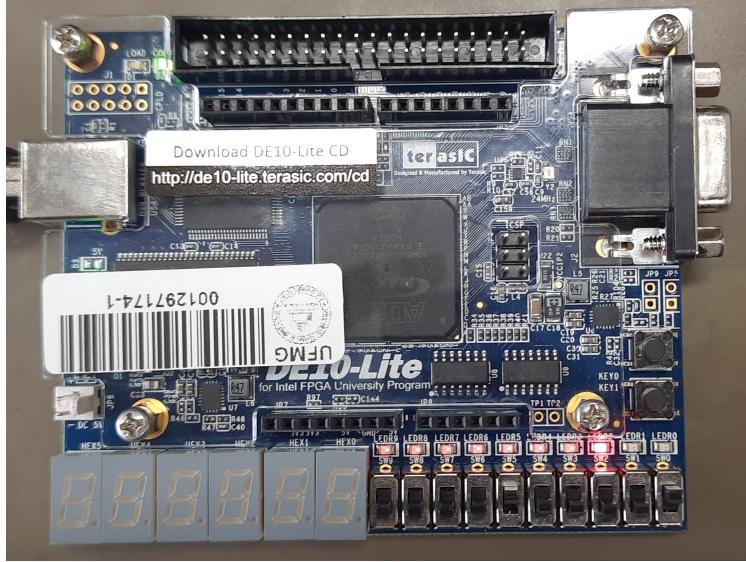


Figura 8: Resultado do Teste 4

4 Conclusão

Analisando os RTLs e os TMV gerados com o mesmo VHDL em dois modelos de FPGAs, podemos dizer que a construção interna das duas são semelhantes, pois ,internamente, implementariam o circuito da mesma forma.

Sobre os testes realizados, podemos observar pelas figuras acima que os resultados obtidos foram iguais aos resultados esperados em todos os teste.