

Universidade Federal de Minas Gerais	
Escola de Engenharia – Departamento de Engenharia Eletrônica	
Disciplina: Laboratório de Sistemas Digitais	
Complemento Aula: 08	
<b>Assuntos:</b> <ul style="list-style-type: none"><li>Modelos de Representação de um Sistema top-level em VHDL: Comportamental, Fluxo de dados e Estrutural.</li></ul>	
<b>Avaliação teórica:</b> <p>Perguntas feitas pelo professor.</p>	
<b>Atividades práticas em sala de aula:</b> <ol style="list-style-type: none"><li>Utilizando como base o arquivo “FlipFlopD.vhd” disponível, descreva em VHDL um Flip-FlopD usando um modelo de representação de sistemas em fluxo de dados. Escreva um arquivo testbench para testar a sua descrição vhdl sintetizada.</li><li>Volte ao Quartus II e acesse o Menu <i>Tools</i> → <i>Netlist Viewers</i> → <i>RTL Viewer</i>. Observe se o diagrama mostrado é coerente com o que você esperava.</li><li>Acesse o Menu <i>Tools</i> → <i>Netlist Viewers</i> → <i>Technology Map Viewer (Post- Mapping)</i>. Clique duas vezes sobre as “caixas” para observar sua implementação interna. Analise como estas caixas se relacionam com os elementos lógicos do DLP.</li><li>Utilizando como base o arquivo “fulladder.vhd” disponível, descreva em VHDL um fulladder usando um modelo de representação de sistemas comportamental. Escreva um arquivo testbench para testar a sua descrição vhdl sintetizada.</li><li>Repita as atividades 2 e 3.</li><li>Utilize o circuito descrito acima (fulladder.vhd) para construir um somador completo de 4 bits utilizando um modelo de representação estrutural. Escreva um arquivo testbench para testar a sua descrição vhdl sintetizada.</li><li>Repita as atividades 2 e 3.</li><li>Simule os sistemas e apresente os resultados que você desenvolveu ao professor da disciplina.</li></ol>	

**Atividade Práticas no laboratório:**

Relatório: Páginas (max. 3)