


Universidade Federal de Minas Gerais	
Escola de Engenharia – Departamento de Engenharia Eletrônica	
Disciplina: Laboratório de Sistemas Digitais	
Aula 07	
Assuntos: <ul style="list-style-type: none">○ Máquinas de Estados Finitos.○ One-hot encoding○ Múltiplos process ou um único process?	
Objetivos: <ul style="list-style-type: none">○ Entender como modelar máquinas de estados finitos em VHDL.○ Apresentar modelos de codificação de máquinas de estados finitos usando um único processo e múltiplos processos.○ Entender a diferença entre as máquinas de Mealy e de Moore.○ Entender as vantagens e desvantagens da codificação <i>one-hot</i>.○ Consolidar conceitos de concorrência entre processos. <p>Entender os tipos <i>Enumerated</i> em VHDL.</p>	
Espera-se que ao final do Estudo Dirigido o aluno saiba responder às seguintes questões: <ol style="list-style-type: none">1. O que são e para que servem as máquinas de estados finitos?2. Quais as diferenças entre Máquinas de Mealy e Máquinas de Moore?3. Como modelar máquinas de estados finitos em VHDL:4. Usando um único process?5. Usando múltiplos processos?6. O que é one-hot encoding?7. Como modelar os estados de uma Máquina de Estados Finitos em VHDL usando <i>one-hot encoding</i>?	
Referências: <ol style="list-style-type: none">1. B. Mealy, F. Tappero. Free Range VHDL. Free Range Factory. 2012. <p>Mário Côrtes. VHDL: máquina de estados (FSM) (Slides). 2011. Disponível em: http://www.ic.unicamp.br/~cortes/mc602/slides/VHDL/VHDL_6_MC_FSM_v2.pdf.</p>	