


Universidade Federal de Minas Gerais	
Escola de Engenharia – Departamento de Engenharia Eletrônica	
Disciplina: Laboratório de Sistemas Digitais	
Complemento Aula: 06	
Assuntos: <ul style="list-style-type: none">○ Declarações concorrentes.○ Declaração <i>Process</i> em VHDL.○ Lista de sensibilidade.○ Declarações sequenciais em VHDL.	
Avaliação teórica: <p>Perguntas feitas pelo professor.</p>	
Avaliação: <ol style="list-style-type: none">1) Com o Quartus Prime Edition, crie um novo projeto, com a família <u>MAX 10 (DA/DF/DC/AS/SC)</u> e o dispositivo FPGA <u>10M50DAF484C7G</u>.2) Acesse o endereço https://github.com/sistemas-digitais/mean-4-clocks e obtenha o arquivo VHDL com a definição do modelo (mean_4_clocks.vhd). Nos comentários desse arquivo, bem como no arquivo README do repositório, está a descrição do comportamento esperado do modelo. O exemplo 4.11, da página 192 da referência [<i>Frank Vahid. Sistemas Digitais: Projeto, Otimizações e HDLs. Bookman. 2008.</i>] também descreve o comportamento esperado.3) Crie um <i>testbench</i> para simular o modelo.4) Identifique bugs no modelo. Existem dois erros que impedem que o sistema funcione de forma correta. Descreva detalhadamente os erros identificados e como eles afetam o comportamento do modelo.5) Dica 1: O primeiro erro tem relação a ordem de atribuições sequenciais. Altere a ordem ou transforme em atribuições concorrentes;6) Dica 2: o segundo erro tem relação com a precisão no cálculo da divisão por dois.7) Corrija os erros e verifique o funcionamento correto usando o <i>testbench</i>.8) Verifique a descrição RTL criada pelo Quartus Prime Edition (<i>Netlist Viewers</i> → <i>RTL</i>	

Viewer). Analise o diagrama.

- 9) Adicione a entrada INPUT à lista de sensibilidade do processo, realize a síntese e verifique novamente a descrição RTL criada pelo Quartus Prime Edition. Houve alguma alteração? O resultado foi conforme esperado?
- 10) Altere a lista de sensibilidade do processo para que contenha somente a entrada INPUT. Realize a síntese e verifique novamente a descrição RTL criada pelo Quartus Prime Edition. Houve alguma alteração?
- 11) A partir da última alteração, remova o teste do *rising_edge* (CLK). Realize a síntese e analise a descrição RTL.
- 12) Execute novamente a simulação e veja o comportamento. Foi conforme o esperado?
- 13) Você consegue identificar algum problema com esta implementação? Discuta com o professor.

Atividade Práticas no laboratório:

- 1) Relatório: Páginas (max. 3)