

Universidade Federal de Minas Gerais
Escola de Engenharia – Departamento de Engenharia Eletrônica

QUARTUS II – MODELSIM (VHDL)

Versão 1.0

Universidade Federal de Minas Gerais	
Escola de Engenharia – Departamento de Engenharia Eletrônica	
Tutorial	Quartus II – ModelSim (VHDL)

Sumário

1. O <i>software</i> Quartus II	2
2. Criando Projetos com o Quartus II	2
3. Desenvolvendo um projeto usando VHDL	6
4. Simulação de projetos – Modelsim	9
4.1. Utilizando o Modelsim	9
4.2. Modelsim – a partir do Quartus II	18
5. Gravação em FPGA	21

Universidade Federal de Minas Gerais	
Escola de Engenharia – Departamento de Engenharia Eletrônica	
Tutorial	Quartus II – ModelSim (VHDL)

1. O software Quartus II

O *software* Quartus II ¹ da ALTERA Corporation (agora IntelFPGA - www.intel.com), é um ambiente de desenvolvimento integrado, ou IDE (*Integrated Development Environment*), o qual permite a realização de todas as etapas envolvidas no projeto um sistema digital, desde a descrição da sua lógica, por meio de diagramas esquemáticos ou linguagens de descrição, a simulação do circuito desenvolvido e por fim a gravação do projeto em um dispositivo lógico programável, por exemplo, CPLD ou FPGA.

O Quartus II trabalha com um sistema orientado a projetos, ou seja, o *software* associa diversos arquivos a um projeto. Este sistema possibilita a utilização de componentes básicos em diversos projetos e simplifica a elaboração de projetos mais complexos uma vez que as funcionalidades de um grande sistema podem ser divididas em diversos sistemas mais simples e por fim, agrupados.

2. Criando Projetos com o Quartus II

A forma mais simples de se criar um projeto no Quartus II é por meio do aplicativo *Project Wizard*. Para executar tal aplicativo, clique no menu **File -> New Project Wizard...**, como mostrado na Figura 1.

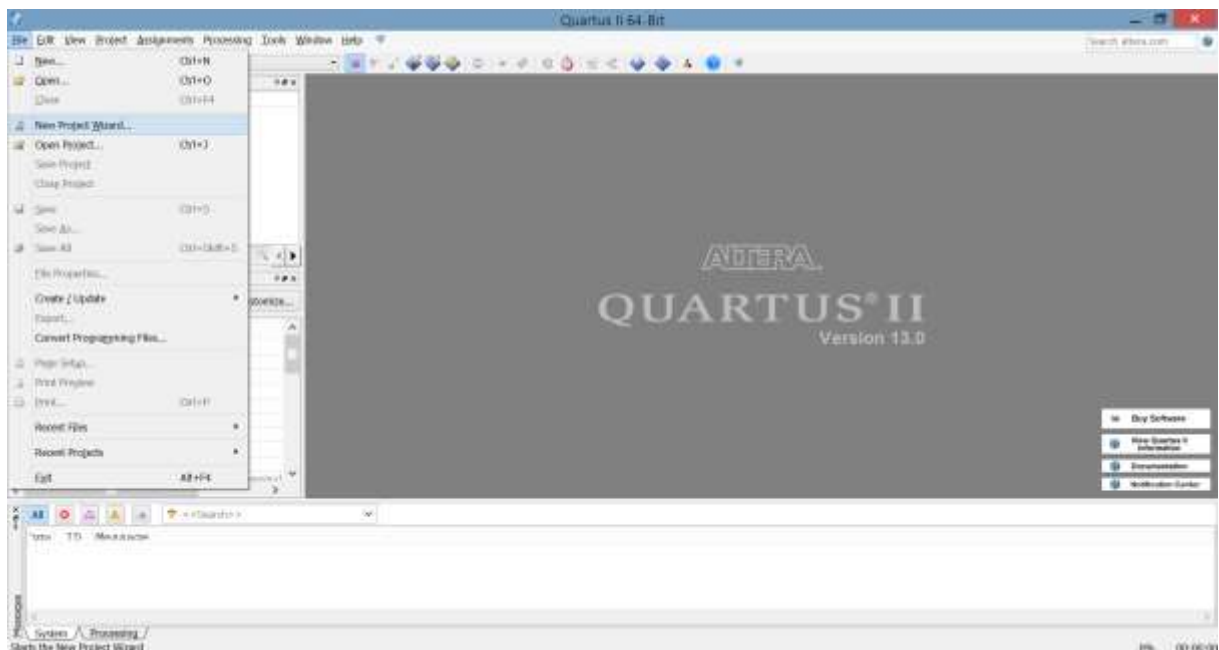


Figura 1 - Tela de Abertura do Quartus II – Menu File→New Project Wizard...

-
- ¹ Este tutorial está adequado ao Quartus II Web Edition, Versão 13.0 Service Pack 1 que pode ser baixado gratuitamente da página “Design Software” do site da Altera Corporation através do link <http://dl.altera.com/13.0sp1/?edition=web>. Utilizamos somente as versões de 11 a 13 do Quartus devido ao FPGA existente em nosso laboratório. As novas versões não suportam o Cyclone II.

Com isto a tela de apresentação do aplicativo *Project Wizard* irá se abrir. Clique em **Next**. A tela da Figura 2 irá aparecer.

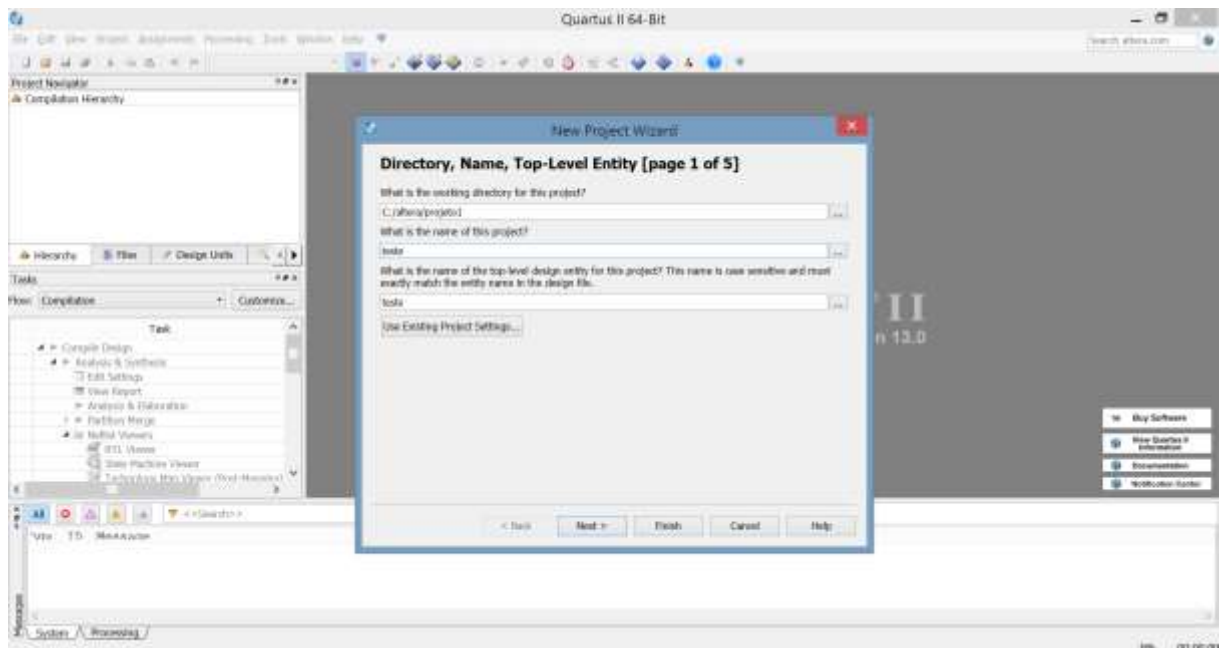


Figura 2 - Tela de Introdução do Project Wizard. (parte 1 de 5)

Nesta tela pode-se escolher o diretório do projeto, o nome do projeto e o nome da entidade principal do projeto. É recomendável que para cada projeto, uma pasta diferente seja criada, para que não haja conflito entre os diversos arquivos gerados para cada projeto.

Evite nomes para os diretórios e arquivos que incluam caracteres especiais e espaços! E por prática, alocue o diretório o mais perto da raiz (C:).

Uma vez preenchidos os campos corretamente, clique em **Next**. A tela da Figura 3 aparecerá.

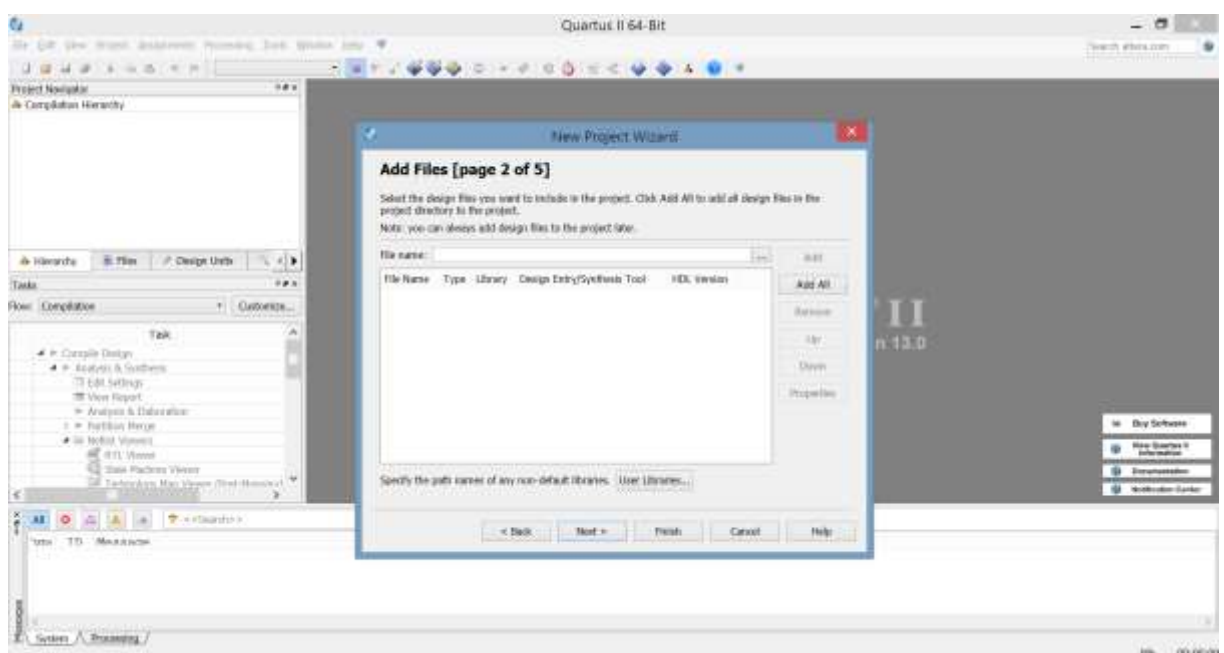


Figura 3 - Tela de Introdução do Project Wizard. (parte 2 de 5)

Nesta tela é possível incluir arquivos ao projeto. Através do botão “...” ao lado do campo **File Name** é possível definir o diretório do arquivo a ser incluído.

Uma vez selecionado o arquivo, clique em **Add** para adicioná-lo ao projeto.

Quando todos os projetos desejados forem incluídos, clique em **Next**. Com isso a tela da Figura 4 aparecerá.

OBS: Caso esteja criando um projeto que não se utiliza de componentes previamente criados apenas clique em **Next**.

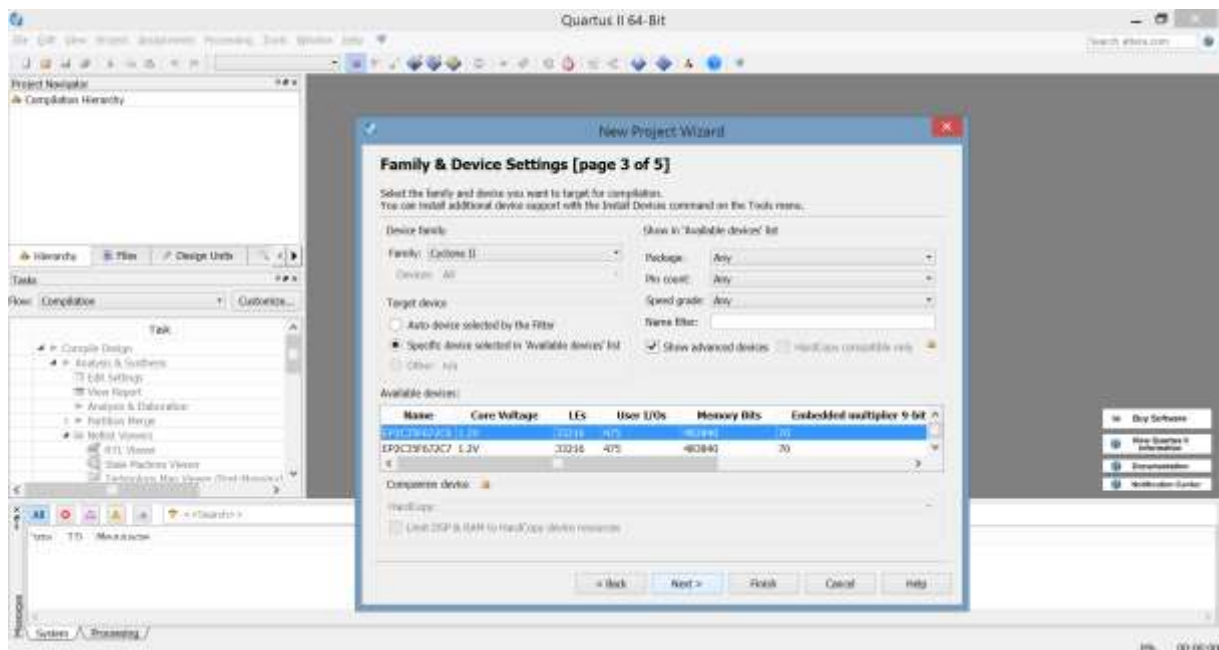


Figura 4 - Tela de Introdução do Project Wizard. (parte 3 de 5)

Nesta tela deve-se escolher o componente a ser utilizado para implementar o projeto, ou seja, em qual dispositivo lógico programável o sistema será gravado. A família do dispositivo pode ser definida no campo **Device Family**. Na seção **Show in 'Available device' list** é possível realizar um filtro de componentes conforme algumas características como encapsulamento (*package*), quantidade de pinos (*pin count*) e faixa de velocidade (*speed grade*). Na lista **Available devices** são apresentados todos os componentes da família escolhida que atendam aos requisitos definidos pelo filtro de componentes. Selecione o dispositivo adequado e clique em **Next** para prosseguir para a próxima tela.

OBS: Observe no kit de desenvolvimento qual o dispositivo utilizado. A Figura 4 mostra como exemplo a seleção do dispositivo EP2C35F672C6 (família Cyclone II). Que é o utilizado kit DE2 da Altera.

Na próxima janela, mostrada na Figura 5, é possível utilizar outras ferramentas de desenvolvimento em conjunto com o Quartus II, para isto a ferramenta a ser utilizada deve estar instalada no computador, uma vez que estas ferramentas não acompanham o pacote de instalação do Quartus II. Se não for utilizar nenhuma ferramenta adicional, clique em **Next**.

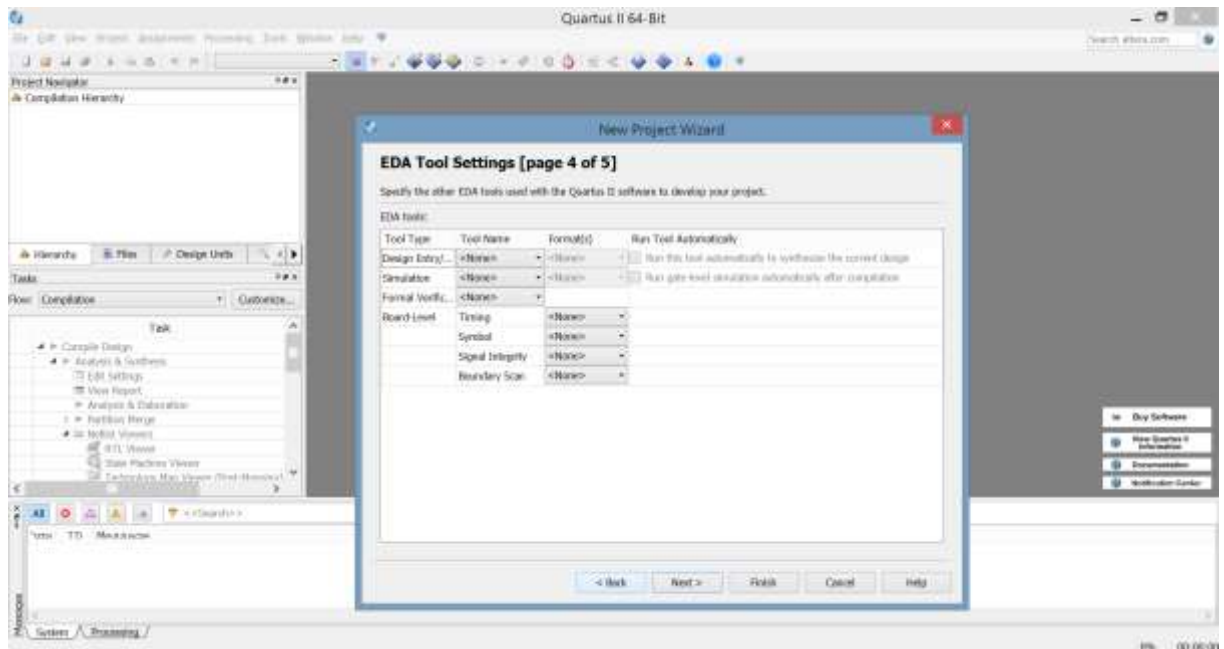


Figura 5 - Tela de Introdução do Project Wizard. (parte 4 de 5)

A tela da Figura 6 apresenta um resumo do projeto a ser criado. Verifique se todos os dados conferem com os desejados, caso haja algo incorreto retorne à tela adequada, por meio do botão **back** e corrija o erro. Caso não haja erros, clique em **Finish**.

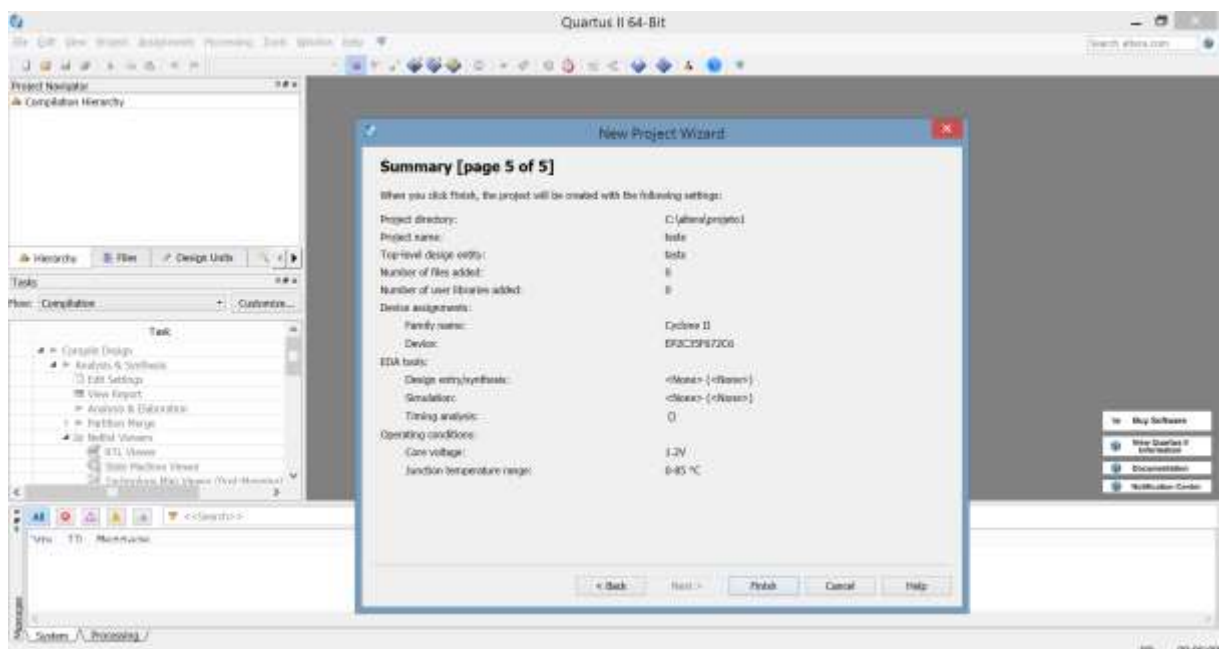


Figura 6 - Tela de Introdução do Project Wizard. (parte 5 de 5)

Ao final do processo a janela de projeto (*Project Navigator*) conterá o projeto criado, como mostrado na Figura 7.



Figura 7 - Tela do Projeto “teste”

3. Desenvolvendo um projeto usando VHDL

O VHDL é uma linguagem de descrição de hardware. Para se iniciar o desenvolvimento de um projeto que utilize o modo VHDL, é necessário, primeiramente, adicionar ao projeto principal um arquivo que comporte este tipo de entrada.

Assim sendo, para adicionar um arquivo de diagrama esquemático ao projeto clique em **File -> New...**, ou na ‘folha em branco’, no canto superior esquerdo.

Uma vez feito isso, a janela mostrada na Figura 8 aparecerá.

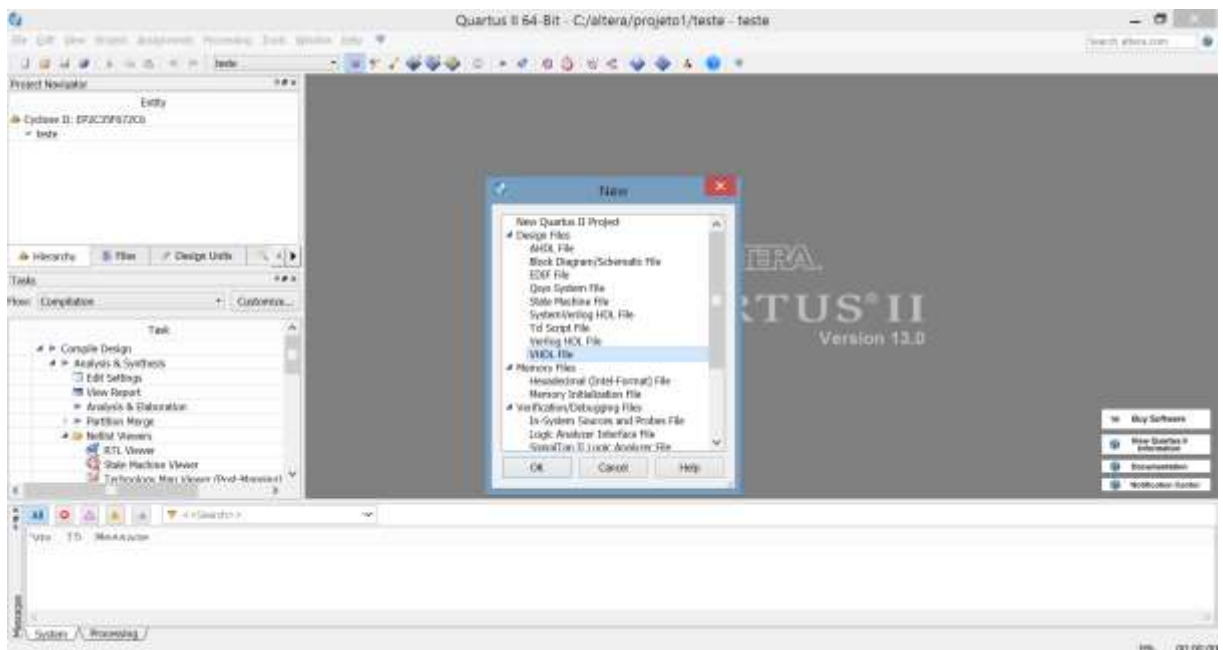


Figura 8 - Tela de Abertura de um novo arquivo VHDL dentro do projeto – Menu File→New...

Nesta janela é possível escolher o tipo de arquivo que se deseja criar (Diagrama esquemático, VHDL, etc). Selecione a opção **VHDL File** e clique em **Ok**.

Será aberto um arquivo texto onde o código VHDL pode ser escrito.

Para salvar este arquivo clique em **File -> Save as...** e dê um nome ao arquivo, salvando-o preferencialmente na pasta do projeto principal.

Dica: Para escrever um código VHDL você pode utilizar os modelos disponíveis no Quartus II. Basta clicar em **Edit -> Insert Template -> VHDL** (Figura 9 e Figura 10). Dentro das categorias disponíveis você pode escolher o *template* que desejar.

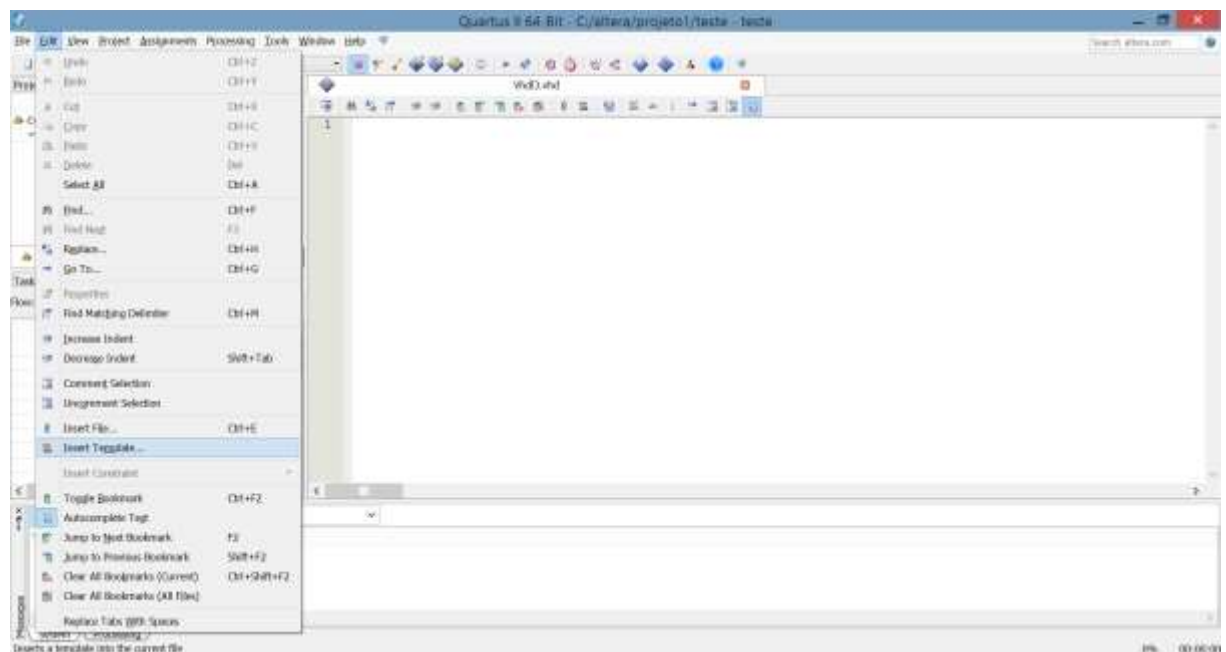


Figura 9 - Tela de Abertura de um template em VHDL dentro do projeto – Menu Edit→Insert Template...

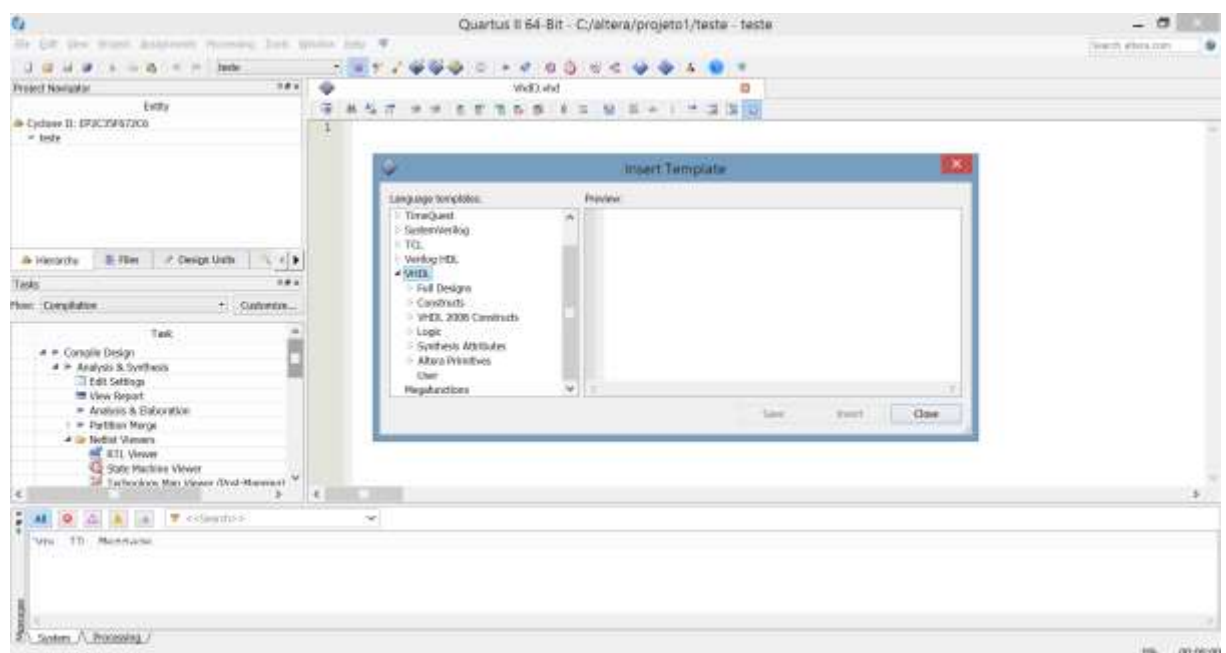


Figura 10 - Tela de Abertura de um template em VHDL dentro do projeto

Você pode também utilizar este arquivo de código VHDL em outros projetos, bastando para isto fornecer o nome e endereço deste arquivo na tela descrita na Figura 3 deste tutorial. Esta tela também pode ser acessada clicando em **Project -> Add/Remove files in project**.

OBS: Para arquivos de descrição de *hardware*, é usual que nome da entidade principal do arquivo seja igual ao nome do arquivo. Já o nome do projeto pode ser qualquer um (evitando nomes que incluam caracteres especiais e espaços). Porém, se o nome do projeto for diferente do nome da entidade principal deve-se indicar qual é a **Top-Level Entity**. Para isto, na aba de **Project Navigator** clique em **File**. Serão mostrados todos os arquivos do projeto nessa mesma aba. Depois, clique com o botão direito no arquivo a ser sintetizado e escolha **Set as Top-Level Entity**. Isso irá orientar a ferramenta a saber qual arquivo dentro do projeto é o principal (Figura 11).

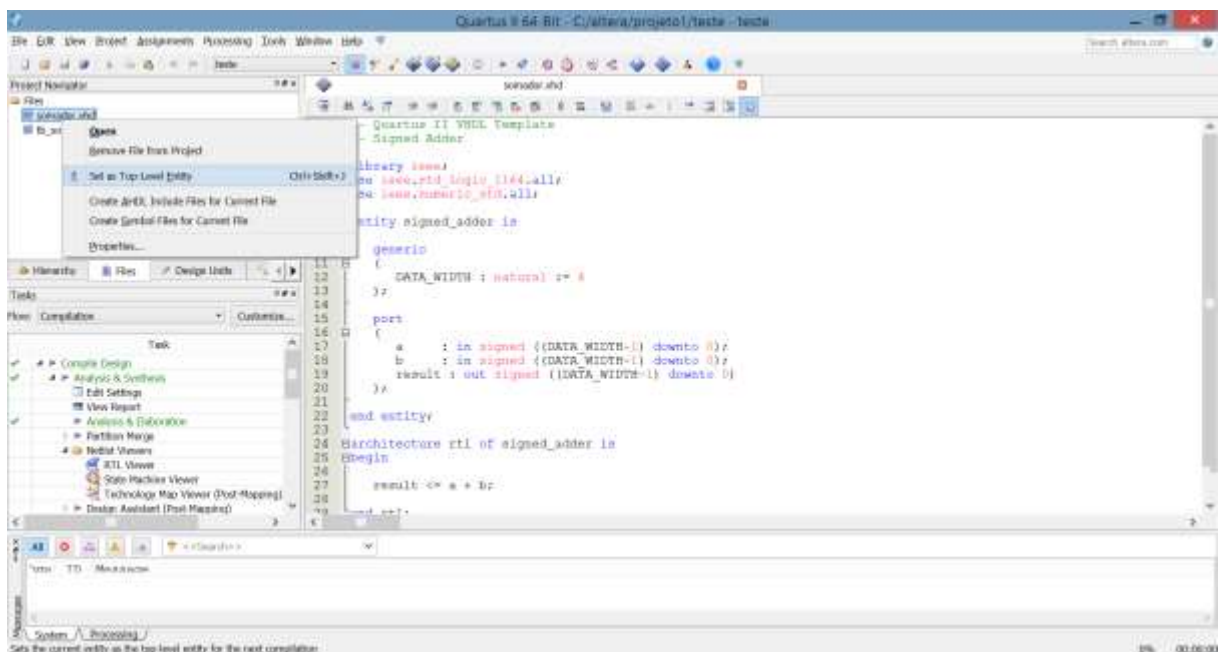


Figura 11 - Seleção do arquivo principal como Top-Level Entity

- Compile o projeto. Para isso clique em **Processing -> Start Compilation**, ou clique no ícone de compilação na janela principal. Esse processo é bastante complexo e pode demorar vários segundos para ser concluído. Na janela de status é possível acompanhar a evolução de cada uma das etapas de compilação (Figura 12).

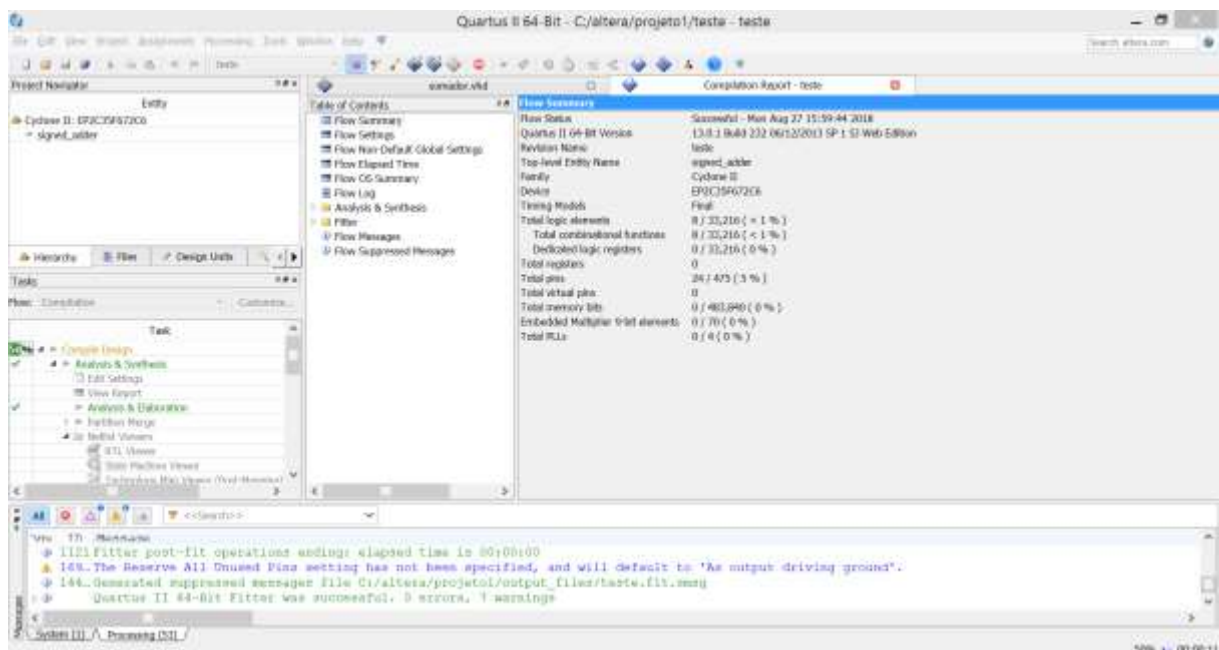


Figura 12 - Tela de processo da compilação

Ao final do processo de compilação aparecerá, abaixo da tela do diagrama esquemático, uma janela de mensagens com o resultado da compilação. Caso algum erro, no processo de compilação, ocorra ele será mostrado nesta janela, com indicações do motivo da ocorrência e, no caso de linguagens de descrição de *hardware*, da parte do código onde se encontra o erro. Corrija sempre os ocasionais erros e repita o processo de compilação.

4. Simulação de projetos – Modelsim

ModelSim² foi criado pela Empresa Mentor Graphics (que pertence a Mentor e que, por sua vez, pertence à Siemens).

Em uma parceria feita entre as empresas, para permitir o uso e distribuição da licença do ModelSim para as Universidades, surgiu o ModelSim-Altera (32 bits). O simulador profissional é o QuestaSim (que praticamente é a mesma coisa que o Modelsim, só que para 64 bits).

Este *software* é um programa utilizado para simulação de projetos em VHDL. Este *software* será utilizado para a realização de simulações funcionais, que permitem verificar se a funcionalidade do projeto desenvolvido está correta; em outras palavras, a simulação funcional verifica a lógica.

4.1. Utilizando o Modelsim

A tela de início do Modelsim pode ser vista na Figura 13, onde clicando em **Jumpstart**, abre-se a tela da Figura 14 para criar um novo projeto ou abrir um projeto existente.

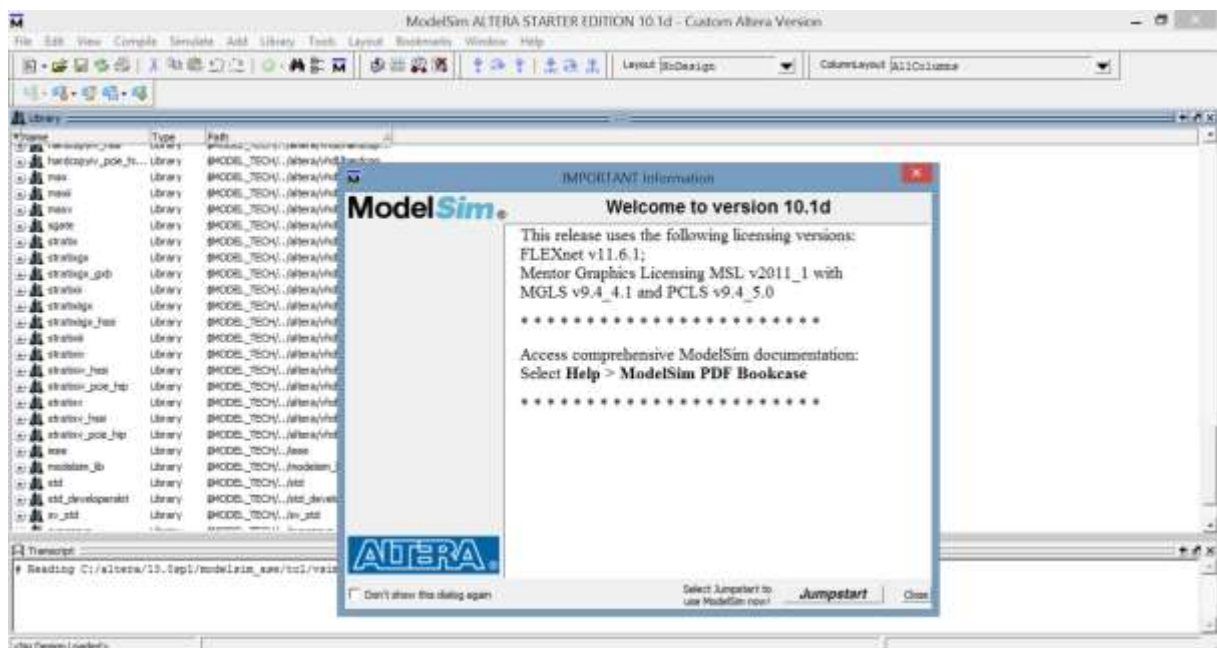


Figura 13 – Modelsim – Tela Inicial

² Este tutorial está adequado ModelSim versão compatível com a IDE Quartus II Web Edition versão 13.0 Service Pack 1 em: <https://www.altera.com/products/design-software/model---simulation/modelsim-altera-software.html>

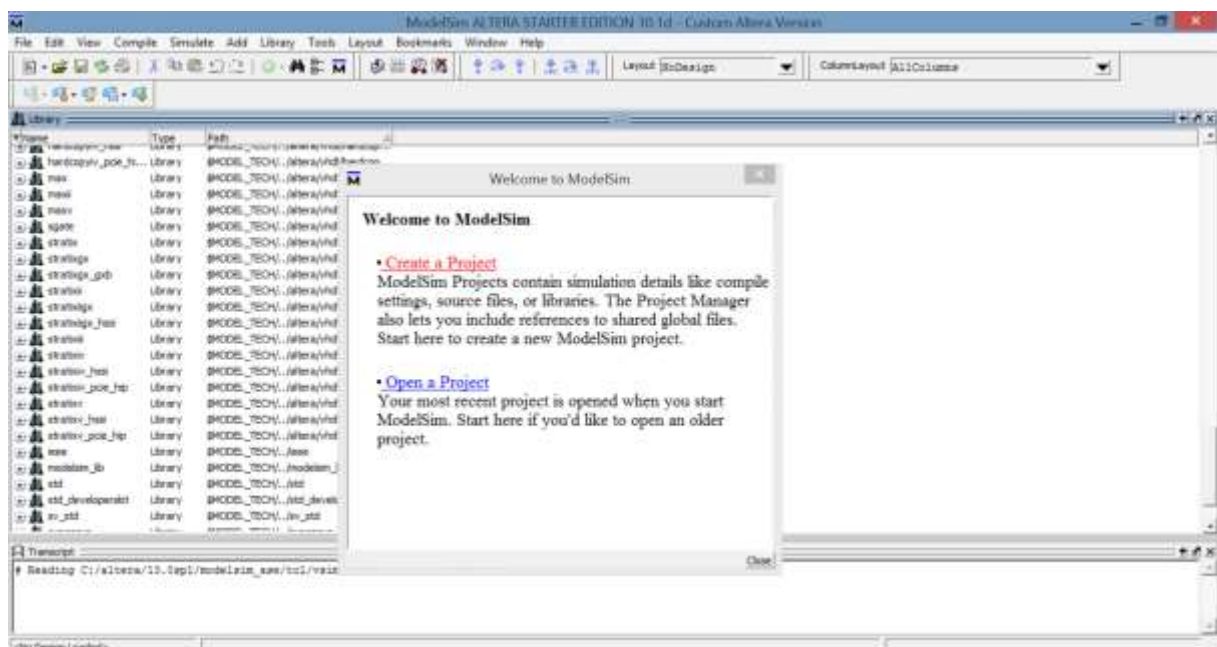
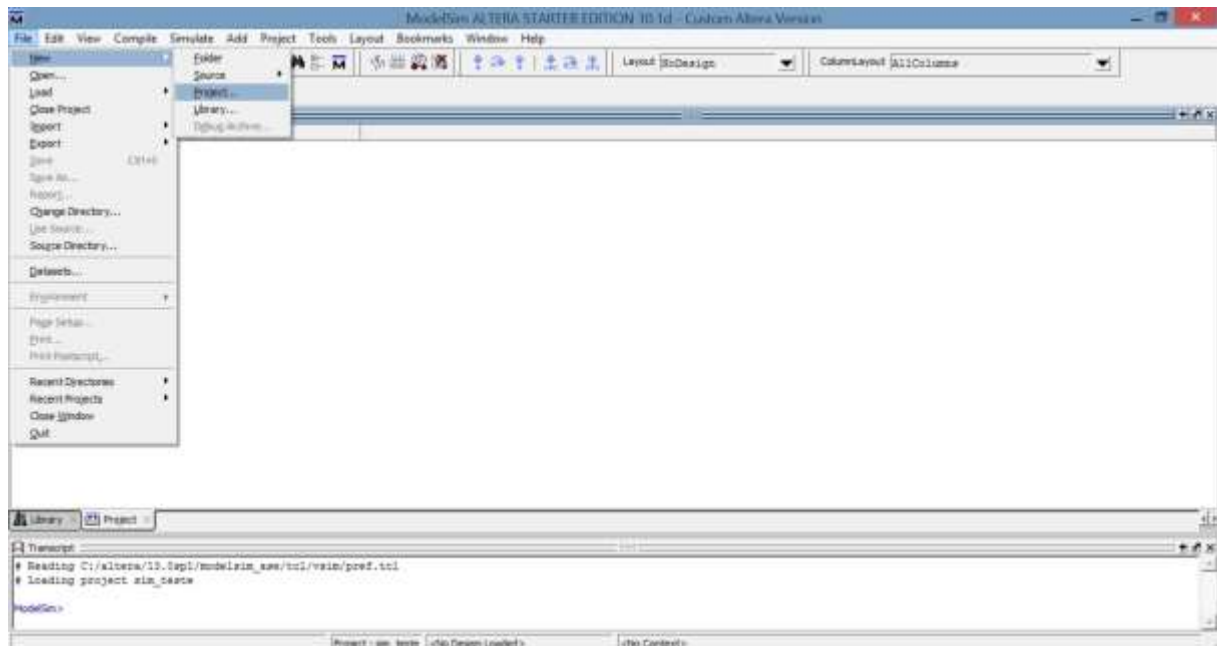


Figura 14 – Tela Inicial - Criar um novo projeto ou Abrir projeto existente no Modelsim

Caso não as telas das Figuras Figura 13 e Figura 14 não abram, você pode criar um novo projeto clicando em **File->New->Project...** (Figura 15).

Figura 15 - Criar um novo projeto. **File->New->Project...**

Ao criar um novo projeto irá aparecer a janela mostrada na Figura 16. Nesta tela pode-se escolher o diretório do projeto e o nome do projeto. É recomendável que para cada projeto, uma pasta diferente seja criada, para que não haja conflito entre os diversos arquivos gerados para cada projeto.

Evite nomes para os diretórios e arquivos que incluam caracteres especiais e espaços!

Uma vez preenchidos os campos corretamente, clique em **OK**. A tela da Figura 17 aparecerá.

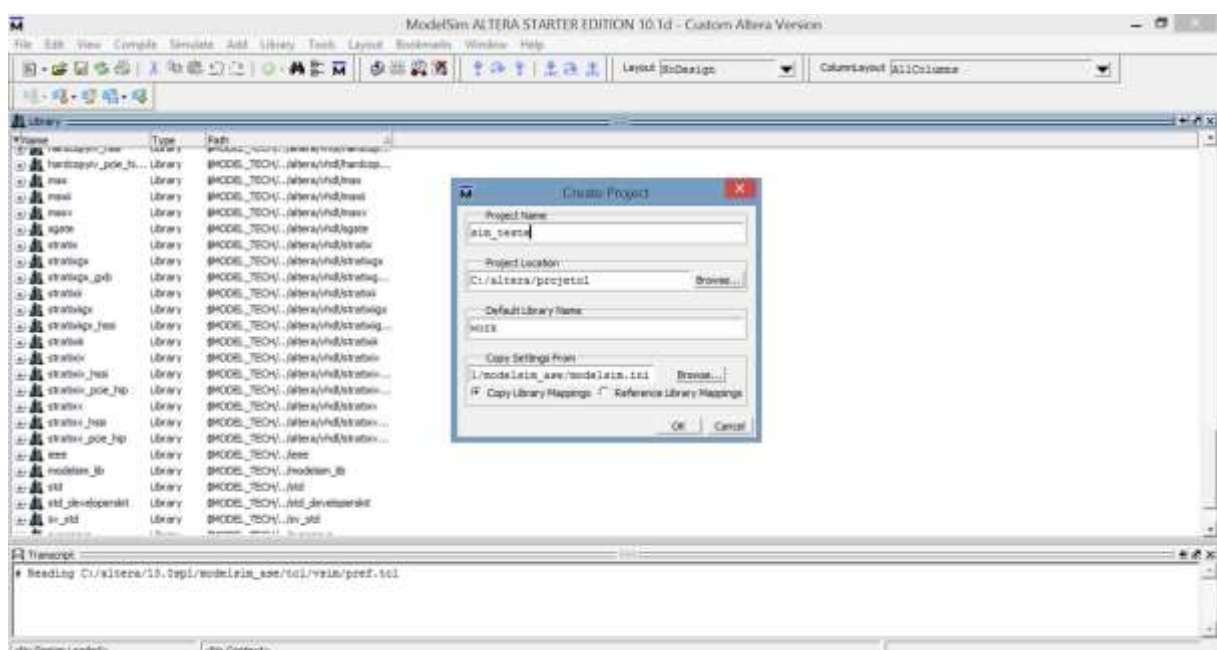


Figura 16 - Criar um novo projeto.

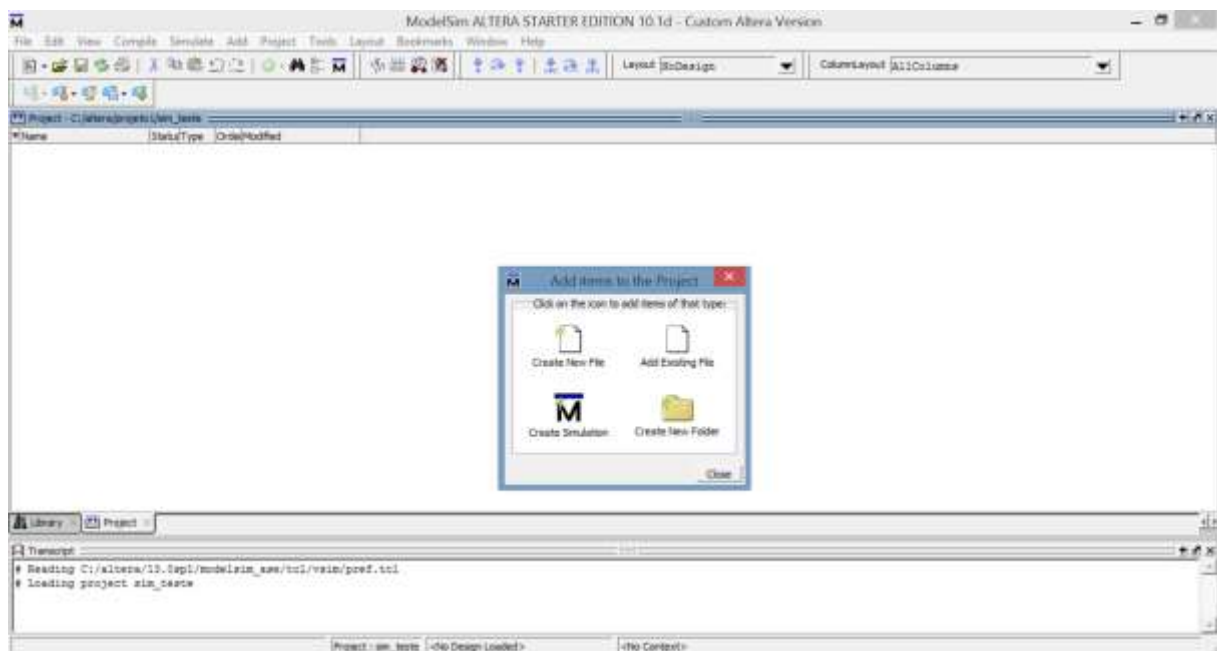


Figura 17 - Adicionar arquivos ao projeto

O primeiro passo para simular é criar um arquivo de entradas para a simulação, ou um arquivo com os estímulos dos sinais de entrada de seu circuito (arquivo *testbench*). Esse arquivo vai aplicar às entradas de sinais as condições possíveis de funcionamento de forma que a saída possa ser então avaliada. Este arquivo já pode ter sido criado, anteriormente, no QuartusII. Dessa forma, deve-se somente adicionar o arquivo do circuito (ex. somador) e o arquivo de entradas para simulação (ex. tb_somador), clicando em **Add Existing File**. A tela da Figura 18 irá aparecer. Forneça o endereço dos arquivos e clique em **OK**.

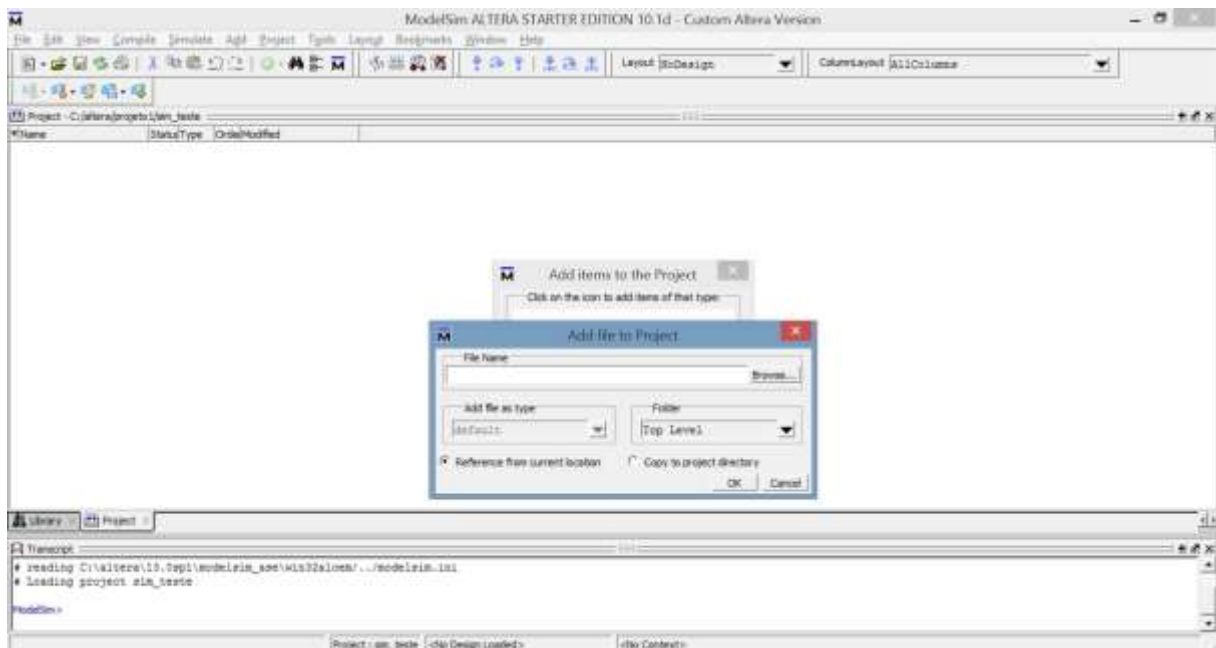


Figura 18 – Adicionar os arquivos para simulação

Quando terminar de adicionar a tela da Figura 17 irá aparecer novamente. Clique em **Close** e irá aparecer a tela da Figura 19.

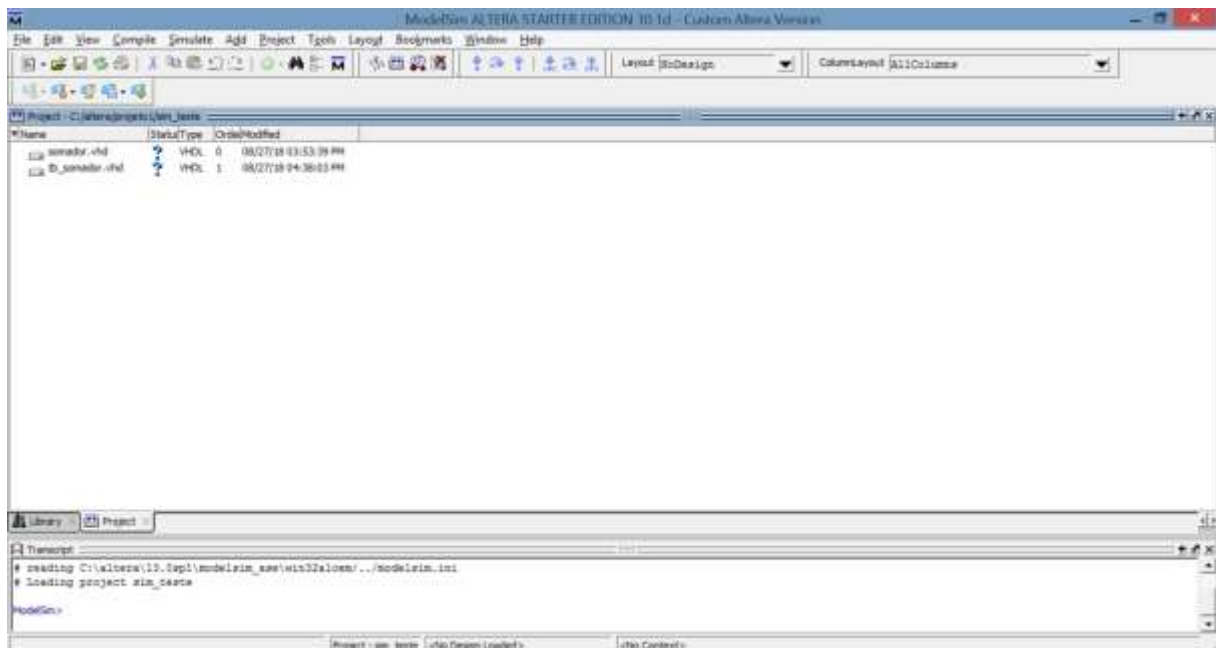


Figura 19 – Tela do projeto com os arquivos selecionados

Os arquivos adicionados aparecem com uma interrogação azul que significa que ainda não foram compilados pelo Modelsim. Para isto, clique com o botão direito em um dos arquivos, **Compile -> Compile all** (Figura 20).

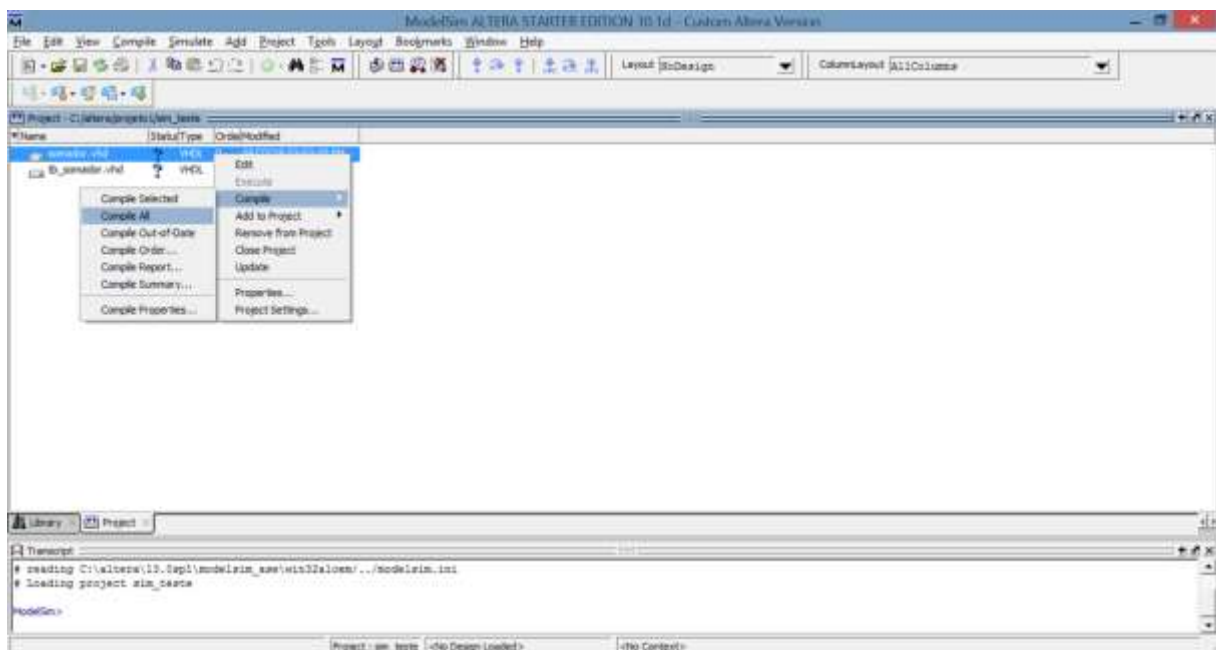


Figura 20 - Janela para compilar os arquivos

Após o término, na parte inferior aparece uma mensagem dizendo se a compilação ocorreu sem erros e, se for o caso, no lugar das interrogações aparecerão um *check* em verde (.

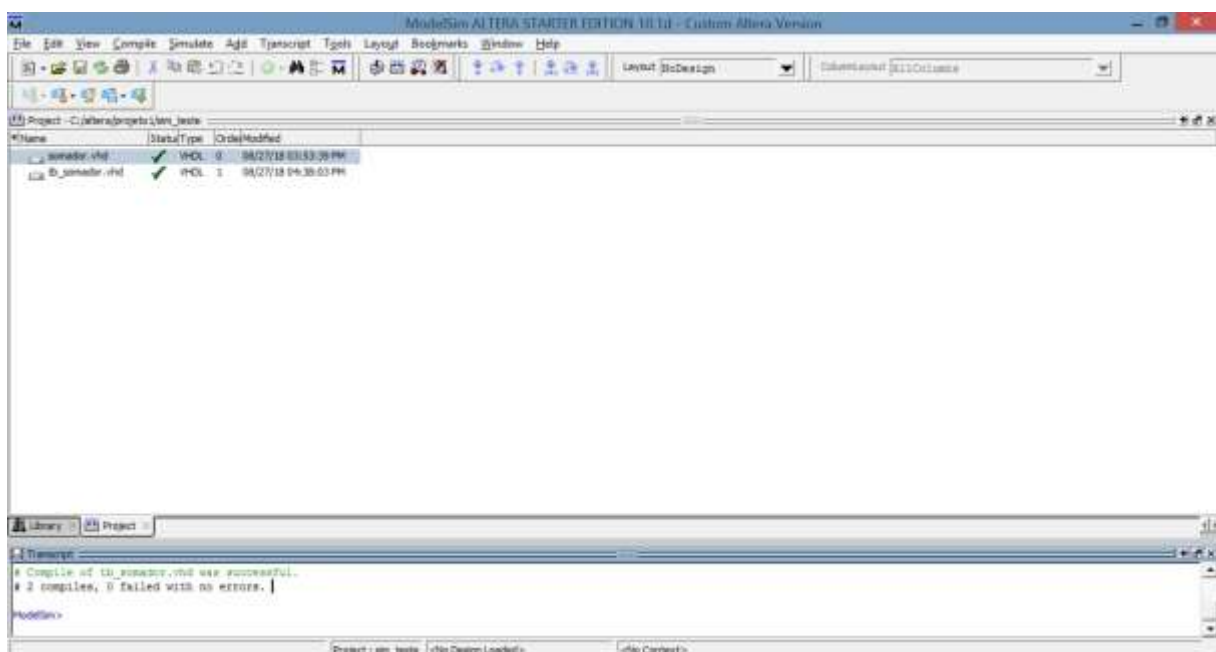


Figura 21).

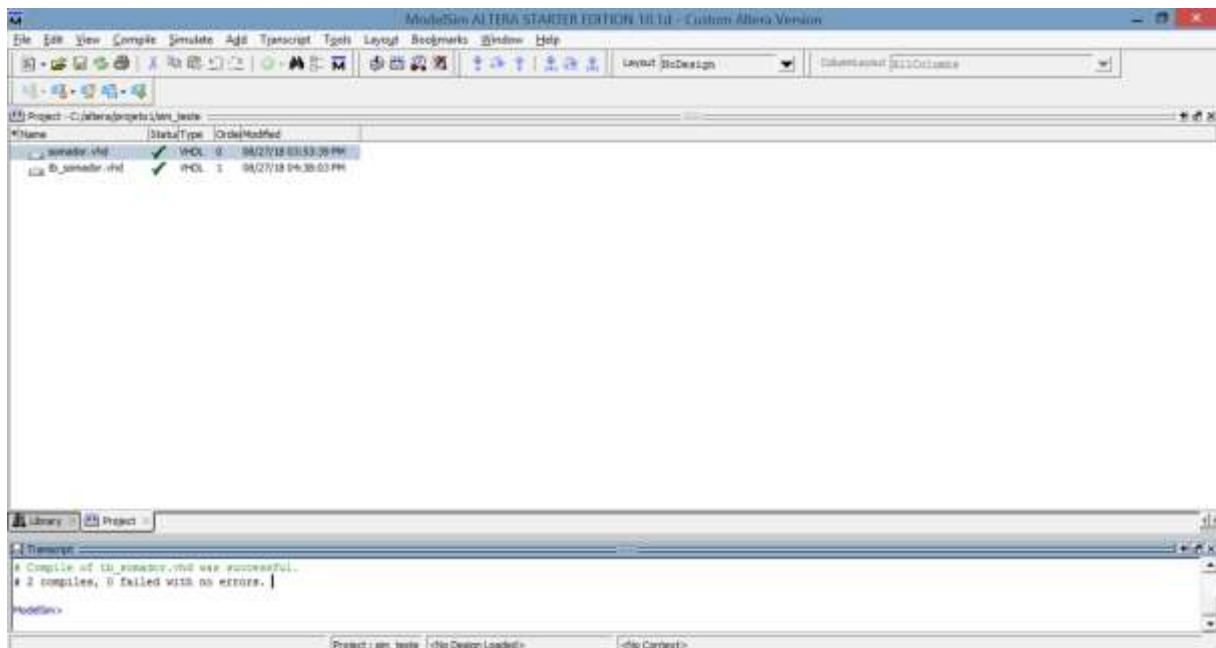


Figura 21 - Arquivos compilados sem erro

Para iniciar a simulação, clique no menu superior em **Simulate->Start Simulation...** Após, irá aparecer a janela da Figura 22.

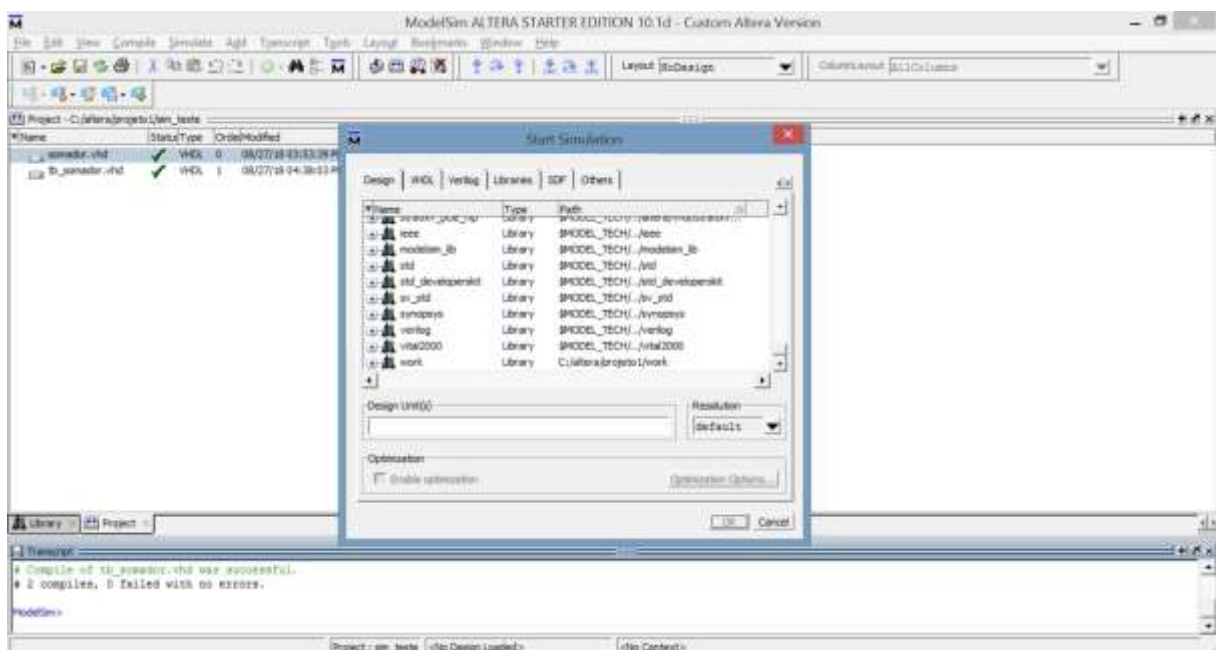


Figura 22 - Tela para iniciar a simulação

Clique no sinal de + da biblioteca **work**. Nela estará os dois arquivos (como pode ser visto na Figura 16 eles foram salvos nesta biblioteca quando o projeto foi criado). Clique no arquivo de **testbench** (ex. tb_somador) e depois em **OK**. Irá aparecer a tela da Figura 23.

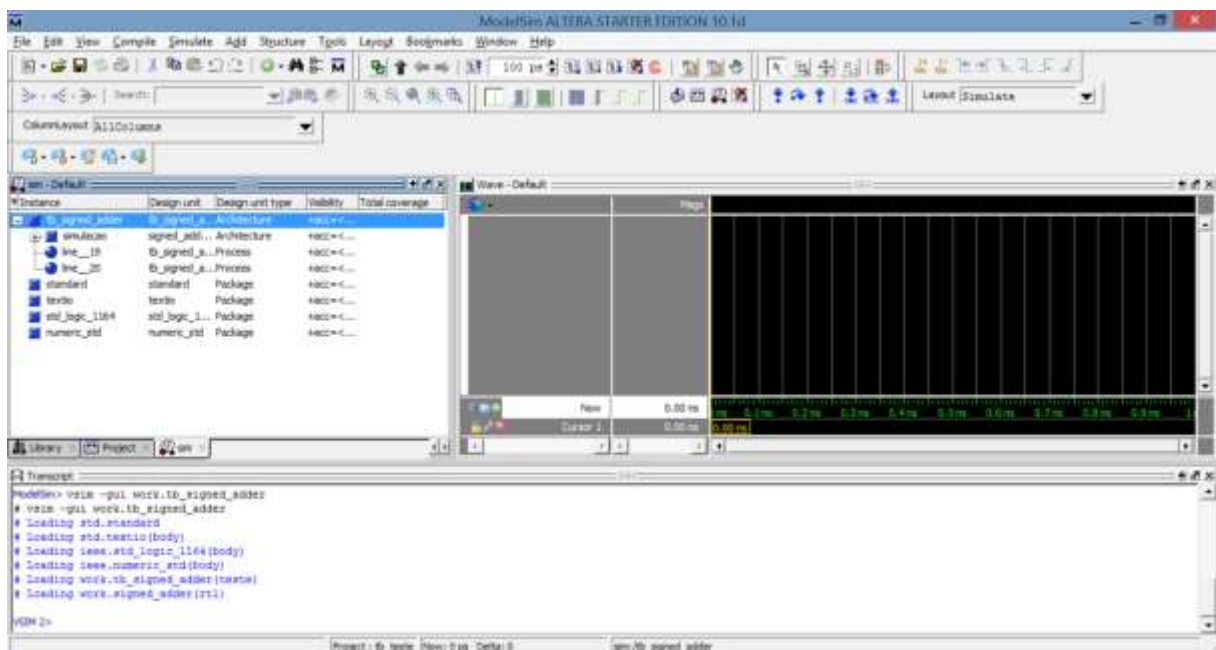


Figura 23 - Tela de simulação

Clique com o botão direito no nome do arquivo de *testbench* e clique em **Add Wave**. Os sinais de entrada e de saída irão aparecer na janela **Wave**, conforme a Figura 24.

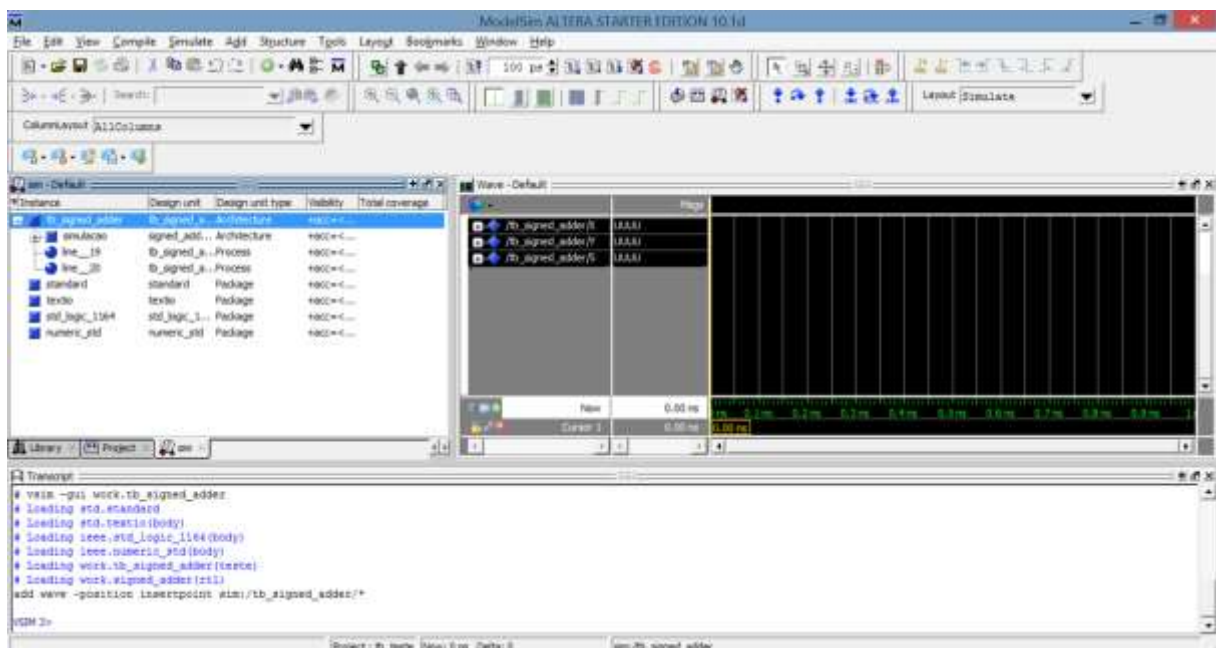


Figura 24 - Sinais de entrada e saída inseridos na tela de simulação

Para ajustar o tempo da simulação, clique em **Simulate->Runtime Options...** e a janela da Figura 25 irá aparecer.

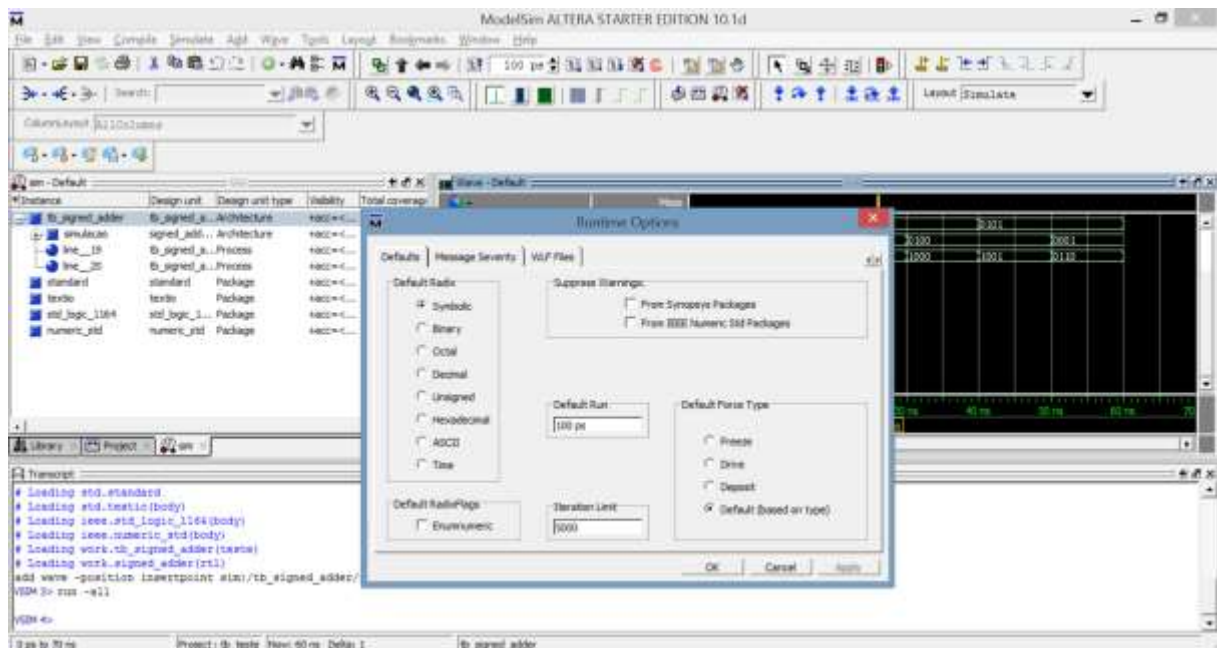


Figura 25 - Tela de ajustes da simulação

Clique em **Simulate->Run->Run -All** (Figura 26) para que toda a simulação planejada ocorra e apareça na tela (Figura 27).

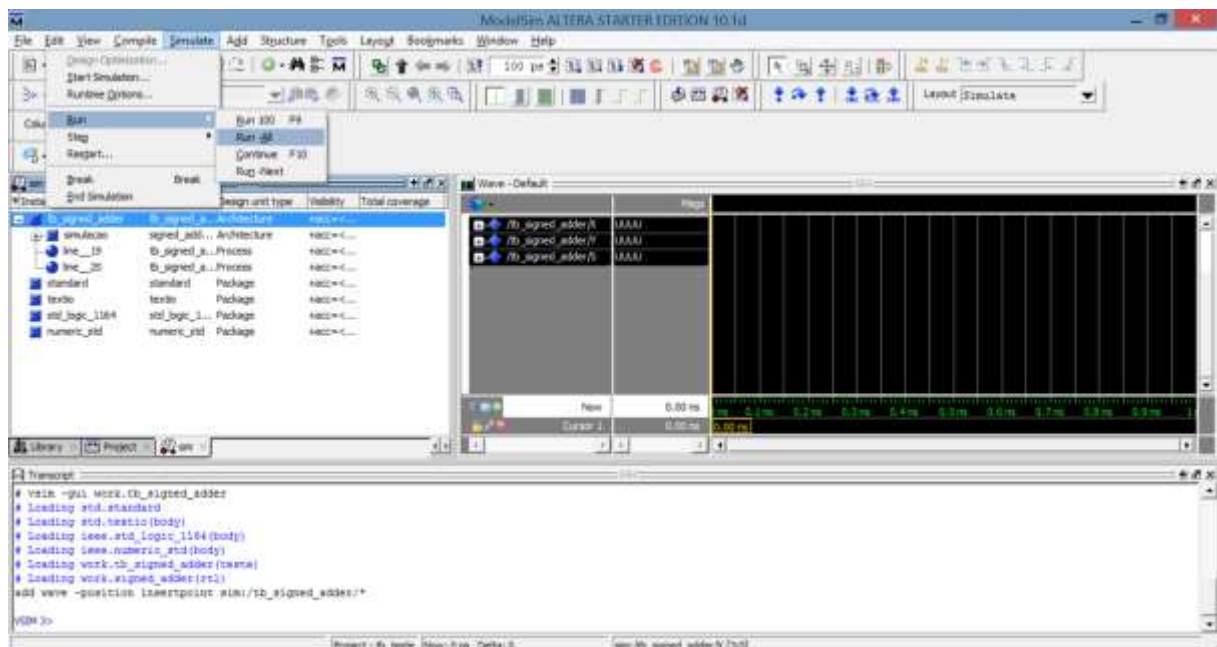


Figura 26 - Caminho para iniciar a simulação

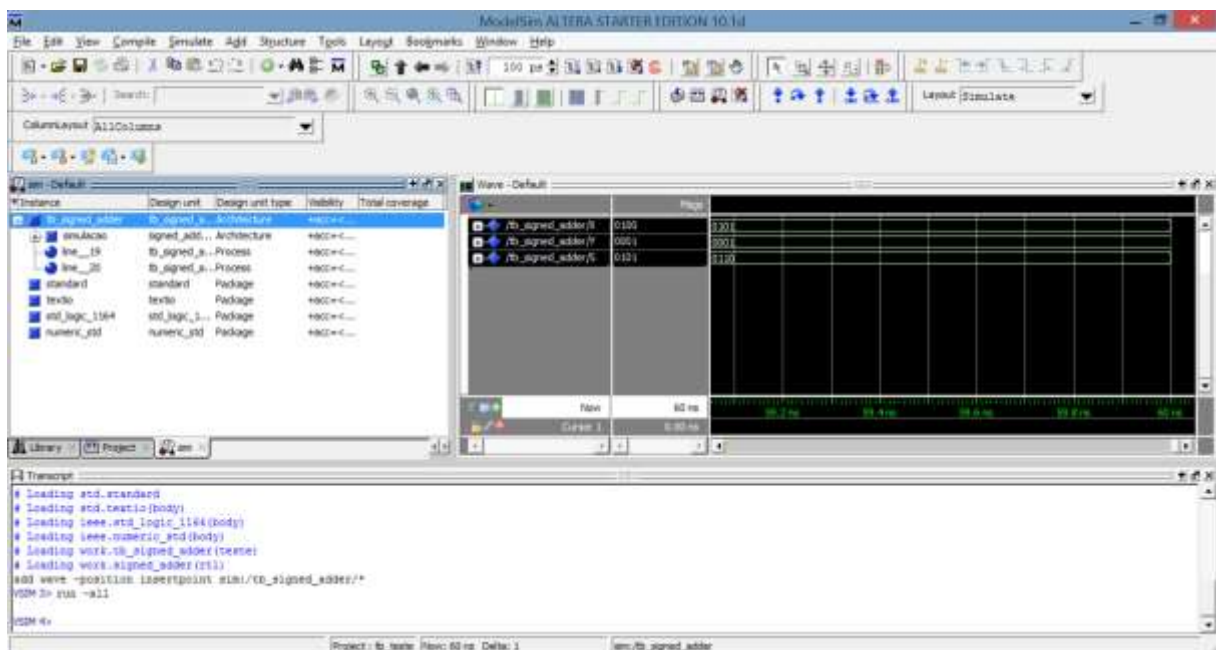


Figura 27 - Simulação feita

É provável que você irá precisar ajustar o **zoom** da tela de simulação. Para isto, clique com o botão direito para ver as várias opções (Figura 28).

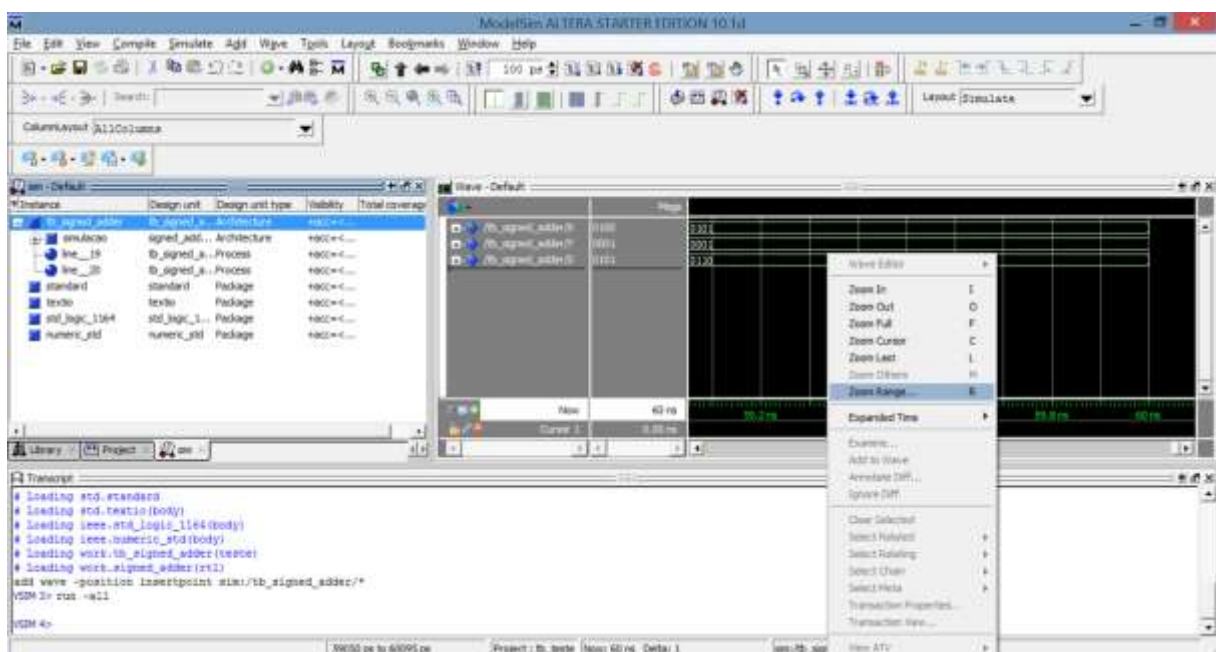


Figura 28 - Opções de ajuste de zoom

Uma vez configuradas as formas de onda dos sinais de entrada, salve o arquivo clicando em **Export -> Image...**

4.2. Modelsim – a partir do Quartus II

É possível realizar a simulação pelo Modelsim chamando o mesmo diretamente pelo Quartus II, também utilizando o arquivo de *testbench*.

Para isto, clique em **Assignments -> Settings -> EDA Tool Settings -> Simulation** deve aparecer uma janela como a da Figura 29.

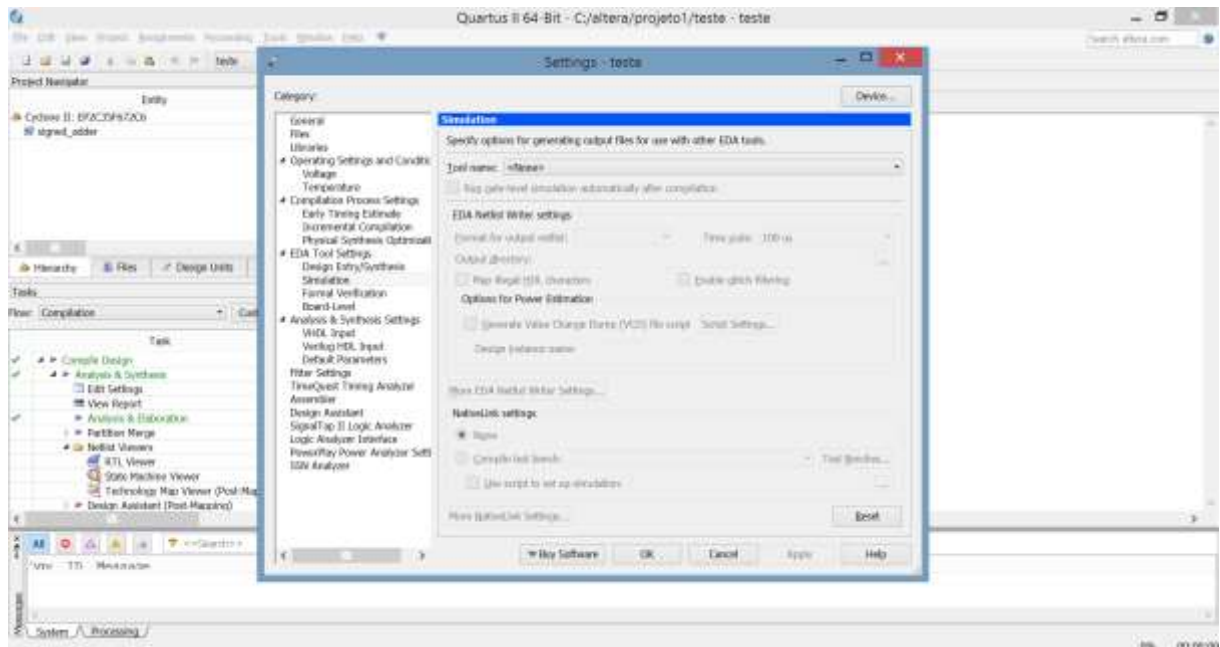


Figura 29 - Tela de configurações

No campo **Tool name**, selecione o **ModelSim-Altera** e, no campo **NativeLink Settings** selecione **Compile test bench** e clique no botão **Test Benches...** do lado direito. Aparecerá uma nova aba como mostra a Figura 30.

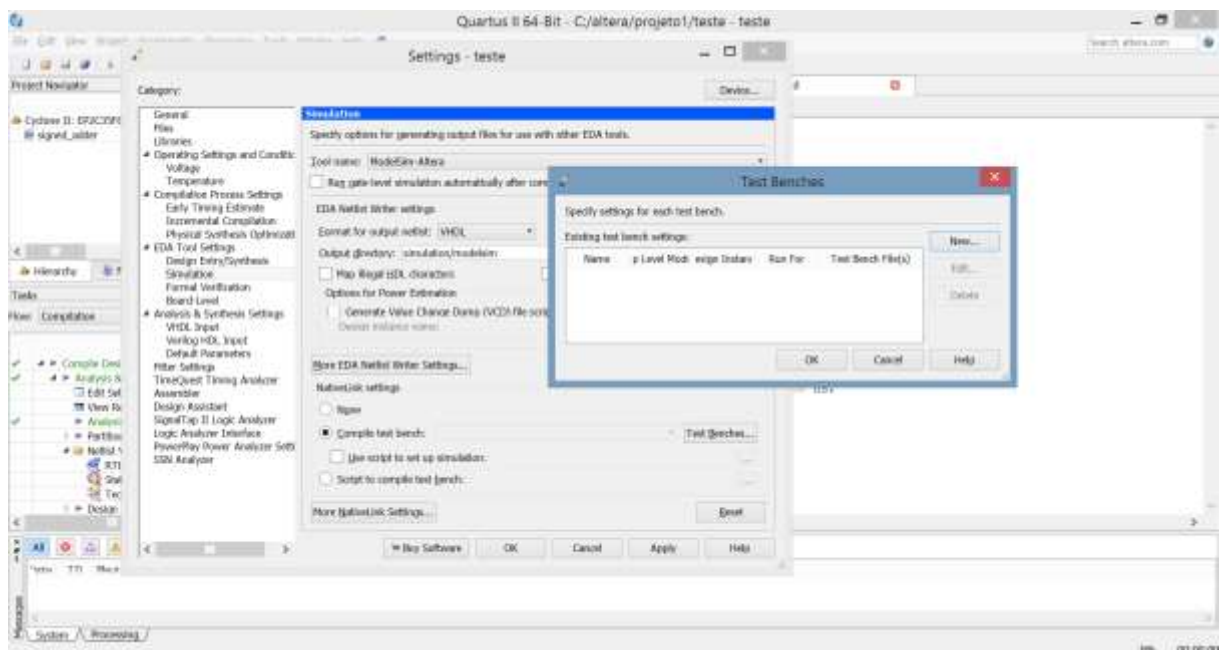


Figura 30 - Tela para inserir o *testbench* a ser simulado

Clique em **New** e uma nova aba irá aparecer, conforme a Figura 31

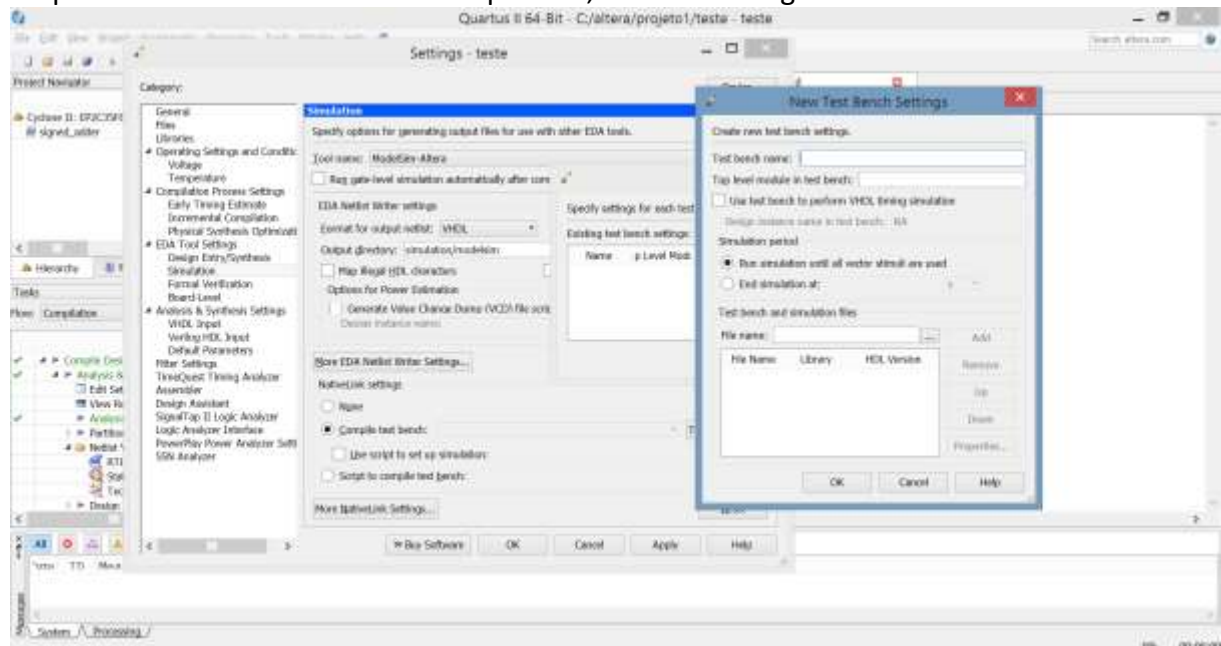


Figura 31 - Tela de definição do *testbench*

No campo **Test bench name** deve ser escrito o nome do arquivo *testbench* (.vhd) usado. Automaticamente será preenchido o segundo campo. Como a maioria dos projetos utilizarão apenas um módulo por projeto, não há necessidade de modificar o preenchimento automático. No campo **Simulation period**, dar clique em **End simulation at** e escolha o tempo de simulação.

No campo **Test bench and simulation files** deve ser incluído o caminho do arquivo *testbench* (.vhd) a ser utilizado, procurando esse arquivo mediante o botão ... e, após, clicando em **Add**.

Uma vez feito isso é dar **OK** em todas as telas (inclusive as anteriores).

Obs. Caso seja a primeira vez que você chamando o Modelsim pelo Quartus, no seu computador, deve-se, primeiramente, verificar se o sistema sabe onde está o executável do Modelsim-Altera. Para isto, clique em **Tools -> Options -> General -> EDA Tool Options** e revisar que o caminho seja o apropriado para a versão utilizada. A Figura 32 traz um exemplo deste caminho.

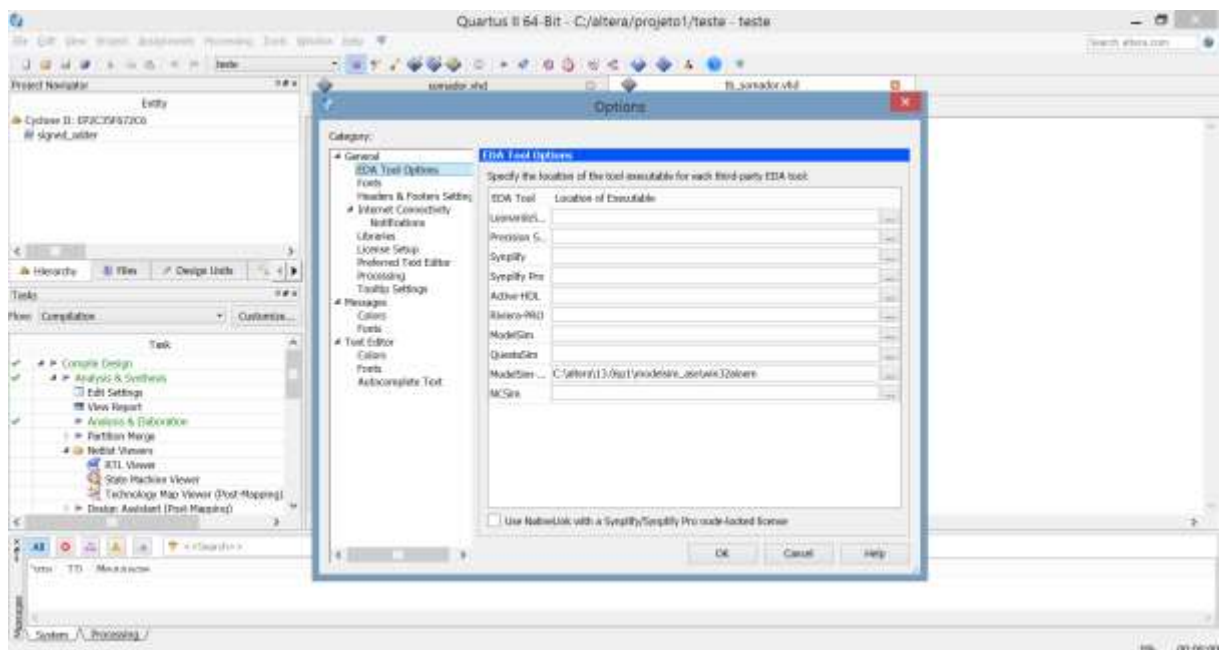
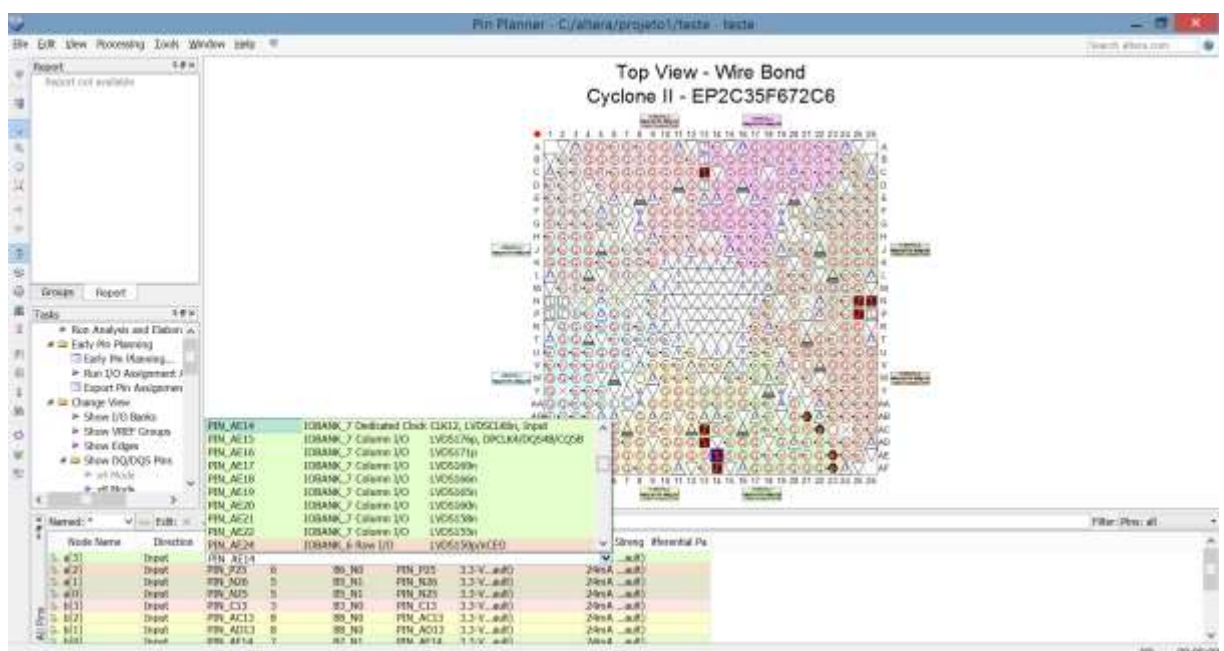


Figura 32 - Tela para realizar a comunicação entre o Modelsim e o Quartus II

5. Gravação em FPGA

Uma vez criado o circuito, deve-se definir a qual pino físico do CPLD cada pino do esquemático está ligado. Para isso clique em **Assignments -> Pin Planner**. Abrirá a janela a seguir, que permite definir a ligação entre os pinos físicos e os pinos do diagrama (Figura 33).



Universidade Federal de Minas Gerais	
Escola de Engenharia – Departamento de Engenharia Eletrônica	
Tutorial	Quartus II – ModelSim (VHDL)

Nessa tela é apresentada uma figura da pinagem do FPGA. Na coluna **Node Name** estão listados os pinos presentes no projeto. Na coluna **Direction** está descrita a direção desse pino. Na coluna **Location**, pode-se definir a qual pino físico estará ligado o pino lógico. Para isso, dê um clique duplo em uma célula da coluna **Location** e escolha o pino desejado na lista que aparecerá. Repita esse processo para todos os pinos.

Uma outra forma é inserir um arquivo .csv (*comma-separated values* - arquivo compatível com o MS-Excel) já com a associação dos pinos feitas, conforme o exemplo da Figura 34. Nesta figura, os sinais 'x', 'y' e 's' possuem 4 bits e o sinal 'add' somente 1 bit.

To	Location
x[0]	PIN_N25
x[1]	PIN_N26
x[2]	PIN_P25
x[3]	PIN_AE14
y[0]	PIN_AF14
y[1]	PIN_AD13
y[2]	PIN_AC13
y[3]	PIN_C13
s[0]	PIN_AE23
s[1]	PIN_AF23
s[2]	PIN_AB21
s[3]	PIN_AC22
add	PIN_V12

Figura 34 - Exemplo de associação de pinos

Para inserir o arquivo .csv, clique em **Assignments -> Import Assignment...** Em **File name**, clique em ... para indicar o caminho do arquivo e clique em **OK**.

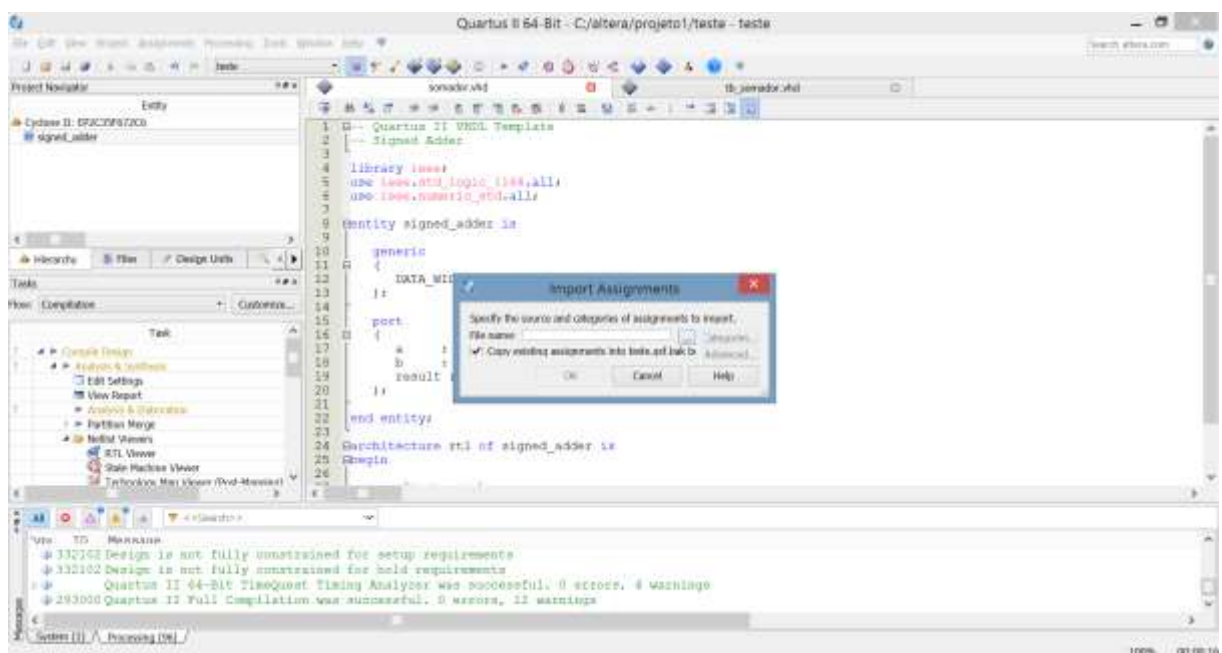


Figura 35 - Tela para adicionar o arquivo .csv

Para validar a atribuição de pinos repita a compilação e observe se não ocorrem erros.

Feita a associação dos pinos do FPGA, e havendo um programador instalado e ligado, pode-se então gravar o projeto no dispositivo lógico programável disponível. Clique em **Tools -> Programmer**, chamando assim a seguinte tela:

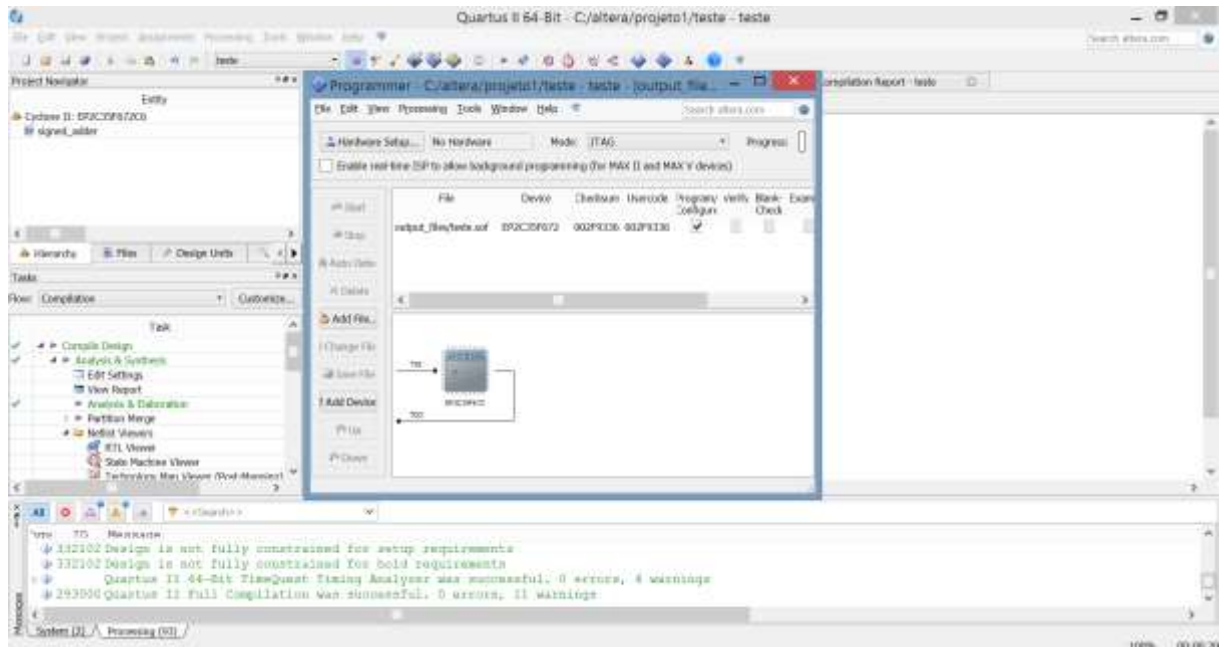


Figura 36 - Tela do gravador de programas

Na área de configuração apresentada, é preciso assegurar que as opções de *hardware* do gravador estejam corretas, através do atalho **Hardware Setup...**. Caso não haja nenhum *hardware* selecionado, em **Add Hardware** selecione manualmente USBBlaster², conforme o gravador do kit utilizado. Vale aqui também uma conferência final para se certificar que o FPGA selecionado na coluna “**Device**” é o mesmo FPGA existente no kit.

Caso o arquivo para gravação (.sof) não apareça automaticamente, clique em **Add File...** A pasta do seu projeto irá se abrir. O arquivo .sof se encontrará na pasta **output_files**.

Clique em **Start** para iniciar gravação. A janela de mensagens da tela principal do Quartus II irá informar se a gravação foi executada com sucesso. Caso isso ocorra, seu projeto já estará rodando no FPGA.

Caso haja algum erro de gravação, verifique se:

- Os cabos estão corretamente ligados;
- O kit está ligado;
- O modelo de gravador está correto;
- O modelo de FPGA está correto.

² O gravador usado no laboratório de sistemas digitais é o USB Blaster. Não é necessário instalar o driver “USB Blaster” na sua máquina apenas para simulações. Se você deseja programar o kit a partir de sua própria máquina, saiba que o driver USB Blaster já vem com o *software* Quartus II da Altera (fica dentro de um dos subdiretórios do diretório de instalação do Quartus). Você precisa configurá-lo manualmente no gerenciador de dispositivos do Windows, pois sua detecção não é automática. Para instalação no Windows 7 e 8, existe um procedimento adicional descrito pelo fabricante para liberar a instalação de drivers não assinados pela Microsoft. Foi elaborado um documento específico sobre isso. Solicite-o ao professor.