


Universidade Federal de Minas Gerais	
Escola de Engenharia – Departamento de Engenharia Eletrônica	
Disciplina: Laboratório de Sistemas Digitais	
Aula 08	
Assuntos: <ul style="list-style-type: none">Modelos de Representação de um Sistema top-level em VHDL: Comportamental, Fluxo de dados e Estrutural.	
Objetivos: <ul style="list-style-type: none">Saber explicar quando, como e o porquê usar os modelos de representação de um sistema.Identificar os diferentes modelos de representação de um sistema.Analisar as implicações da implementação de cada modelo de representação.	
Espera-se que ao final do Estudo Dirigido o aluno saiba responder às seguintes questões: <ol style="list-style-type: none">Como descrever uma arquitetura em VHDL?Quais são as diferenças entre os modelos de representação de sistemas: Comportamental, Fluxo de dados, Estrutural?Quais as vantagens/desvantagens dos modelos para representação de sistemas top-level.Quais são as declarações concorrentes que envolvem cada modelo?Qual é o modelo de representação de sistemas mais usado?	
Referências: <ol style="list-style-type: none">B. Mealy, F. Tappero. Free Range VHDL. Free Range Factory. 2012.Pedroni, Volnei A. Eletrônica Digital Moderna e Vhdl. Editora Campus. 2010.	