


Universidade Federal de Minas Gerais	
Escola de Engenharia – Departamento de Engenharia Eletrônica	
Disciplina: Laboratório de Sistemas Digitais	
Complemento Aula: 07	
<b>Assuntos:</b> <ul style="list-style-type: none"><li>○ Máquinas de Estados Finitos.</li><li>○ One-hot encoding</li><li>○ Múltiplos process ou um único process?</li></ul>	
<b>Avaliação teórica:</b> <p>Perguntas feitas pelo professor.</p>	
<b>Atividades práticas em sala de aula:</b> <ol style="list-style-type: none"><li>1. Acesse o endereço <a href="https://github.com/sistemas-digitais/pseudo-mux-fsm">https://github.com/sistemas-digitais/pseudo-mux-fsm</a> e obtenha o arquivo VHDL com a declaração da <i>Entity</i> (pseudo_mux.vhd).</li><li>2. A partir da entidade obtida do github, implemente uma máquina de estados finitos que apresente o seguinte comportamento:<ol style="list-style-type: none"><li>a. A saída Q acompanha o valor da entrada de dados selecionada. Inicialmente, a entrada de dados A está selecionada e a saída Q replica o valor da entrada de dados A. Ou seja, sempre que a entrada de dados A mudar de valor, a saída Q replica o mesmo valor. Quando a entrada de controle S é acionada, a próxima entrada de dados (nesse caso, a entrada B) passa a ser a entrada selecionada e a saída Q passa a replicar o valor da nova entrada de dados selecionada. Cada vez que a entrada S é acionada, a próxima entrada de dados é selecionada.</li></ol></li><li>3. Com o Quartus Prime Edition crie um novo projeto, com a família e o dispositivo FPGA existente no kit DE2.</li><li>4. Utilizando como base os templates do Quartus Prime Edition e os arquivos VHDL já disponibilizados para aulas anteriores, crie um modelo em VHDL para implementar a máquina de estados finitos projetada na atividade 1.</li><li>5. Sintetize a descrição do sistema dado para o dispositivo FPGA definido no início do</li></ol>	

projeto.

6. Acesse o Menu Tools → Netlist Viewers → State Machine Viewer. Observe se a máquina de estados mostrada é coerente com o que você esperava.
7. Implemente um testbench para verificar o funcionamento de sua máquina de estados finitos.
8. Realize a simulação funcional e observe se o comportamento da saída do sistema atendeu a sua expectativa.

Volte ao Quartus Prime Edition e faça a associação de pinos do FPGA ao sistema digital sintetizado, gere o arquivo .sof (bitstream) do sistema digital sintetizado e grave-o no FPGA do kit DE2 para testá-lo.

### **Atividade Práticas no laboratório:**

Relatório: Páginas (3)