


Universidade Federal de Minas Gerais	
Escola de Engenharia – Departamento de Engenharia Eletrônica	
Disciplina: Laboratório de Sistemas Digitais	
Aula 06	
Assuntos: <ul style="list-style-type: none">○ Declarações concorrentes.○ Declaração <i>Process</i> em VHDL.○ Lista de sensibilidade.○ Declarações sequenciais em VHDL.	
Objetivos: <ul style="list-style-type: none">○ Entender o comportamento das declarações concorrentes em VHDL.○ Estudar a estrutura da declaração <i>Process</i> e seu funcionamento.○ Entender a lista de sensibilidade do <i>Process</i> e como ela influencia no comportamento do modelo.○ Aprender como utilizar atribuições a variáveis dentro de um <i>Process</i> para modelar comportamento sequencial.	
Espera-se que ao final do Estudo Dirigido o aluno saiba responder às seguintes questões: <ol style="list-style-type: none">1. Qual a diferença entre concorrência e paralelismo?2. Por que as construções concorrentes em VHDL não são chamadas de paralelas?3. Quando as construções concorrentes em VHDL podem apresentar comportamento paralelo?4. Qual a diferença entre se atribuir o valor a um sinal dentro de um <i>Process</i> ou fora dele?5. Qual a função da lista de sensibilidades de um processo?6. Quais as regras para se definir o que deve ser incluído na lista de sensibilidade de um Processo?7. Como se define atribuições sequenciais dentro de um <i>Process</i>? <p>Se o modelo VHDL será sintetizado em um hardware que permite paralelismo, por que precisamos de construções sequenciais? Paralelo não é mais rápido?</p>	

Referências:

1. B. Mealy, F. Tappero. Free Range VHDL. Free Range Factory. 2012.
2. Rob Pike. **Concurrency Is Not Parallelism**. 2012. Disponível em:
<https://vimeo.com/49718712>. Acesso em: 25/08/2018.
3. Rob Pike. **Concurrency Is Not Parallelism** (Slides). 2012. Disponível em:
<https://talks.golang.org/2012/waza.slide>. Acesso em: 25/08/2018.