


Universidade Federal de Minas Gerais	
Escola de Engenharia – Departamento de Engenharia Eletrônica	
Disciplina: Laboratório de Sistemas Digitais	
Complemento Aula: 03	
Assuntos: <ul style="list-style-type: none">○ Linguagens de Descrição de Hardware (HDLs).○ VHDL.○ Modelo de Descrição de um Sistema em VHDL (library/package/entity/architecture).	

Avaliação:

- 1) Identifique a pasta onde se localiza as *libraries* usadas em descrições VHDL.
- 2) Com o Quartus Prime Edition crie um novo projeto, com a família MAX 10 (DA/DF/DC/AS/SC) e o dispositivo FPGA 10M50DAF484C7G.
- 3) Explore alguns recursos disponíveis no Quartus Prime Edition (No menu Edit->Insert Templates).
- 4) Carregue para esse novo projeto uma descrição de um sistema digital existente no conjunto de Templates VHDL->Full Designs->Arithmetic->Adders.
- 5) Altere o design escolhido de 8 bits para 4 bits.
- 6) Compile (sintetize) a descrição do sistema dado para o dispositivo FPGA definido no início do projeto.
- 7) Use e ou modifique conforme sua necessidade, o arquivo de estímulos de entradas dado pelo professor (tb_somador.vhd) como base para realizar a simulação funcional do seu novo sistema sintetizado nessa atividade. **Dica: dependendo da descrição que você escolheu no item (4), a execução desse item demandará mais ou menos modificações (tais como: modificação de nomes de portos, adaptação de tipos de portos, adaptação de tamanho em bits de portos, inclusão de novos portos, etc.)**
- 8) Realize a simulação funcional e observe se o comportamento da saída do sistema atendeu a sua expectativa.
- 9) Observe os arquivos gerados na síntese e na simulação funcional.
- 10) Volte ao Quartus Prime Edition, faça a associação de pinos do FPGA ao sistema

digital sintetizado, gere o arquivo .sof (bitstream) do sistema digital sintetizado. **Nota:**

A gravação no FPGA do kit DE10-Lite será realizada na atividade presencial.

- 11) Observe que você pode criar o seu próprio template dentro do recurso *Insert Templates* que você explorou. Isso pode ser um importante recurso para você criar o seu próprio pacote de descrições de sistemas em VHDL.

Atividade Práticas no laboratório:

Relatório: Páginas (max. 3)