


Universidade Federal de Minas Gerais	
Escola de Engenharia – Departamento de Engenharia Eletrônica	
Disciplina: Laboratório de Sistemas Digitais	
Complemento Aula: 05	
Assuntos: <ul style="list-style-type: none">○ Tipos de dados básicos em VHDL e conversão de tipos.○ Conceitos de sinais e variáveis.○ Comandos para atribuição de sinais e variáveis.	

Avaliação teórica:

- 1) Perguntas feitas pelo professor.

Atividade Práticas no laboratório:

- 1) Com o Quartus Prime Edition crie um novo projeto, com a família MAX 10 (DA/DF/DC/AS/SC) e o dispositivo FPGA 10M50DAF484C7G.
- 2) Acesse o endereço <https://github.com/sistemas-digitais/alu-vhdl-entity> e obtenha o arquivo VHDL com a declaração da interface da ALU (alu.vhd). Nos comentários desse arquivo, bem como no arquivo README do repositório, está a descrição do comportamento esperado do módulo. Implemente esse comportamento.
- 3) Sintetize a descrição do sistema dado para o dispositivo FPGA definido no início do projeto.
- 4) Implemente um *testbench* para verificar o funcionamento de sua ALU.
- 5) Realize a simulação funcional e observe se o comportamento da saída do sistema atendeu a sua expectativa.
- 6) Altere a ordem dos assinalamentos das saídas do modelo no código VHDL e realize novamente a simulação. Houve alguma alteração no comportamento?
- 7) Volte ao Quartus e acesse o Menu *Tools* → *Netlist Viewers* → *RTL Viewer*. Observe se o diagrama mostrado é coerente com o que você esperava.
- 8) Acesse o Menu *Tools* → *Netlist Viewers* → *Technology Map Viewer (Post- Mapping)*. Clique duas vezes sobre as “caixas” para observar sua implementação interna.

- 9) Verifique nas mensagens de *warning* do Quartus se existe alguma do tipo “*inferring latch(es) for signal or variable (...)*”.
- 10) Idealmente, a síntese do seu modelo não deve apresentar nenhuma mensagem desse tipo.
- 11) Procure descobrir o que causa esta mensagem, mesmo se a síntese do seu modelo não registrou mensagens do tipo.

Atividade Práticas no laboratório:

- 1) Relatório: Páginas (max. 3)