Documentação - Entrega do trabalho final de **Sistemas** **Digitais**

Projeto e Simulação de Circuitos Digitais com Quartus II

Desafio: **SISTEMA DE DESTRAVAMENTO PRESENCIAL SEQUENCIAL**



Equipe:

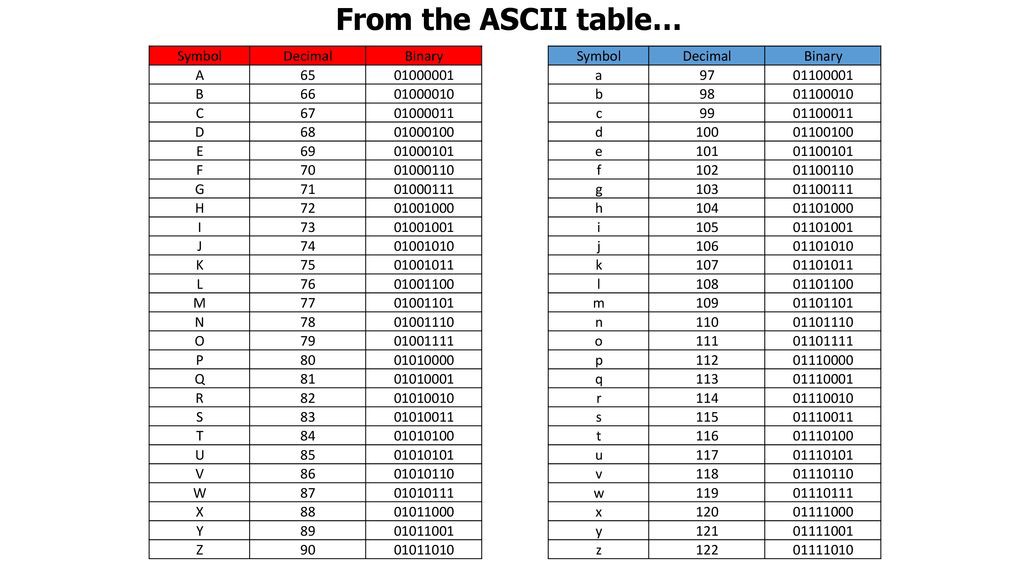
- Daniel Nogueira Junqueira – 2021072244

- João Victor

- Marcelle  
  
Projeto feito em **VHDL.**

Entrega seguindo a **numeração** pedida da parte “Entregas”do trabalho:

**1.**

Para a letra do indivíduo (N) utilizamos 5 bits porque os dois primeiros bits da esquerda para a direita são iguais pra maiúsculo e minúsculo, e o terceiro é o que muda para caractere maiúsculo ou minúsculo, porém no trabalho não é necessário levar em conta essa característica do caractere, então podemos eliminar também o terceiro bit da esquerda para a direita, ficando assim 5 bits para a identificação da letra do indivíduo, como mostrado na tabela abaixo:

Para o dígito (M) utilizamos 4 bits, que é necessário para representar a numeração de 0 a 9 do último dígito do número de matricula

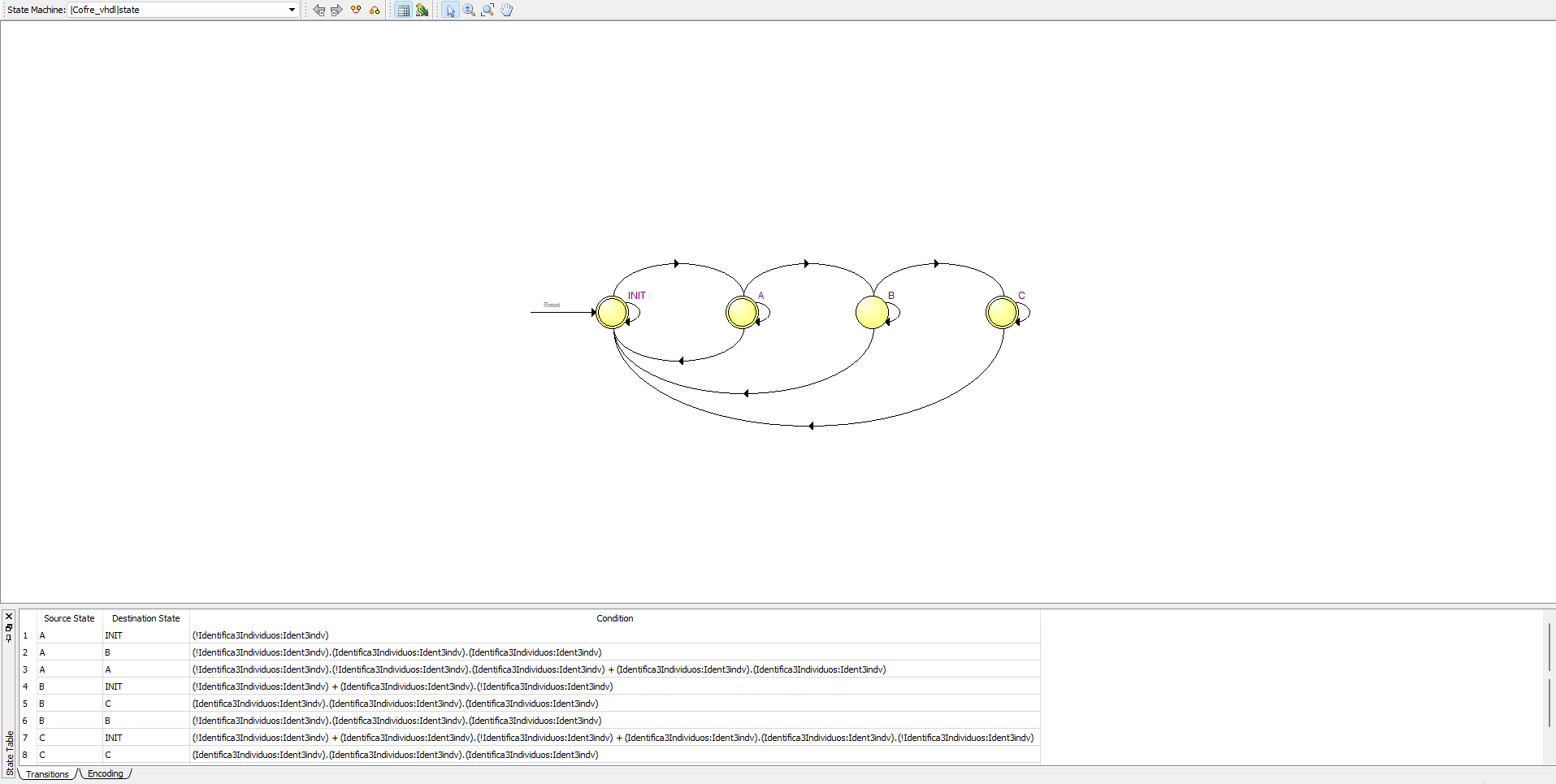
**2.**

* Diagrama de captura que fizemos da FSM antes de implementa-la no Quartus.

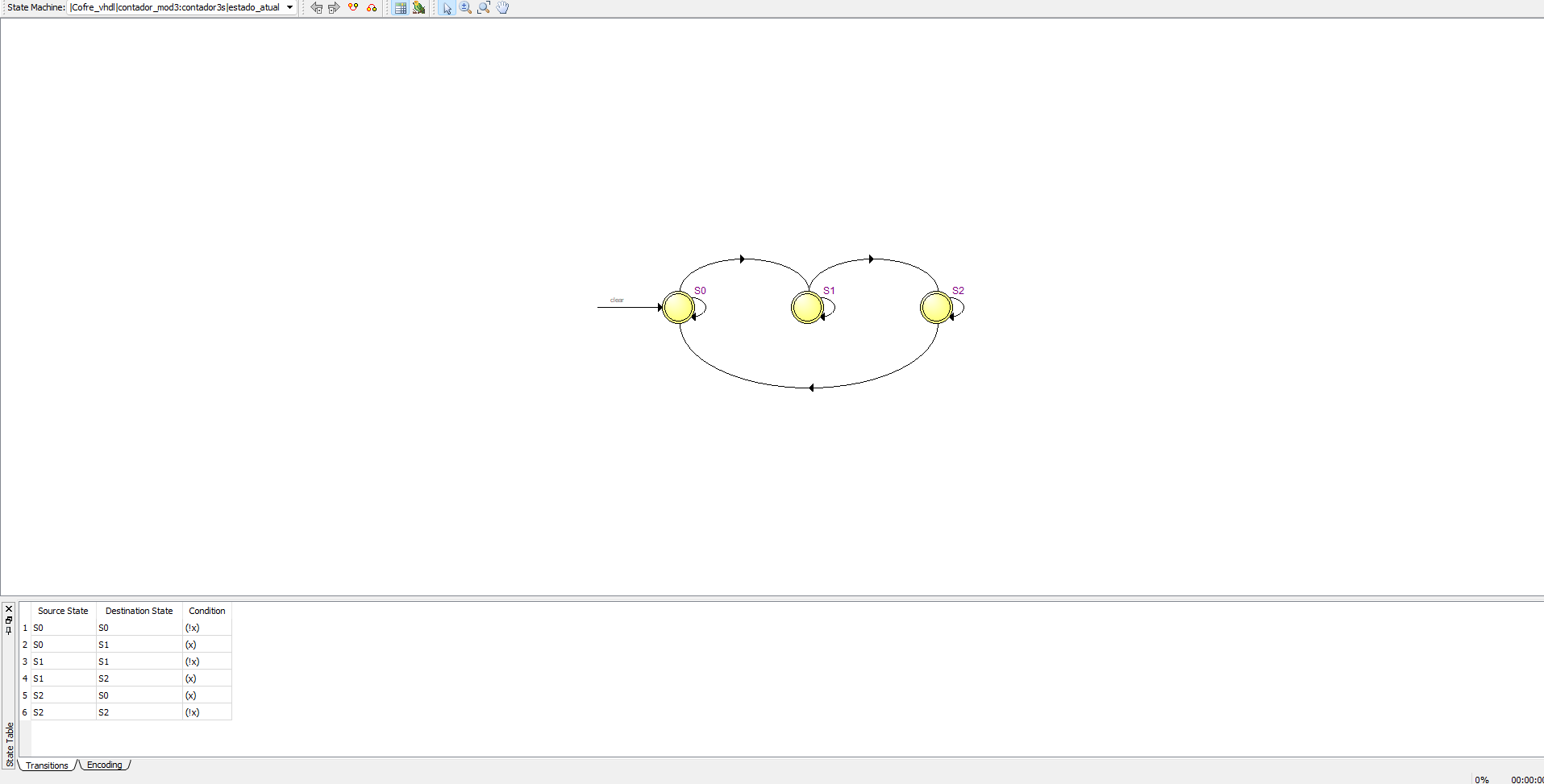
Xa é a saída do comparador do indivíduo A (Daniel), Xb é a saída do comparador do indivíduo B (João) e Xc é a saída do comparador do indivíduo C (Marcelle).

desenho que fizemos da fsm antes de implementa-la no Quartus


* Diagrama de captura da FSM pronta no Quartus feita em VHDL.



* Diagrama de captura da FSM do contador.



**3.**

INIT: 00

A: 01

B: 10

C: 11

**4.**

**5.**

**6.**

**Simulação** do circuito para um caso de **sucesso** de abertura do cofre. Se a visualização estiver difícil, dê um zoom com Ctrl e scroll do mouse.

