## AC1 - Teórica

## Arquitetura Básica de um Sistema Computacional

CPU - responsável pelo processamento de informação através da execução de uma sequência de instruções (programa) armazenadas na memória		
Memória - responsável pelo armazenamento de programas, dados para processamento e resultados		
Unidades de I/O - (Unidades de entrada e saída / inputs & outputs) responsáveis pela comunicação com o exterior		
<b>Endereço -</b> É um número único que identifica cada registo de memória (Ex: 0x32)		
<b>Espaço de Endereçamento -</b> É a gama total de endereços que o CPU pode referencial (Ex: um Cpu com barramento de endereços de 32 bits pode gerar na gama 2^16 -1)		
Arquitetura Básica do CPU		
Organização interna de um processador - Secção de dados(datapath):  Multiplexers		
Unidade Aritmética e Lógica (ALU) - Add, Sub, And, Or Registos internos		
Unidade de Controlo - É responsável plea coordenação dos elementos do datapath, durante a execução de um programa		
<ul> <li>Gera os sinais de controlo que adequam a operação de cada um dos recursos da secção de dados às necessidades da instrução que estiver a ser executada</li> </ul>		
Dependendo da arquitetura, pode ser uma máquina de estados ou um elemento meramente combinatório		
Independentemente da Unidade de Controlo ser combinatória ou sequencial, o CPU é sempre uma máquina de estados síncrona		

**Stored-Program -** implica que na memória possa residir, ao mesmo tempo, informação de natureza tão variada como: o código fonte de um programa em

informação de natureza tão variada como: o código fonte de um programa em linguagem C, um editor de texto, um compilador, e o programa resultante da compilação

## Arquitetura do Conjunto de Instruções (ISA)

**ISA -** Também designada por "modelo de programação descreve tudo o que o programador necessita de saber para programar corretamente, em assembly, um determinado processador

Classes de instruções:	
$\bigcirc$	Processamento - Aritméticas e lógicas
0	TransferÊncia de informação - cópia entre registos internos e entre registos internos e memória
0	Controlo de fluxo de execução - Alteração de sequência de execução (estruturas condicionais, ciclos, chamadas a funções,)