Trabalho de Circuitos Digitais: Banco de Registradores e ULA

Instruções:

Data limite de entrega: 19/02/2023

Data limite para apresentação: 01/03/2023

Trabalho em dupla

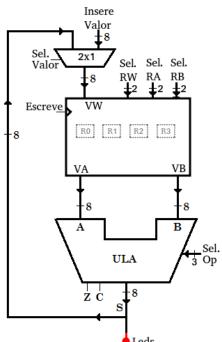
O que entregar: arquivo compactado cujo nome é "matricula1_nome1_matricula2_nome2" (exemplo: 2011101001_caimi_2021100010_luciano) contendo:

- 1) Relatório incluindo (peso: 3,0):
 - o Apresentação do trabalho
 - Descrição da solução:
 - Diagrama com os blocos operacionais da solução (exemplo: somadores. multiplexadores, etc)
 - Tabelas-verdade do módulos que compõem a solução
 - Simplificações
 - Circuitos usando portas lógicas no Logisim
 - Equações propostas
 - Soluções das equações para diferentes valores de x (parte 2)
 - Conclusão apresentando as dificuldades encontradas
- 2) Arquivo do projeto Logisim Evolution (peso: 3,0)
- 3) 2 links para vídeos com as resoluções conforme descrição na parte 2 (peso: 3,0):
 - uma equação de primeiro grau
 - uma equação de segundo grau
- 4) Apresentação para o professor (peso: 1,0)

Descrição:

Parte 1: Construção do circuito

O trabalho proposto é a implementação do circuito apresentado na figura abaixo utilizando o software Logisim Evolution



O circuito é composto de um banco de registradores, uma Unidade Lógica Aritmética (ULA) e multiplexadores.

O banco de registradores possui 4 registradores (R0 até R3) de 8 bits. As saídas VA e VB apresentam os valores contidos nos registradores selecionados pelas entradas Sel.RA e Sel.RB. A entrada Sel.RW seleciona o registrador a ser escrito o valor presente na entrada VW. A escrita no registrador acontece na transição de subida da entrada Escreve.

A ULA possui duas entradas de 8 bits (A e B) e realiza a operação aritmética de acordo com a entrada Sel.Op. A saída S apresenta o resultado da operação realizada e as saídas Z e C são saídas de um bit que indicam que o resultado da operação é zero (saída Z) e que ocorreu Overflow/Underflow (saída C) na operação realizada.

Devem ser considerados os aspectos apresentados abaixo:

- 1. As entradas: Escreve; Insere Valor; Sel. Valor; Sel. RW; Sel. RA; Sel. RB; Sel. Op; devem possuir chaves ligadas às mesmas para inserir valores às entradas;
- 2. As saídas S, Z e C devem ter leds conectadas as mesmas:
- 3. As operações AND, NAND, OR, NOR, XOR e XNOR são bit a bit;
- 4. As operações de soma e subtração são operações em Complemento de 2 e devem ser implementadas com portas lógicas básicas conforme visto em aula;
- 5. As operações de multiplicação e divisão podem utilizar módulos prontos da ferramenta
- 6. As operações de Soma, Subtração, multiplicação e divisão afetam o sinal Overflow/Underflow (C);
- 7. Todas as operações afetam o flag Zero (Z);

Cada dupla utilizará uma "codificação" diferente para as ações realizadas na ULA conforme apresentado na Parte 3 da descrição.

Parte 2: resolução de equações

Cada dupla deverá propor uma equação linear e uma equação quadrática.

A equação linear deverá ter o formato:

$$y = a.x + b$$

Onde 'a' e 'b' devem obrigatoriamente possuir valores diferentes de 0 e 1

A equação quadrática deverá ter o formato:

$$y = a.x^2 + b.x + c$$

Onde 'a', 'b' e 'c' devem obrigatoriamente possuir valores diferentes de 0 e 1

Para cada uma das equações propostas deverá ser apresentada a sequência de ações no circuito para encontrar o valor de y com dois valores distintos de x, isto é, uma solução com um valor x1 e outra solução com um valor x2.

Sugestão de tabela para mostrar a sequência de ações resolvendo as equações:

	Equação: 3.x - 5		
	Entrada x1 para variável x: 1		
	Resultado da equação: y = - 2		
Passo	entrada	controle	resultado

1	Insere_valor = 3	sel_valor = 1 sel_RW = 00; escreve = $0 \rightarrow 1 \rightarrow 0$	Coloca 'a' em R0 : R0 = 3
2			

Parte 3: Grupos e sequência de controle para as operações na ULA

https://docs.google.com/spreadsheets/d/ 18XtyUfEFwsfqoGKKPjmLy2lKoKPbWdFOosILOiar0QM/edit?usp=sharing

SelOp	Grupo 1:	Grupo 2:	Grupo 3:
000	A * B	A - B	A * B
001	~A	~A	~B
010	A XOR B	A OR B	A XOR B
011	A + B	A/B	A - B
100	A OR B	A NOR B	A + B
101	A/B	A * B	A NOR B
110	A - B	A + B	A/B
111	A AND B	A XOR B	A NAND B
SelOp	Grupo 4:	Grupo 5:	Grupo 6:
000	A NAND B	A OR B	A/B
001	A XOR B	A - B	A + B
010	A + B	A AND B	A XOR B
011	A AND B	A + B	A AND B
100	A OR B	A/B	A - B
101	A - B	A XOR B	A NOR B
110	A/B	A * B	A * B
111	A * B	A NOR B	A NAND B

Grupo 7:	Grupo 8:	Grupo 9:
A * B	A AND B	A - B
A XOR B	A * B	A AND B
A + B	A OR B	A OR B
A AND B	A/B	A * B
A OR B	A NOR B	A + B
~B	A XOR B	A NAND B
A - B	A + B	A/B
A/B	A - B	A XOR B
	<u> </u>	
Grupo 10:	Grupo 11:	Grupo 12:
A AND B	A NOR B	A - B
A OR B	A + B	A * B
A * B	A NAND B	A OR B
A NAND B	A * B	A NAND B
A NOR B	A - B	A/B
A + B	A OR B	A XOR B
A - B	A/B	A + B
A/B	A OR B	A AND B
		·
Grupo 13:	Grupo 14:	Grupo 15:
A * B	A AND B	A - B
A XOR B	A - B	A AND B
A + B	A OR B	A OR B
A AND B	A/B	A/B
A OR B	A NOR B	A + B
~B	A XOR B	A NAND B
A - B	A + B	A * B
A/B	A * B	A XOR B
	A*B A XOR B A + B A AND B A OR B -B A - B A / B Grupo 10: A AND B A OR B A * B A NAND B A NOR B A + B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B A - B	A*B

SelOp	Grupo 16:	Grupo 17:	Grupo 18:
000	A XOR B	A - B	A AND B
001	A * B	A NAND B	A + B
010	A AND B	A * B	A * B
011	A - B	A NOR B	A NOR B
100	A OR B	A XOR B	A NAND B
101	~A	A AND B	A/B
110	A + B	A + B	A XOR B
111	A/B	A/B	A - B
SelOp	Grupo 19:	Grupo 20:	Grupo 21:
000	A OR B	A/B	A NAND B
001	A/B	A NAND B	A * B
010	A + B	A + B	A - B
011	A AND B	~A	A XOR B
100	A XOR B	A XOR B	A AND B
101	~B	A AND B	A/B
110	A - B	A * B	A OR B