

Sistemas Electrónicos



Capítulo 6: Circuitos Digitais

Parte 3

Ernesto Martins

evm@ua.pt

DETI (gab. 4.2.38)

Universidade de Aveiro



Sistemas Electrónicos – 2020/2021

Sumário

Circuitos sequenciadores

- **Introdução:** função, tipos (*latches* vs registos), Princípio de armazenamento (estáticos vs dinâmicos);
- *Latches* e registos estáticos: O biestável; *Latch* baseada em portas de transmissão; Registo master-slave.
- *Latches* e registos dinâmicos: Registo *master-slave* baseado em portas de transmissão;

Memórias

- **Introdução:** atributos característicos das memórias semicondutoras;
- **Memórias Flash:** transístor de porta flutuante, mecanismos de escrita, leitura e apagamento;
- **Memórias SRAM e DRAM.**

Circuitos Sequenciadores

Introdução

E. Martins, DETI Universidade de Aveiro

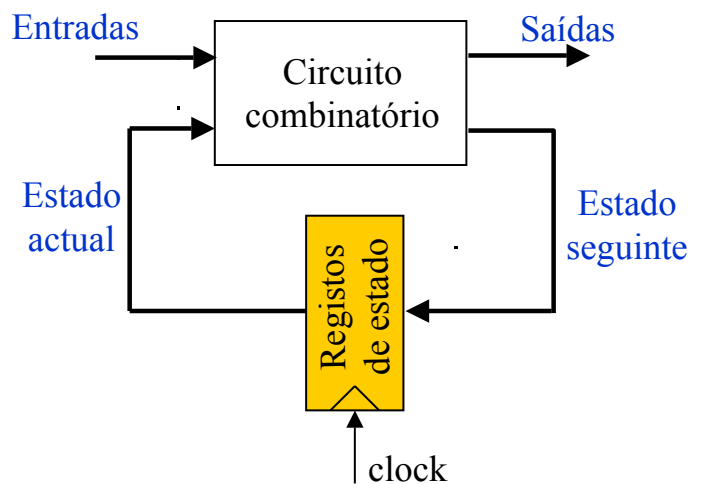
6.3-3

Sistemas Electrónicos – 2020/2021

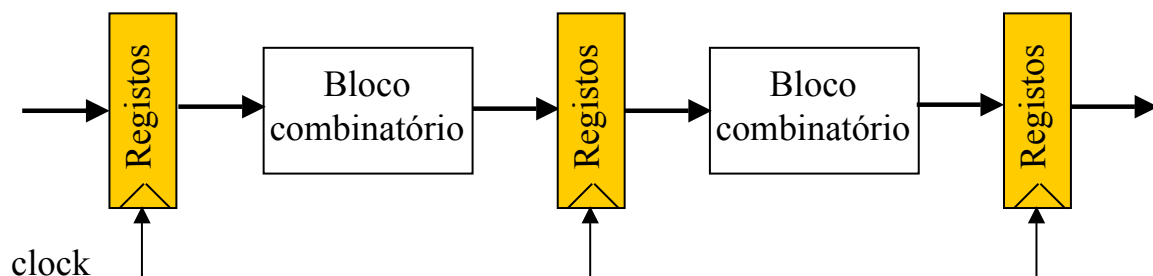
Introdução

- **Elementos de memória, ou circuitos sequenciadores**, permitem a implementação de circuitos sequenciais – e.g. máquinas de estados e *pipelines*;
- São *latches* e **registos**. De particular importância são os **sequenciadores síncronos** que são controlados por um sinal de relógio.

Máquina de estados (com registos activos ao flanco positivo)



Pipeline



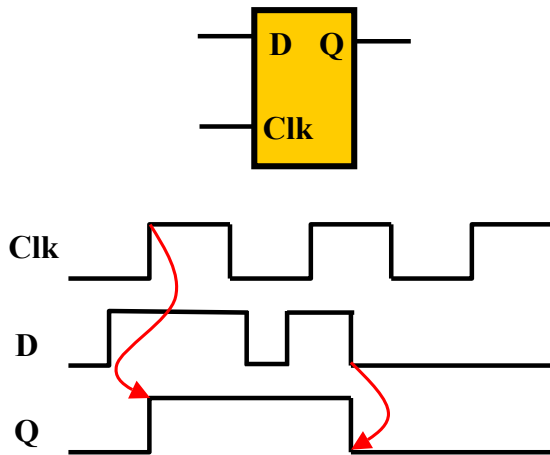
E. Martins, DETI Universidade de Aveiro

6.3-4

Tipos de sequenciadores: *Latches* e Registos

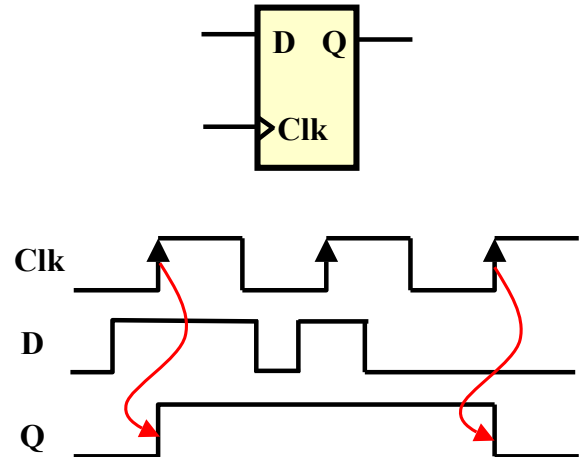
Latch

- Mais básico dos sequenciadores;
- Sensível ao **nível** do clock;
- **Latch positiva** – em modo **transparente** quando $Clk=1$; modo **de retenção** quando $Clk=0$.



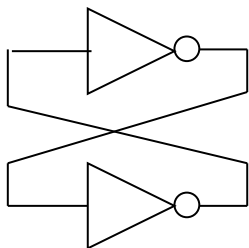
Registo ou flip-flop

- Sensível à **transição** do clock;
- **Activo ao flanco ascendente**: entrada é **amostrada** na transição L-H de Clk ;
- Baseados em *latches*.



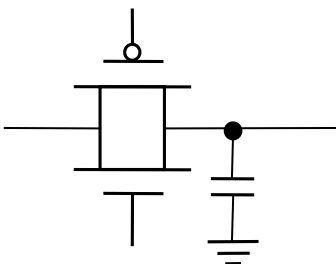
Princípio de armazenamento

Estático



- Configurações baseadas em **feedback positivo** – circuitos **biestáveis**;
- Mantêm o estado lógico enquanto a alimentação estiver ligada;
- Funcionamento **independente da velocidade do clock**.

Dinâmico

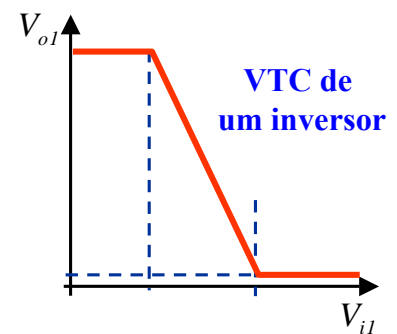
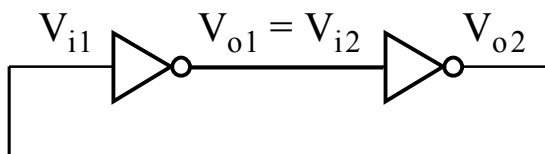


- Estado lógico corresponde à tensão aos terminais duma **capacidade**;
- Mantêm o estado lógico apenas durante alguns milissegundos (correntes de fugas) \Rightarrow **frequência mínima de clock**;
- Em geral **mais simples** do que os circuitos estáticos – mais baratos, melhor performance, menor potência; **menos robustos**.

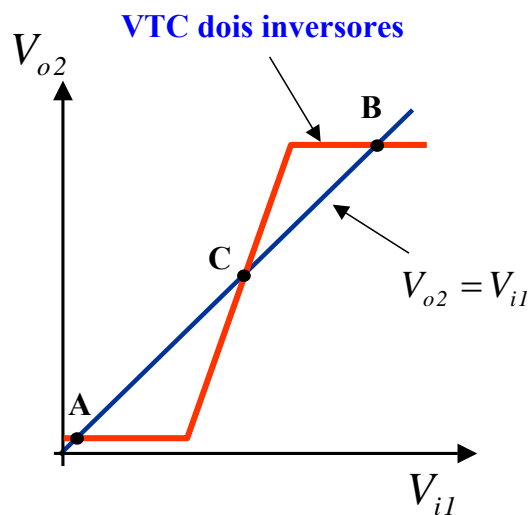
Latches e registos estáticos

O biestável

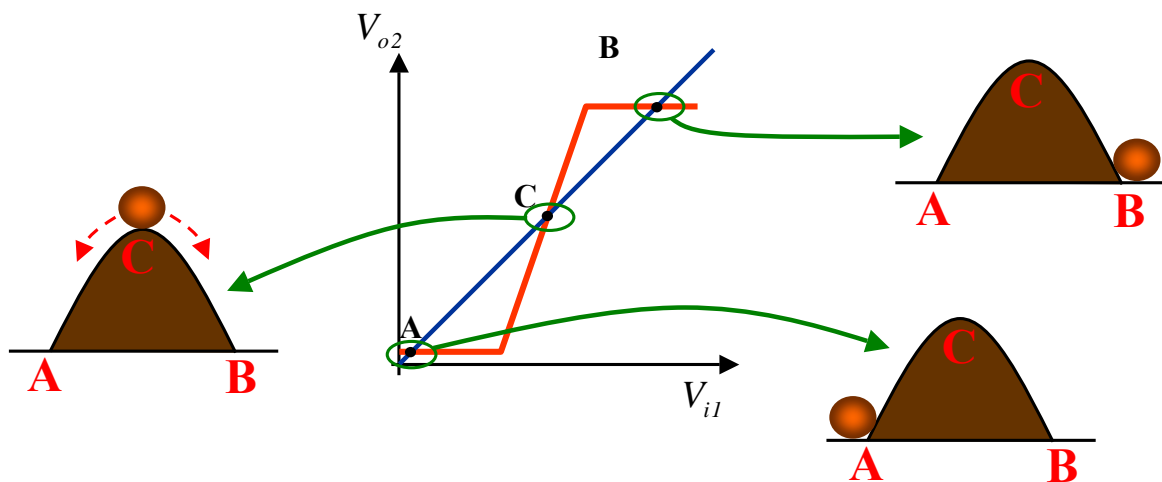
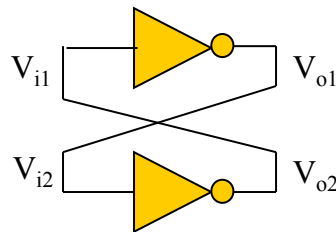
- **Circuito com feedback positivo (regenerativo).**



- **A e B - pontos de funcionamento estáveis;**
- **C não é estável** – qualquer perturbação faz o ponto de funcionamento deslocar-se para A ou B;
- **Isto só acontece se o ganho da malha for maior que 1;**



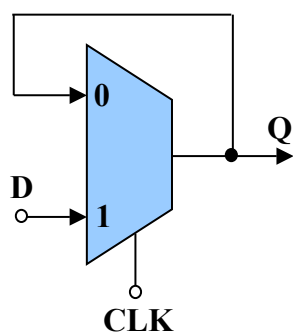
O biestável



- C é um ponto **metaestável** (ganho na região de transição é > 1);
- Só A e B são pontos de funcionamento **estáveis** (ganho da malha < 1) – circuito tende sempre para um destes pontos.

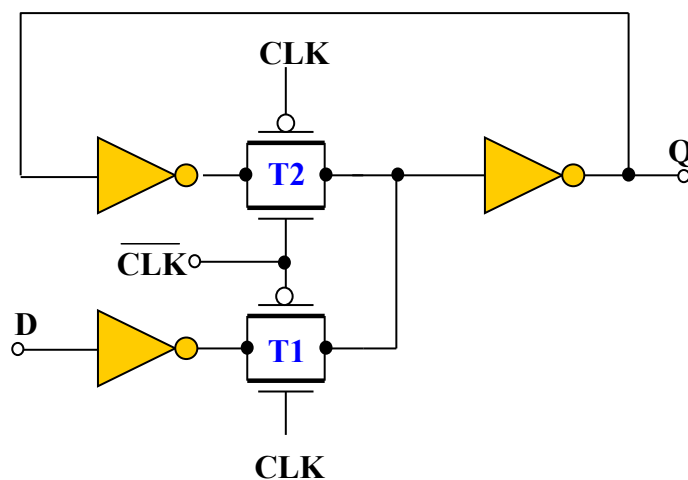
Latch baseada em portas de transmissão

- Abertura do *loop* como método de disparo.



$$Q = \overline{\text{CLK}} \cdot Q + \text{CLK} \cdot D$$

(latch positiva)

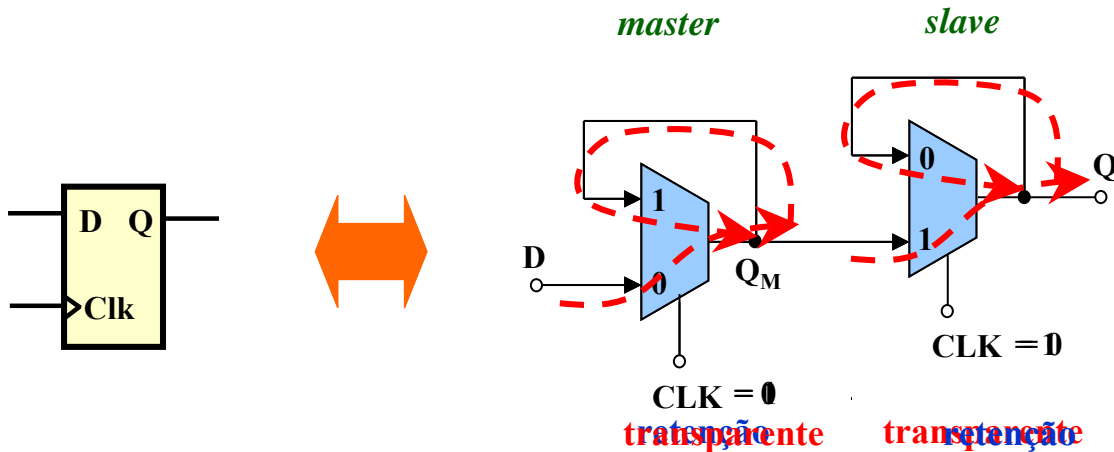


$\text{CLK} = 1 \Rightarrow \text{T1 ON, T2 OFF} \Rightarrow \text{latch transparente}$

$\text{CLK} = 0 \Rightarrow \text{T1 OFF, T2 ON} \Rightarrow \text{latch retenção}$

Registo estático master-slave

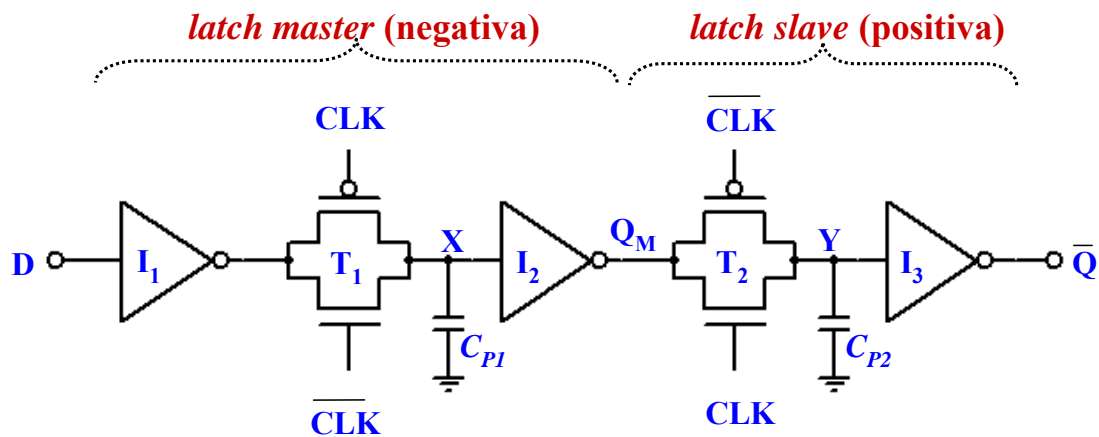
- **Maioria dos registos baseia-se numa configuração *master-slave* que combina duas *latches* sensíveis a diferentes níveis do relógio;**
- **Registo activo ao flanco ascendente do relógio: uma *latch* negativa *master* e outra positiva *slave*.**



Latches e registos dinâmicos

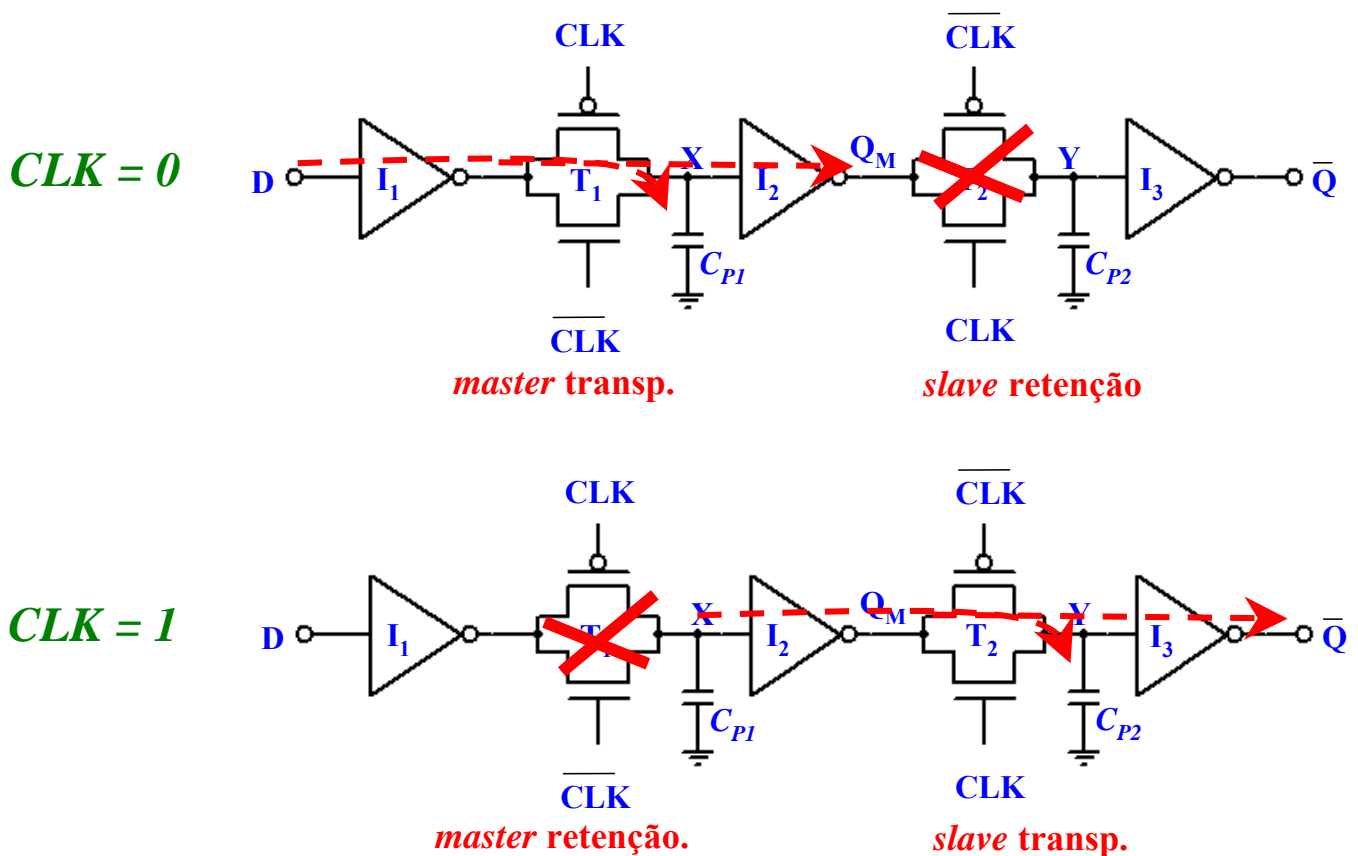
Registo *master-slave* com portas transmissão

Registo activo ao flanco ascendente.



- C_{p1} e C_{p2} são as capacidades intrínsecas concentradas nos nós respectivos;
- Implementação requer 10 transístores – registo idêntico do tipo estático precisa de 20.

Registo *master-slave*: funcionamento



Memórias

Introdução

Caracterização das memórias

Atributos característicos das memórias semicondutoras

- Capacidade;
- Tempos de acesso;
- Funcionalidade – leitura, leitura e escrita, volatilidade;
- Método de acesso – aleatório, sequencial, baseado no conteúdo;
- Princípio de armazenamento – *hardwired*, fusível, transistor com V_T programável, biestável, condensador.

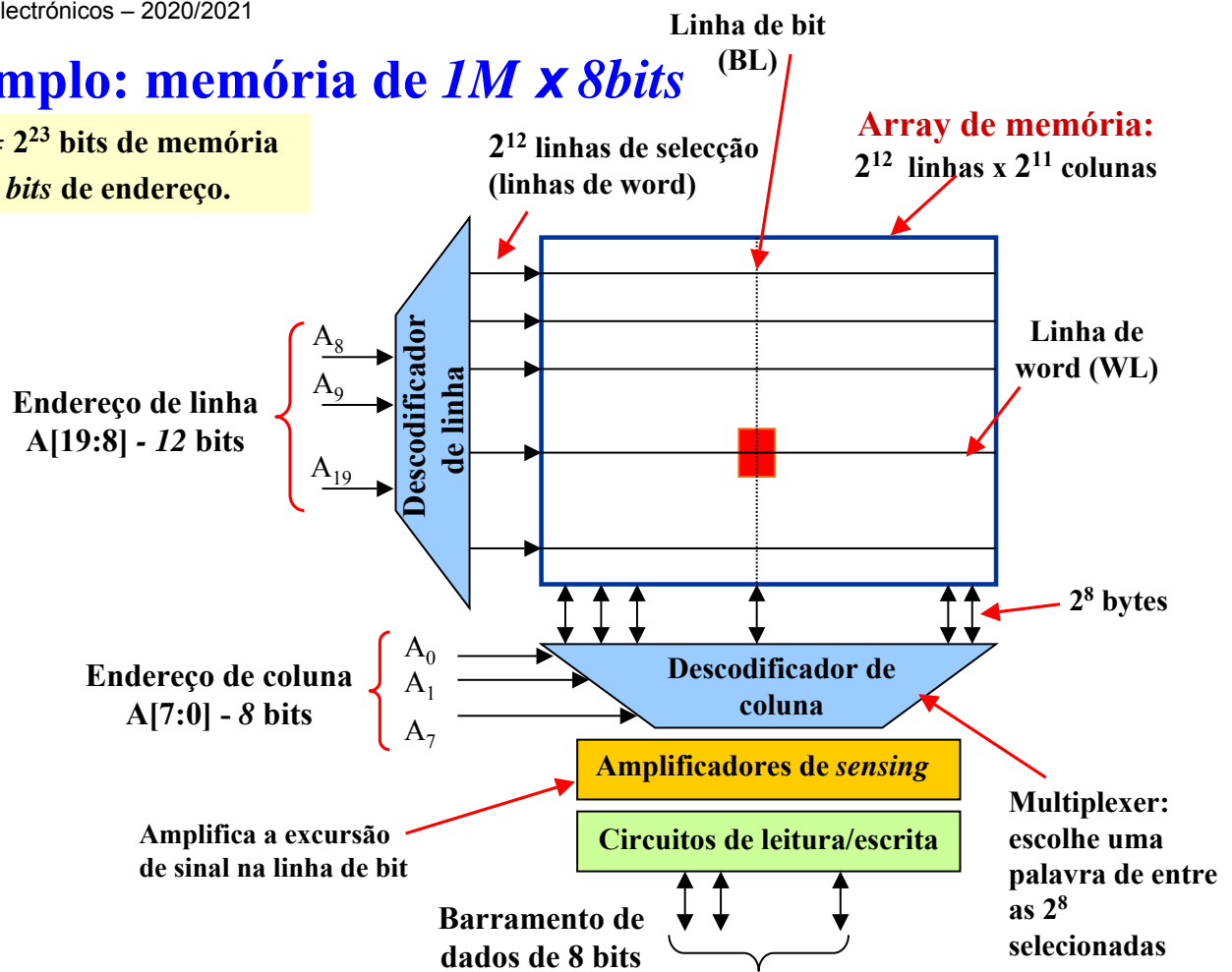
Uma classificação funcional das memórias semicondutoras

Não volátil			Volátil	
Só leitura (ROM)	Principal/ leitura (RMM)	Leitura e escrita (RWM)		
Acesso aleatório				Outro
ROM PROM	EPROM EEPROM Flash	FRAM MRAM PCRAM	SRAM DRAM	FIFO/LIFO Registo desloc. CAM

Exemplo: memória de $1M \times 8bits$

$N \times M = 2^{23}$ bits de memória

$K = 20$ bits de endereço.



E. Martins, DETI Universidade de Aveiro

6.3-17

Memórias reprogramáveis: *Flash*

Memórias Flash

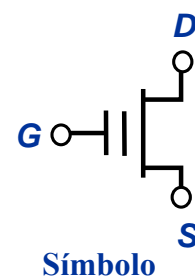
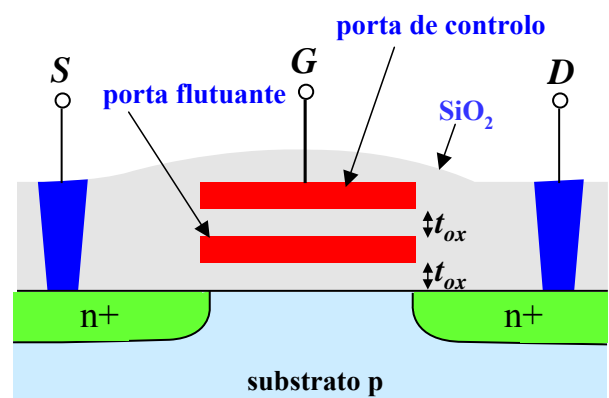
- Essencialmente de leitura (RMM); permitem a alteração ocasional do seu conteúdo;
- Células baseadas no **Transístor de Porta Flutuante**: permite programar o valor do V_T ;

DEFINIÇÕES:

- **Tempo de retenção**: tempo em que o estado lógico de uma célula de memória permanece inalterado: **> 10 anos**;
- **Endurance**: número máximo de ciclos de apagamento e programação que a memória suporta: **$> 10^6$ ciclos**.

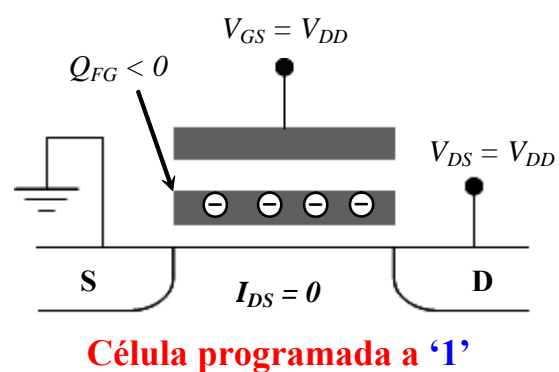
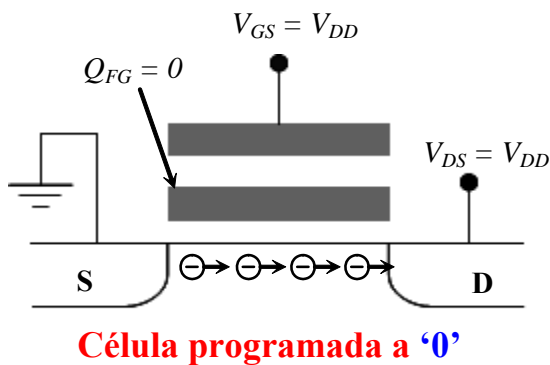
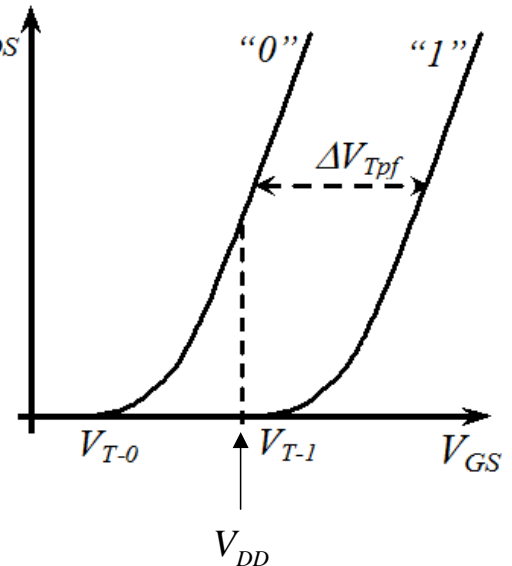
Transístor de porta flutuante

- MOSFET possui uma segunda porta chamada **flutuante** pois não está ligada a nada;
- Tensão de limiar (V_T) **depende da carga eléctrica** presente na porta flutuante
- Carga injectada na porta flutuante fica aí aprisionada por muito tempo, fixando o valor da tensão de limiar do transístor. O mecanismo é **não volátil**;
- **Programação** da célula corresponde à injeção de carga na porta flutuante; **Apagamento** corresponde à descarga.



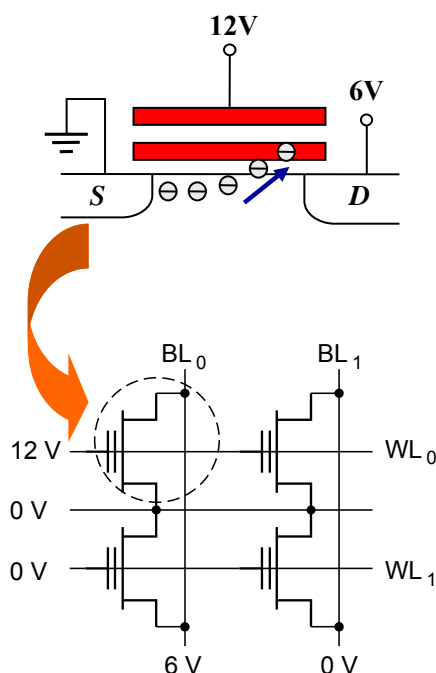
Transístor de porta flutuante: leitura I_{DS}

- Cada célula Flash é constituída por um transístor de porta flutuante;
- Numa célula binária a porta flutuante ou está carregada (curva “1”) ou está descarregada (curva “0”);
- Identificação do estado lógico programado (leitura) faz-se aplicando na porta de controlo uma tensão V_{DD} , entre V_{T-0} e V_{T-1} , e verificar se o transístor conduz ou não.

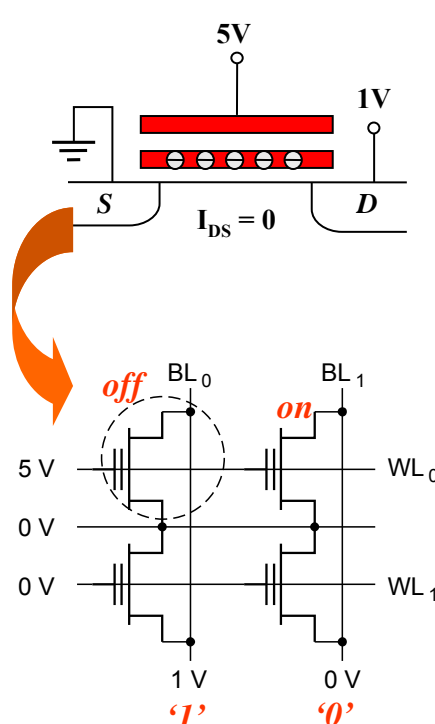


Transístor de porta flutuante: Programação e apagamento

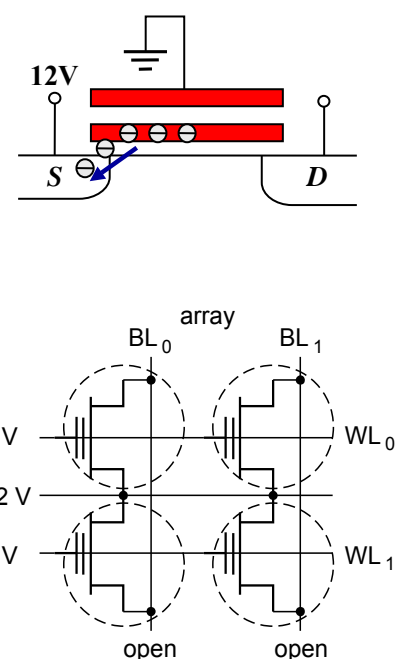
Programação: **HEI**



Leitura



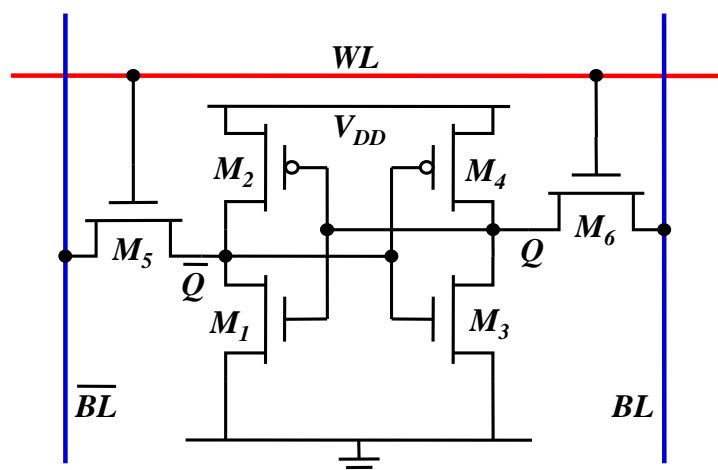
Apagamento: **Fowler-Nordheim**



Memórias SRAM e DRAM

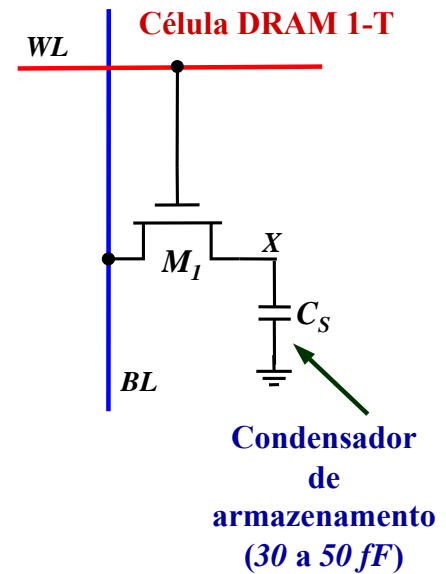
Célula SRAM 6T

- De longe a célula mais popular em memórias SRAM;
- Cada bit é armazenado num circuito **biestável**: uma *latch*.
- Transístores de passagem M_5 e M_6 são usados para ler e escrever na célula;
- Linhas de bit complementares: embora seja redundante, permite melhorar as margens de ruído nas operações de leitura e de escrita.
- Perdem a informação logo que são desligadas da alimentação: são **voláteis**;



Célula DRAM 1T

- Cada célula é constituída por um transístor e um condensador;
- O valor de cada bit corresponde à carga de um condensador;
- Corrente de fugas obriga a um *refresh* com uma periodicidade de 32 a 64ms;
- Redução drástica da geometria da célula (em relação à SRAM) mais do que compensa a complexidade extra imposta pela operação de *refresh*;



Célula DRAM 1-T: Funcionamento

- **Escrita:** Valor é colocado em BL

- V_{DD} para '1'
- $0V$ para '0'

e WL é activado;

- **Leitura:** Primeiro BL é pré-carregado à tensão $V_{PRE} = V_{DD}/2$;

Em seguida WL é activado, e a carga em C_{BL} e C_S é distribuída;

O sentido da variação da tensão em BL indica o valor lido:

- $\Delta V_{BL} > 0 \Rightarrow '1'$
- $\Delta V_{BL} < 0 \Rightarrow '0'$

