

Sistemas Electrónicos



Capítulo 6: Circuitos Digitais

Parte 1

Ernesto Martins

evm@ua.pt

DETI (gab. 4.2.38)

Universidade de Aveiro



Sistemas Electrónicos – 2020/2021

Sumário

- **Introdução – inversor lógico básico;**
- **Conceitos base e métricas de um circuito digital: tensões características, margens de ruído, *fan-out* e *fan-in*, desempenho, potência;**
- **Inversor CMOS – Modelo simplificado, propriedades;**
- **Característica de transferência (VTC);**
- **Resposta transitória;**
- **Potência dissipada.**

Introdução

Consideremos o circuito em que:

$$V_T = 1V, k = 100\mu A/V^2, R_D = 10K\Omega, V_{DD} = 5V.$$

● Se $V_i < V_T$ o MOSFET fica cortado, pelo que $I_{DS} = 0$ e portanto $V_o = V_{DD} = 5V$.

● Se $V_i = V_{DD}$ o MOSFET conduz, muito provavelmente na **região linear**:

$$I_{DS} = k[2(V_{GS} - V_T)V_{DS} - V_{DS}^2] = k[2(V_{DD} - V_T)V_o - V_o^2]$$

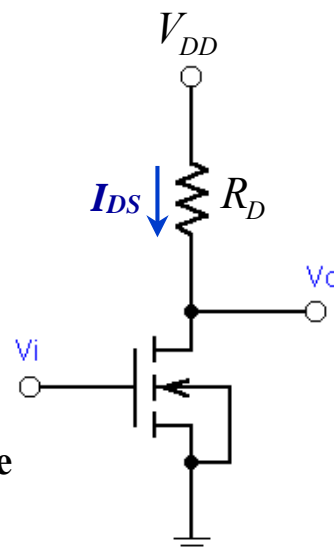
● Além disso sabemos que:

$$V_o = V_{DD} - R_D I_{DS}$$

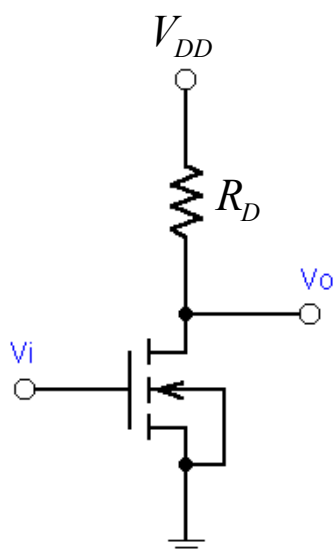
Substituindo aqui a equação de I_{DS} e resolvendo com os valores dados, obtemos:

$$V_o = 0.6V$$

● O que **confirma a região linear** do MOSFET.



Introdução

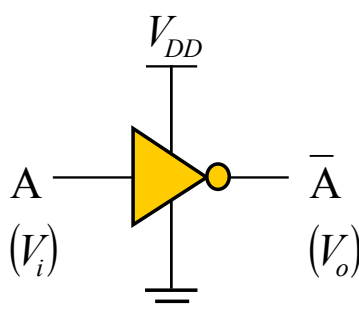


● Portanto:

V_i	V_o
$< V_T$	5V
5V	0.6V

● O circuito funciona como um **inversor lógico** (uma **porta lógica NOT**) se considerarmos:

- '0' \Leftrightarrow Tensão inferior a V_T
- '1' \Leftrightarrow Tensão igual a V_{DD}



A	\bar{A}
0	1
1	0

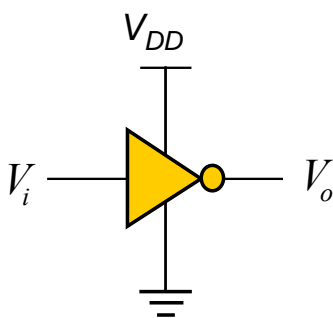
Conceitos base e métricas de um circuito digital

E. Martins, DET Universidade de Aveiro

6.1-5

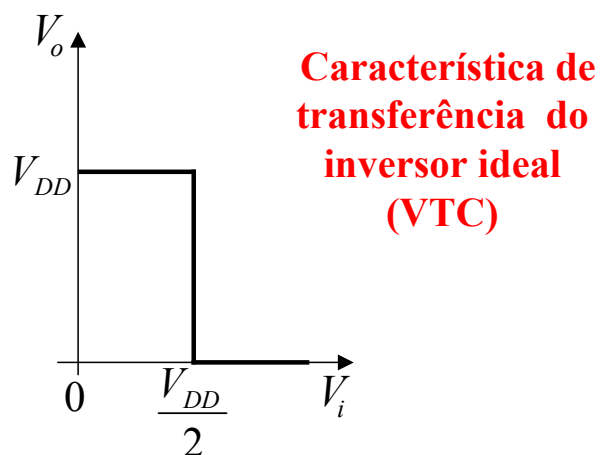
Sistemas Electrónicos – 2020/2021

Inversor ideal



● **Na saída:** níveis lógicos são:

- '0' $\Leftrightarrow V_o = 0V$
- '1' $\Leftrightarrow V_o = V_{DD}$



● **Na entrada:** o inversor usa o limiar $V_{DD}/2$ para distinguir entre os níveis lógicos **1** e **0**:

- '0' : $0 < V_i < V_{DD}/2$
- '1' : $V_{DD}/2 < V_i < V_{DD}$

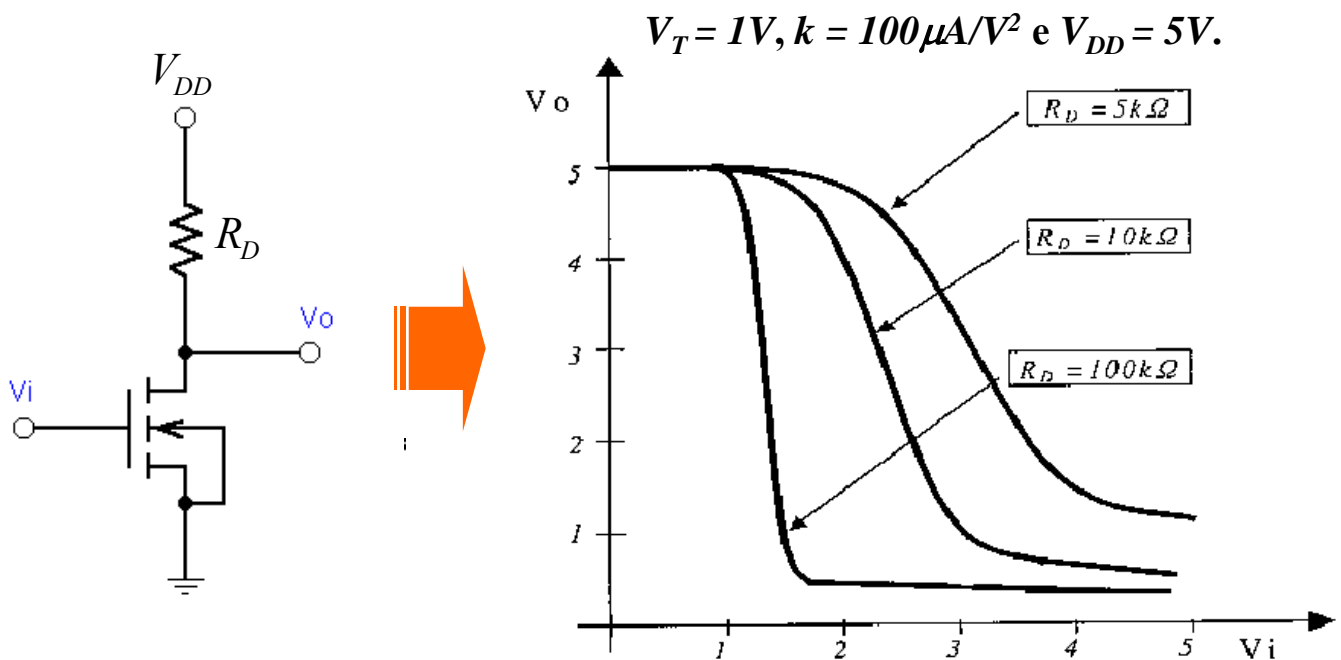
● **Margem de ruído** = $V_{DD}/2$

E. Martins, DET Universidade de Aveiro

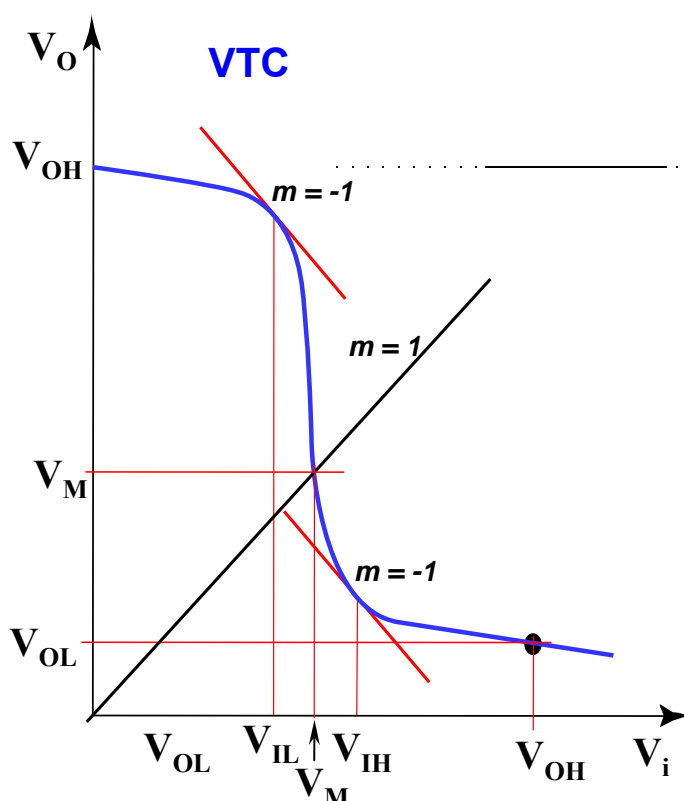
6.1-6

Inversor real

- Os inversores reais não apresentam características de transferência tão perfeitas.



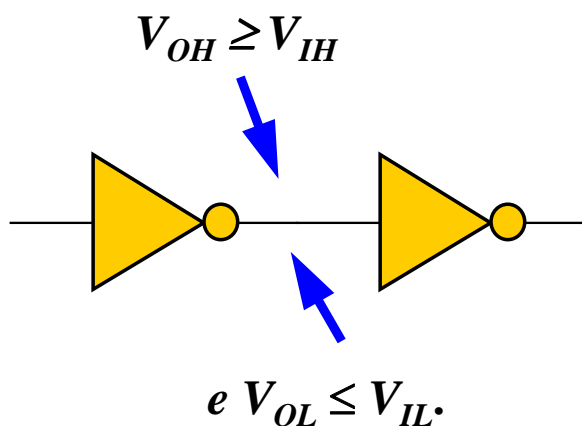
Tensões características de uma porta lógica



- V_{OH} : Tensão de saída no estado '1'; calculado como $f(0)$;
- V_{OL} : Tensão de saída no estado '0'; calculado como $f(V_{OH})$;
- V_{IH} : Tensão de entrada mínima do nível lógico '1';
- V_{IL} : Tensão de entrada máxima do nível lógico '0';
- V_{IH} e V_{IL} : definem-se nos pontos onde $dV_o/dV_i = -1$;
- V_M : Tensão de limiar da porta: define-se no ponto onde $V_M = f(V_M)$.

Robustez e margens de ruído

- Para que duas portas lógicas possam funcionar correctamente quando ligadas entre si é necessário que



Margens de ruído:

Margem de ruído '1':

$$NM_H = V_{OH} - V_{IH}$$

Margem de ruído '0':

$$NM_L = V_{IL} - V_{OL}$$

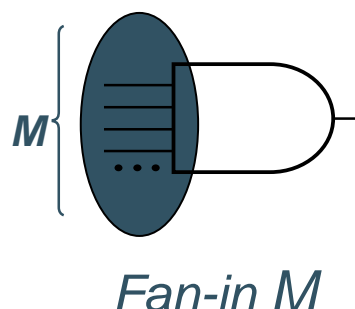
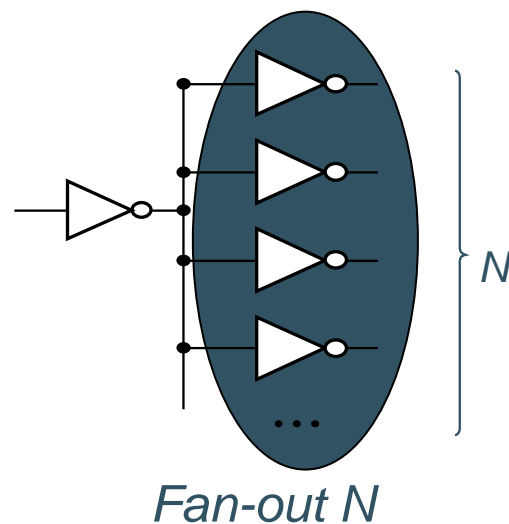
- As margens de ruído medem a capacidade do circuito manter os níveis lógicos na saída perante variações no processo de fabrico, ruído e temperatura.

Fan-out e fan-in

- **Fan-Out:** Número de portas ligadas à saída de uma porta *driver*. Portas carga são iguais à porta *driver*;

- **Fan-Out máximo:** Maior número de portas carga que é possível ligar à saída de uma porta *driver* mantendo especificações mínimas de robustez e performance;

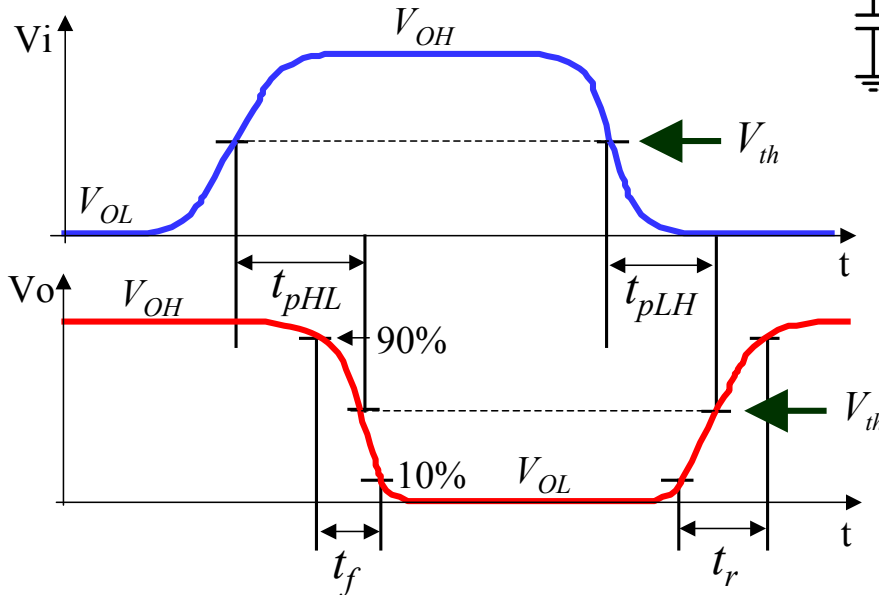
- **Fan-In:** Número de entradas de uma porta.



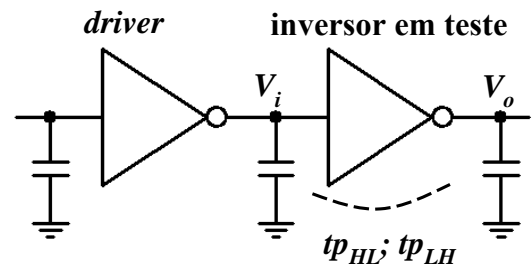
Desempenho

- A **performance** de um circuito digital é expressa pela máxima frequência a que o circuito funciona correctamente. Esta é condicionada pelos **tempos de propagação**.

Definição:



E. Martins, DET Universidade de Aveiro



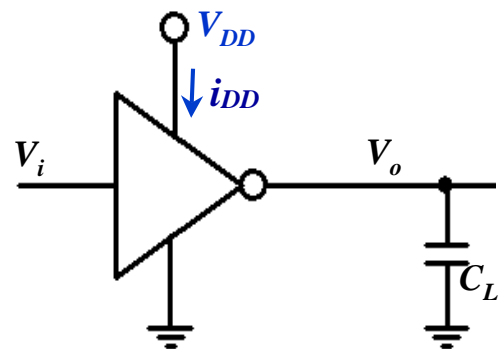
$$V_{th} = \frac{V_{OH} + V_{OL}}{2}$$

6.1-11

Potência

- É um dos aspectos de maior importância nos actuais circuitos digitais;

$$P = \frac{1}{T} \int_0^T p(t) dt = \frac{V_{DD}}{T} \int_0^T i_{DD}(t) dt$$



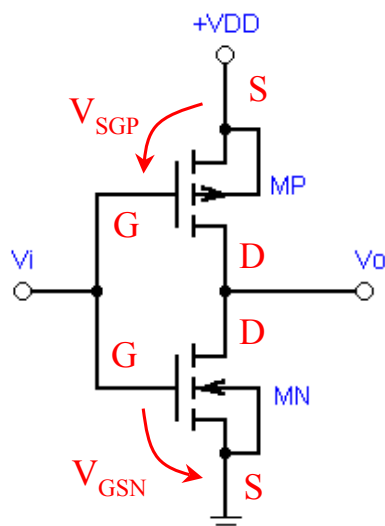
Potência total = Potência estática + Potência dinâmica;

- **Potência estática**: consumida pelo circuito quando a saída está **estável** num dos estados lógicos;
- **Potência dinâmica**: consumida pelo circuito quando a saída **muda de estado**.

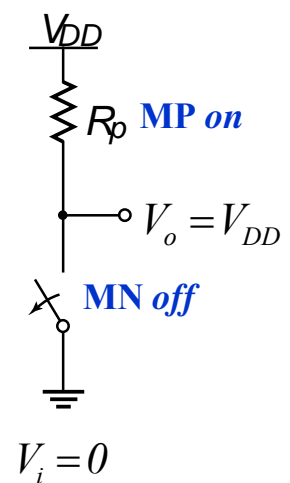
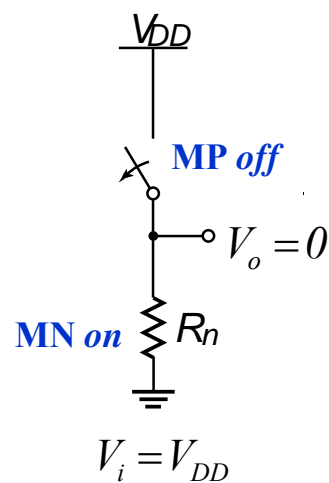
Inversor CMOS

Inversor CMOS – Modelo simplificado

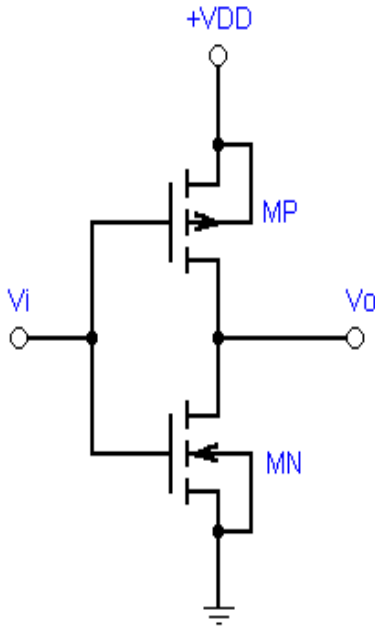
- **Complementary MOS:** usa um transístor NMOS e um PMOS;
- **Tecnologia dominante desde meados dos anos 80.**



Modelo simplificado de funcionamento



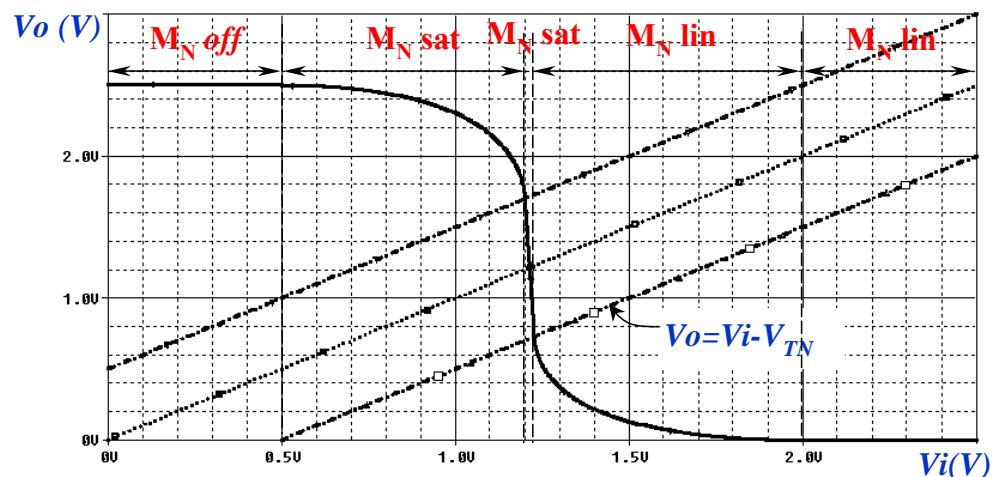
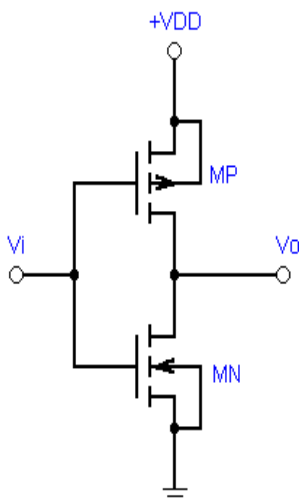
CMOS - propriedades



- Excursão *rail-to-rail* (0 a V_{DD}) => **margens de ruído elevadas**;
- Níveis lógicos e funcionalidade não dependem do tamanho relativo dos MOSFETs. Circuito é *ratioless*;
- Não existe caminho DC entre V_{DD} e a massa => **potência estática é nula** (em primeira aproximação);

- A configuração simétrica permite que o inversor apresente uma **VTC simétrica** bem como **tempos de propagação, t_{pHL} e t_{pLH} , iguais**.

Inversor CMOS - VTC



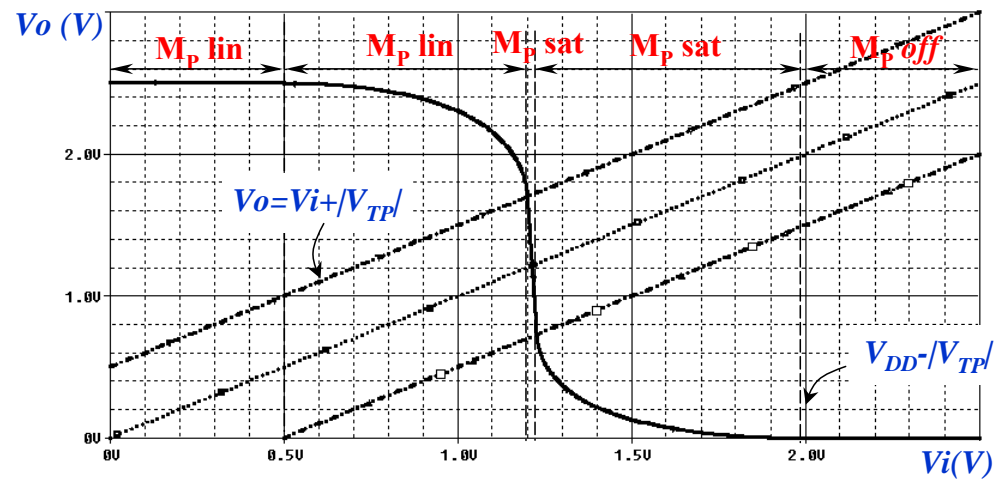
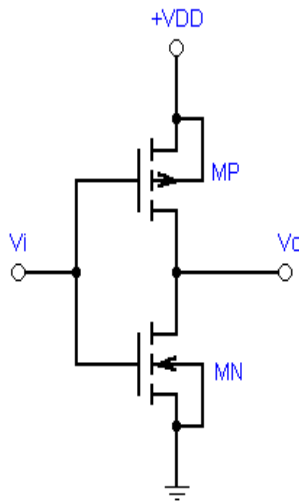
Regiões de funcionamento de MN

MN *on* se $V_i > V_{TN}$.

MN linear se: $V_{GD} > V_{TN} \Leftrightarrow V_i - V_o > V_{TN} \Leftrightarrow V_o < V_i - V_{TN}$

e saturado na condição contrária.

Inversor CMOS - VTC



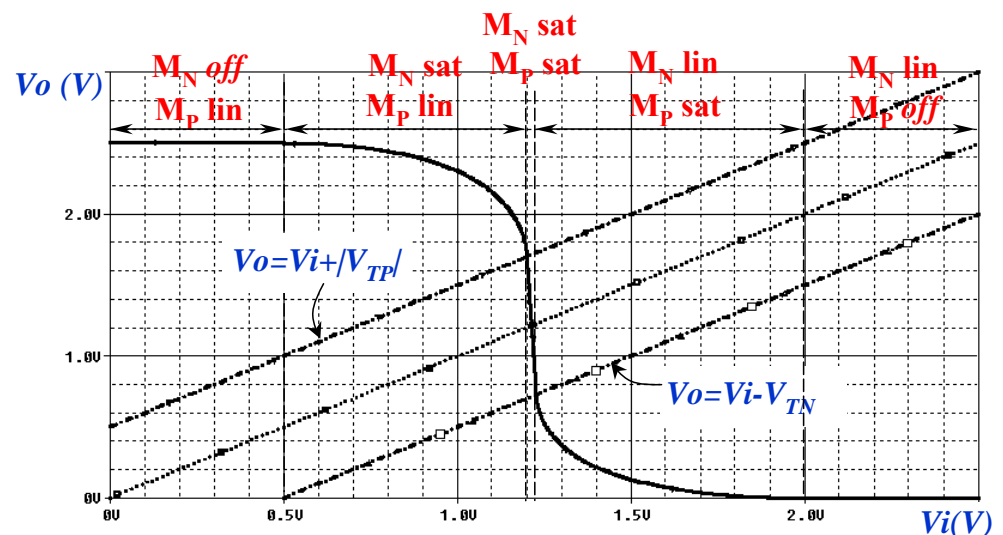
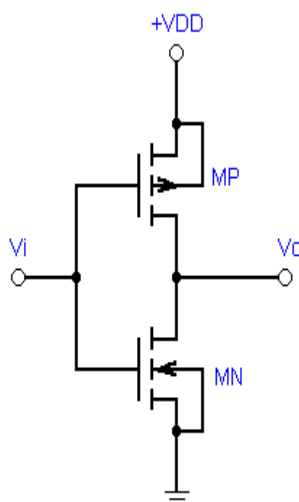
Regiões de funcionamento de MP

MP on se $V_{SG} > |V_{TP}| \Leftrightarrow V_{DD} - V_i > |V_{TP}| \Leftrightarrow V_i < V_{DD} - |V_{TP}|$

MP linear se $V_{DG} > |V_{TP}| \Leftrightarrow V_o - V_i > |V_{TP}| \Leftrightarrow V_o > V_i + |V_{TP}|$

e saturado na condição contrária.

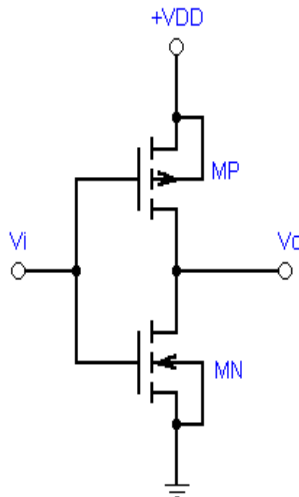
Inversor CMOS - VTC



MN e MP estarão saturados para $V_i - V_{TN} < V_o < V_i + |V_{TP}|$

A tensão de limiar $V_M = V_i = V_o$ **ocorre nesta zona e pode ser obtida pela equação** $I_{DSN} = I_{SDP}$

Inversor CMOS - VTC



Como ambos os transístores estão saturados na região de transição:

$$k_N (V_i - V_{TN})^2 = k_P (V_{DD} - V_i - |V_{TP}|)^2$$

com $K_R = k_P/k_N$.

$$V_M = \frac{V_{TN} + \sqrt{K_R} (V_{DD} - |V_{TP}|)}{1 + \sqrt{K_R}}$$

- Para **maximizar as margens de ruído** interessa posicionar V_M em $V_{DD}/2$, ou seja, a meio da excursão lógica. Da expressão conclui-se que isso é conseguido se $K_R = 1$ ($k_N = k_P$) e $V_{TN} = |V_{TP}|$.

Dimensionamento dos transístores

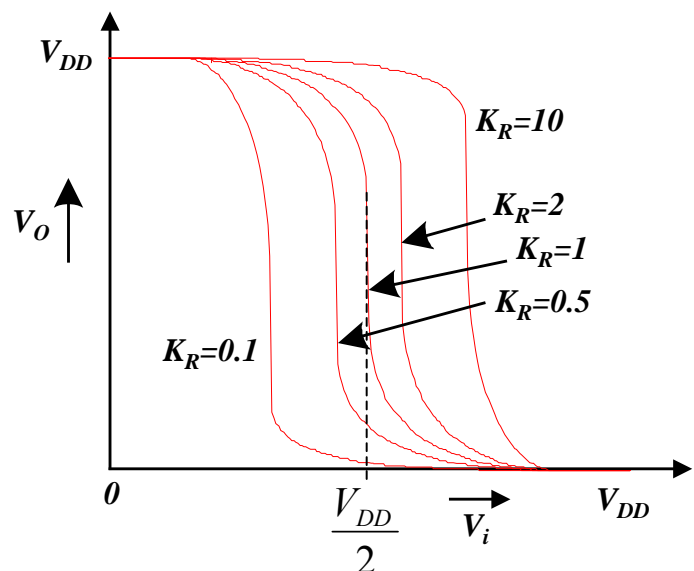
- Dado que $k_N = \frac{1}{2} \mu_n C_{OX} \left(\frac{W}{L} \right)_N$ e $k_P = \frac{1}{2} \mu_p C_{OX} \left(\frac{W}{L} \right)_P$

então

$$K_R = \frac{k_P}{k_N} = \frac{\mu_p \cdot (W/L)_P}{\mu_n \cdot (W/L)_N}$$

Como em geral $\mu_n/\mu_p \approx 2$ a 4 , o inversor será simétrico se

$$\frac{(W/L)_P}{(W/L)_N} \approx 2 \text{ a } 4$$



Inversor CMOS: Resposta transitória e potência dissipada

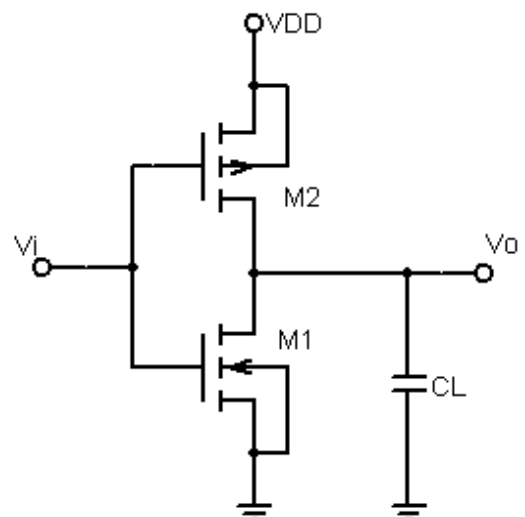
Resposta transitória do inversor CMOS

- Velocidade com que a saída muda de estado lógico depende do valor das capacidades...

- **Internas** – intrínsecas aos transístores do inversor;
- **Externas** – das ligações e de carga.

Modelo de Capacidade Concentrada

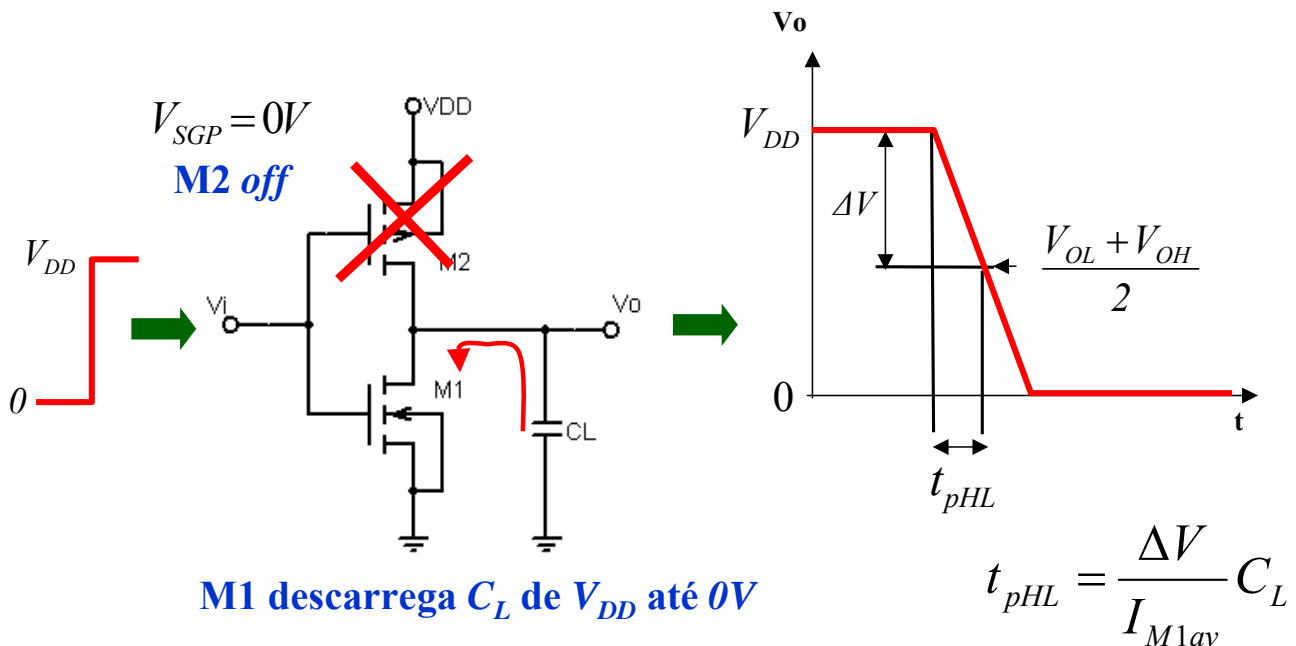
- Em lugar de considerarmos individualmente cada uma das capacidades intrínsecas dos transístores, consideramos um **único condensador** na saída, C_L , que representa o **efeito combinado** de todas as capacidades parasitas.



Resposta transitória do inversor CMOS

Tempo de propagação tp_{HL}

- Entrada transita de 0 → 1 ⇒ saída muda de 1 → 0.

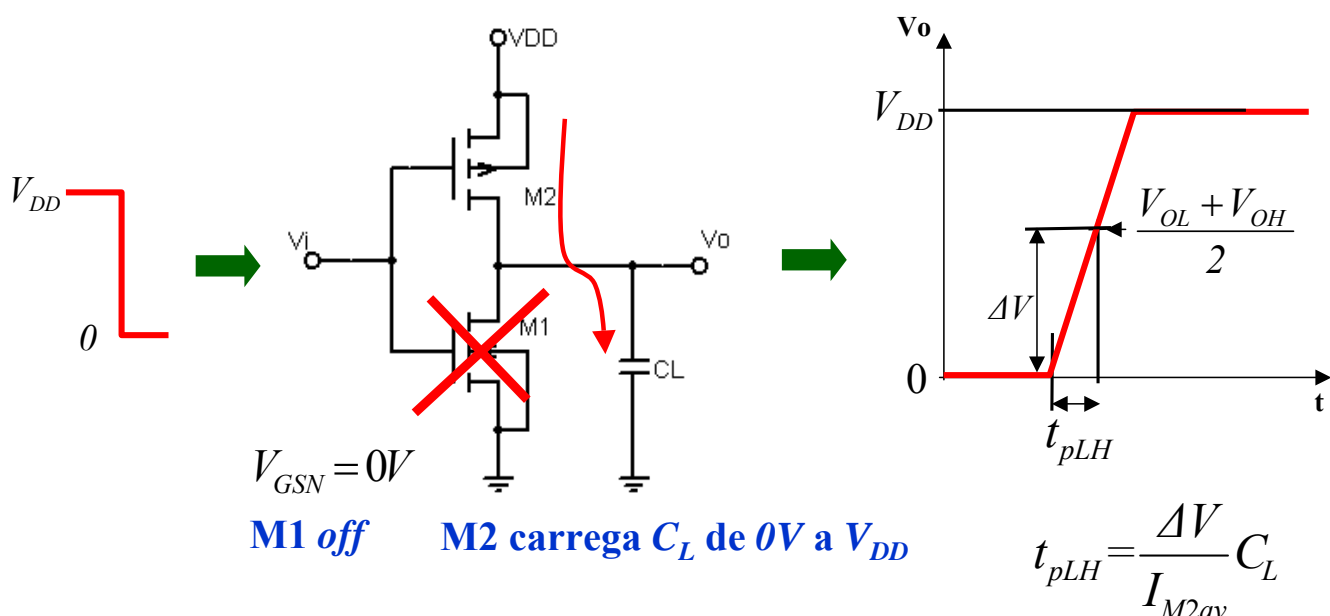


- I_{M1av} é a corrente média em M1.

Resposta transitória do inversor CMOS

Tempo de propagação tp_{LH}

- Entrada transita de 1 → 0 ⇒ saída muda de 0 → 1.



- I_{M2av} é a corrente média em M2.

Cálculo de tp_{HL}

Para $V_o = V_I = V_{DD}$ temos M1 saturado pelo que

$$I_{M1} = I_1 = k_N (V_{DD} - V_{TN})^2$$

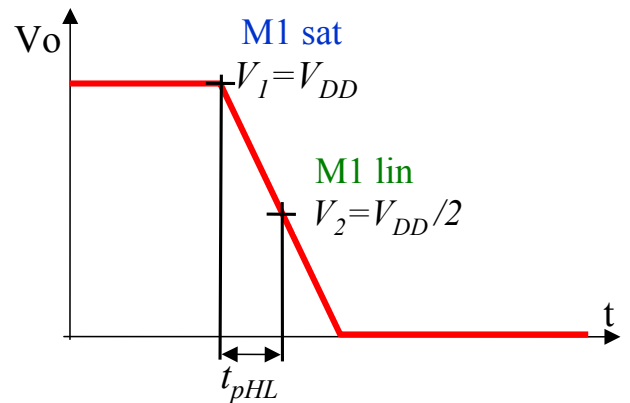
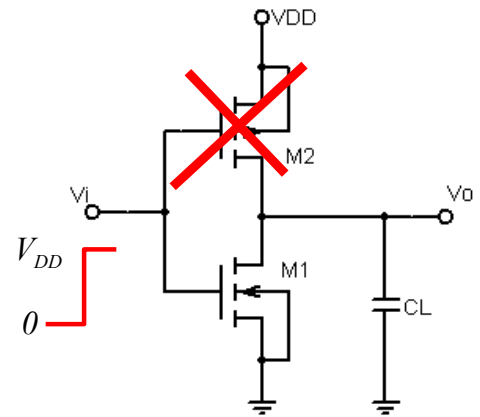
Para $V_o = V_2 = V_{DD}/2$ temos M1 linear pelo que

$$I_{M1} = I_2 = k_N \left[2(V_{DD} - V_{TN}) \frac{V_{DD}}{2} - \left(\frac{V_{DD}}{2} \right)^2 \right] =$$

$$= k_N V_{DD} \left(\frac{3V_{DD}}{4} - V_{TN} \right)$$

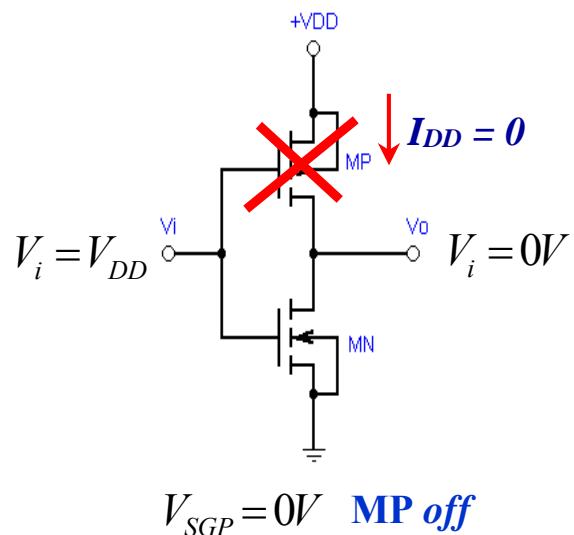
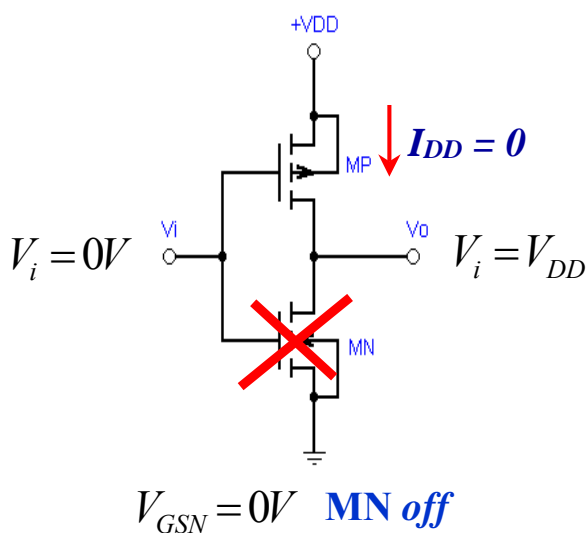
O tempo de propagação será dado por

$$t_{pHL} = \frac{\Delta V}{I_{M1av}} C_L \quad \text{com } \Delta V = V_{DD}/2 \text{ e } I_{M1av} \text{ igual à média aritmética de } I_1 \text{ e } I_2$$



Potência

- **Potência total** = Potência estática + Potência dinâmica;
- **Potência estática**: é praticamente **zero** porque em qualquer um dos estados lógicos há sempre um transistor cortado.



$$P_{stat} = 0W$$

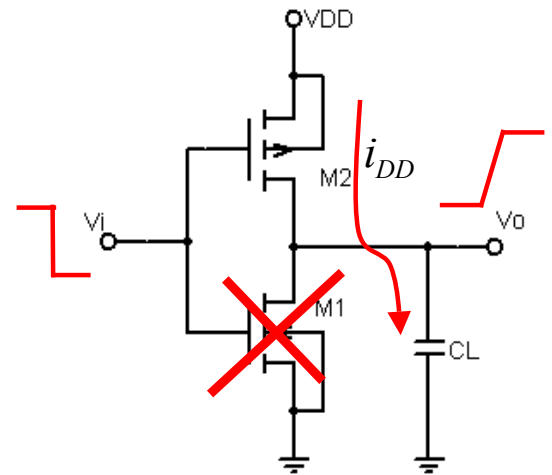
Potência dinâmica

- É a potência solicitada à fonte de alimentação para carregar a capacidade de carga;
- A energia solicitada à fonte de alimentação quando a saída faz a transição $0 \rightarrow 1$ é:

$$E_{VDD} = \int_0^{\infty} i_{DD} \cdot V_{DD} dt = V_{DD} \int_0^{\infty} C_L \cdot \frac{dV_o}{dt} dt = C_L \cdot V_{DD} \int_0^{V_{DD}} dV_o = C_L \cdot V_{DD}^2$$

- A energia armazenada no condensador é $E_C = \frac{1}{2} C_L V_{DD}^2$

- Ou seja, de toda a energia solicitada à fonte de alimentação, metade fica armazenada em C_L e a outra metade é dissipada no transistor PMOS.



Potência dinâmica

- Na transição da saída de $1 \rightarrow 0$ o condensador descarrega sobre o NMOS;
- Num ciclo de comutação (transição $0 \rightarrow 1$ seguida de transição $1 \rightarrow 0$) de período $T=1/f$, a potência solicitada à fonte de alimentação é pois

$$P_{dyn} = \frac{C_L V_{DD}^2}{T} = C_L V_{DD}^2 f$$

- Reduções substanciais da potência dissipada podem ser conseguidas **diminuindo a tensão de alimentação;**
- Dada a dependência directa com f , o circuito deve ser operado à **frequência mínima necessária.**

