

# Conversores Analógico-Digital (ADC)

## Conversão A/D



- A função da ADC é produzir uma palavra digital de saída de valor **directamente proporcional** à tensão analógica de entrada.

Se  $D$  for o valor decimal da palavra binária de saída:

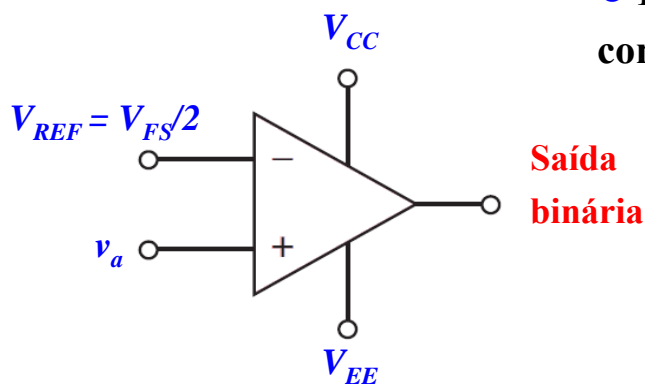
$$D = b_{N-1} 2^{N-1} + \dots + b_2 2^2 + b_1 2^1 + b_0 2^0$$

Então o que se pretende da ADC é que

$$D = K \cdot v_a \quad \text{Sendo } K \text{ uma constante de proporcionalidade}$$

## ADC paralela ou *flash*

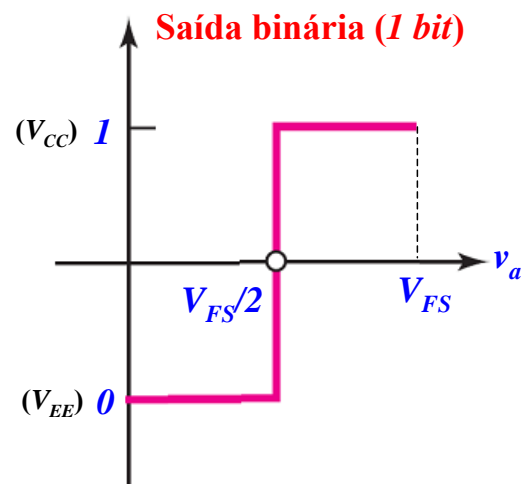
## ADC paralela ou *flash*



- Baseia-se no simples facto de um comparador ser uma ADC elementar

Saída

$$\left\{ \begin{array}{l} 1 \text{ se } v_a > V_{FS} / 2 \\ 0 \text{ se } v_a < V_{FS} / 2 \end{array} \right.$$



**NOTA:** assumindo que as tensões de saturação são  $V_{CC}$  e  $V_{EE}$  o que nem sempre acontece!

## ADC paralela (de 3 bits)

- Sinal analógico,  $v_a$ , é comparado simultaneamente com vários níveis de quantização criados por um divisor de tensão resistivo;
- Saída dos comparadores é codificada num valor de  $N$ -bits pelo circuito lógico.

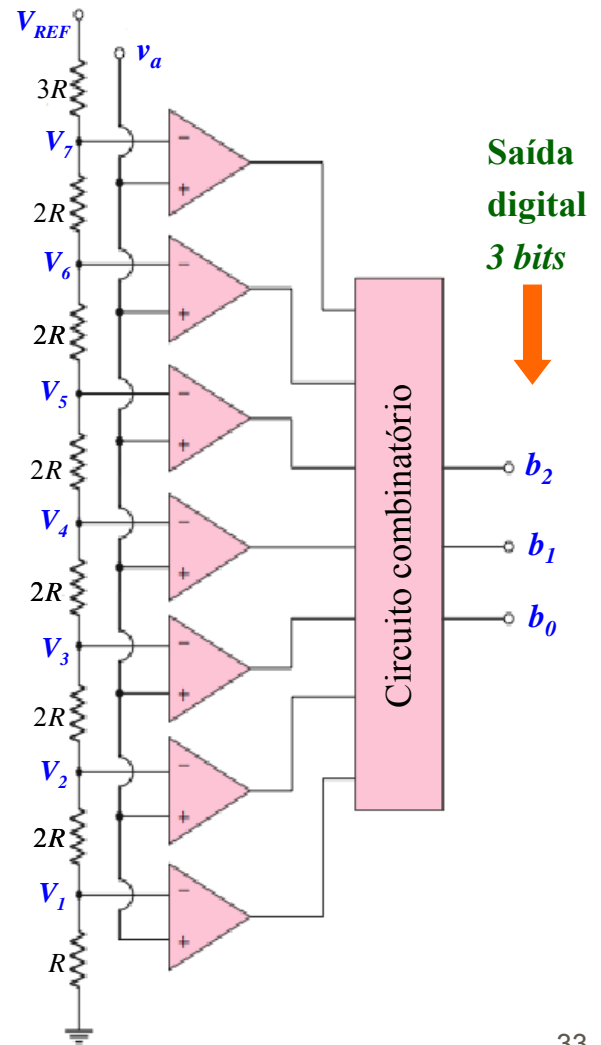
Níveis de quantização:

$$V_1 = \frac{R}{R+15R} V_{REF} = \frac{1}{16} V_{REF}$$

$$V_2 = \frac{3R}{3R+13R} V_{REF} = \frac{3}{16} V_{REF}$$

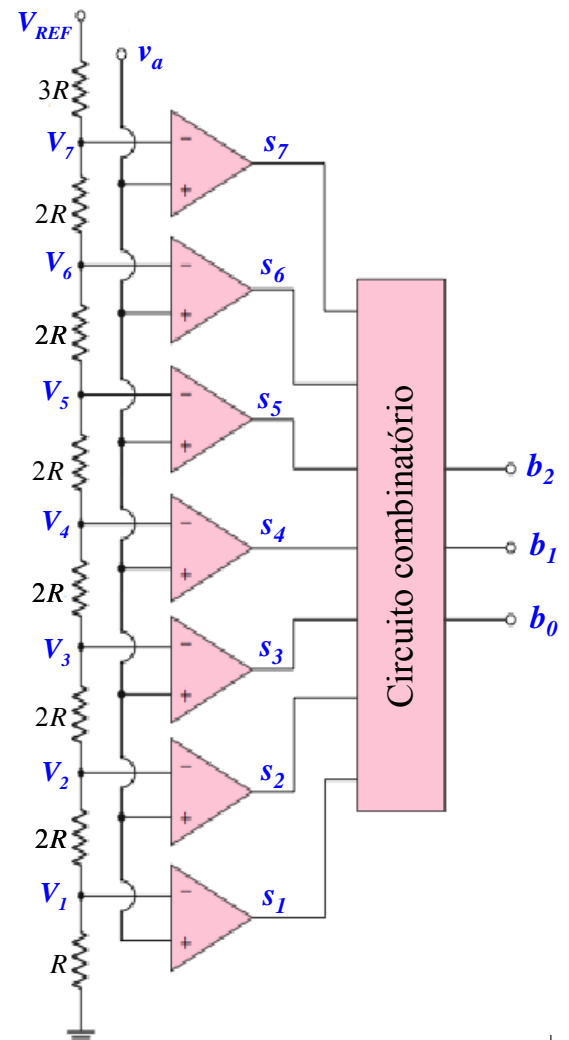
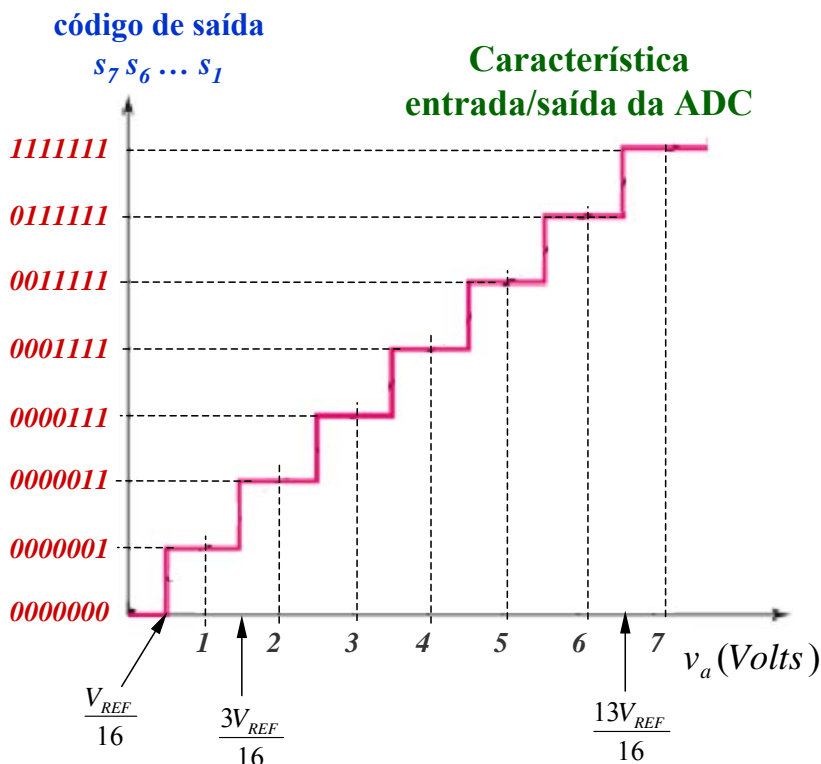
...

$$V_7 = \frac{13R}{13R+3R} V_{REF} = \frac{13}{16} V_{REF}$$



## ADC paralela (de 3 bits)

Exemplo:  $V_{REF} = 8V$



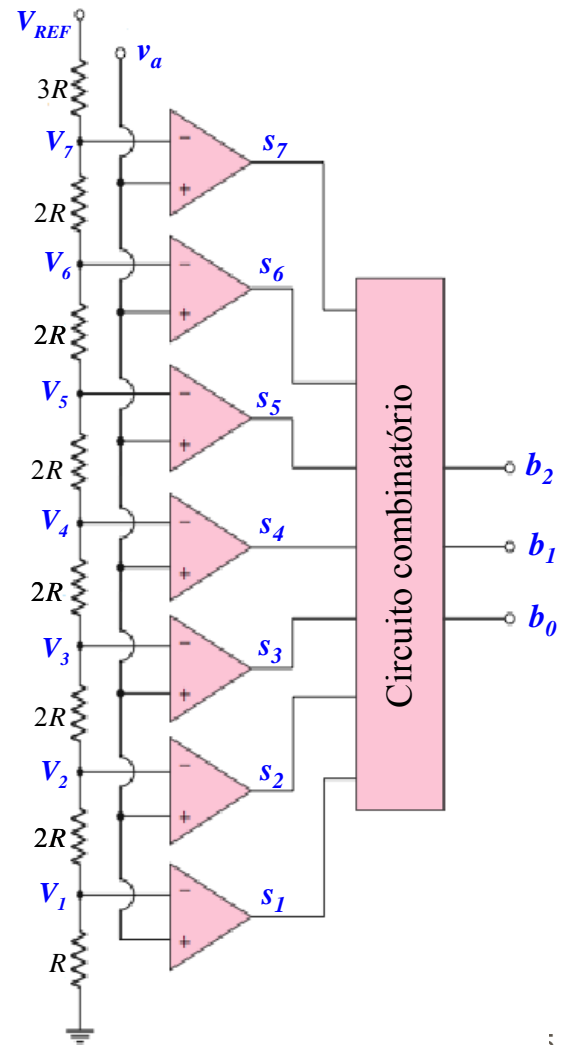
## ADC paralela (de 3 bits)

Tabela de verdade do circuito lógico

$s_7$	$s_6$	$s_5$	$s_4$	$s_3$	$s_2$	$s_1$	$b_2$	$b_1$	$b_0$
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	1	0	0	1
0	0	0	0	0	1	1	0	1	0
0	0	0	0	1	1	1	0	1	1
0	0	0	1	1	1	1	1	0	0
0	0	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	0
1	1	1	1	1	1	1	1	1	1

**Vantagem:** a mais rápida das ADCs ( $t_c < 1ns$ );

**Desvantagem:** número de comparadores e resistências cresce exponencialmente com  $N$ .



## ADC de contagem

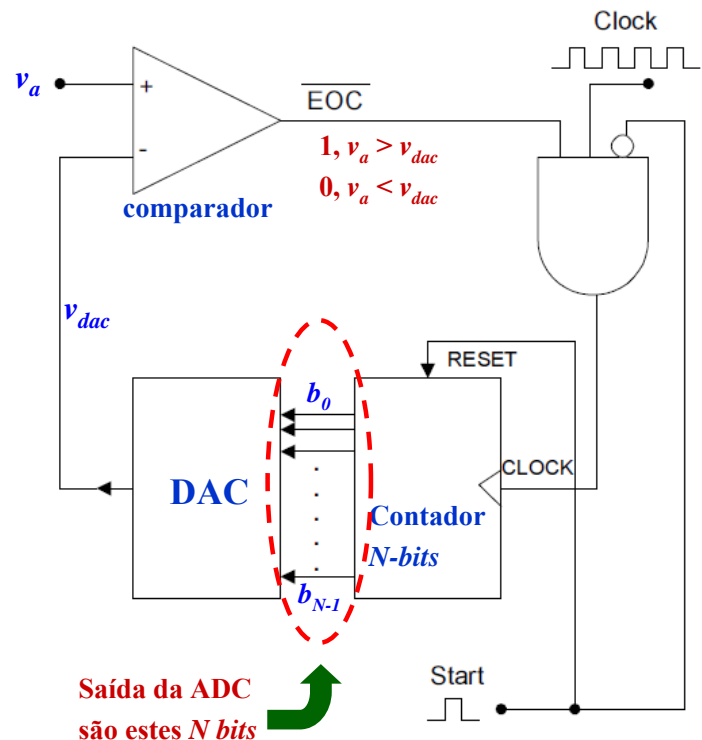
## ADC de contagem

- Uma (de entre várias) ADC que usa uma DAC no *loop de feedback*;

### Funcionamento:

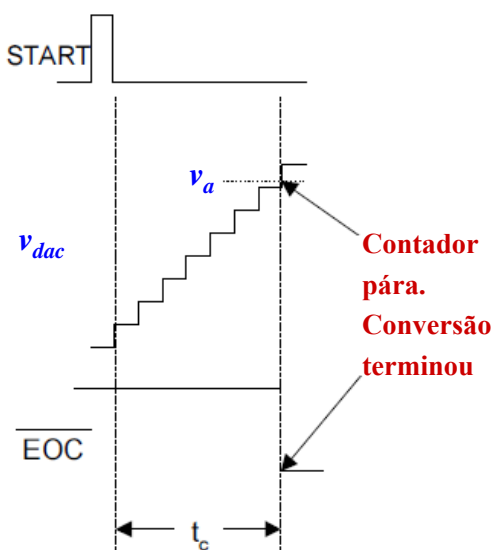
- 1) Impulso em **Start** faz *reset* do contador;
- 2) Saída da DAC,  $v_{dac}$ , vai a 0V;
- 3) Como  $v_a > 0$ , /EOC vem a 1;
- 4) Clock faz avançar o contador;
- 5) Assim que  $v_{dac} > v_a$  /EOC vem a 0;
- 6) Entrada Clock no contador fica a 0, pelo que a contagem pára;
- 7) Valor final do contador é o valor digital de saída da ADC.

Como  $v_{dac} = K.D$  e  $v_{dac} \approx v_a$   
 então  $D \approx \frac{1}{K} v_a$  como desejado

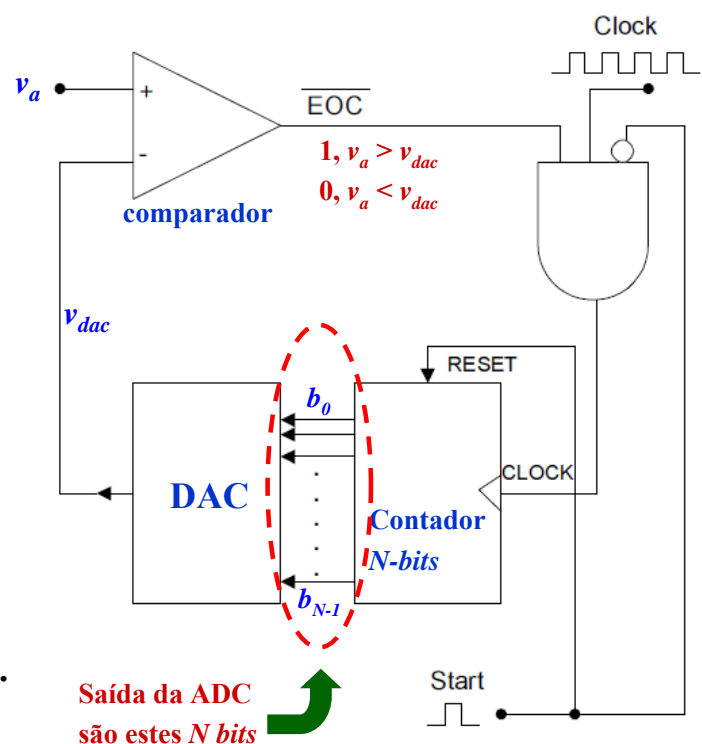


## ADC de contagem

### Funcionamento – diagrama temporal



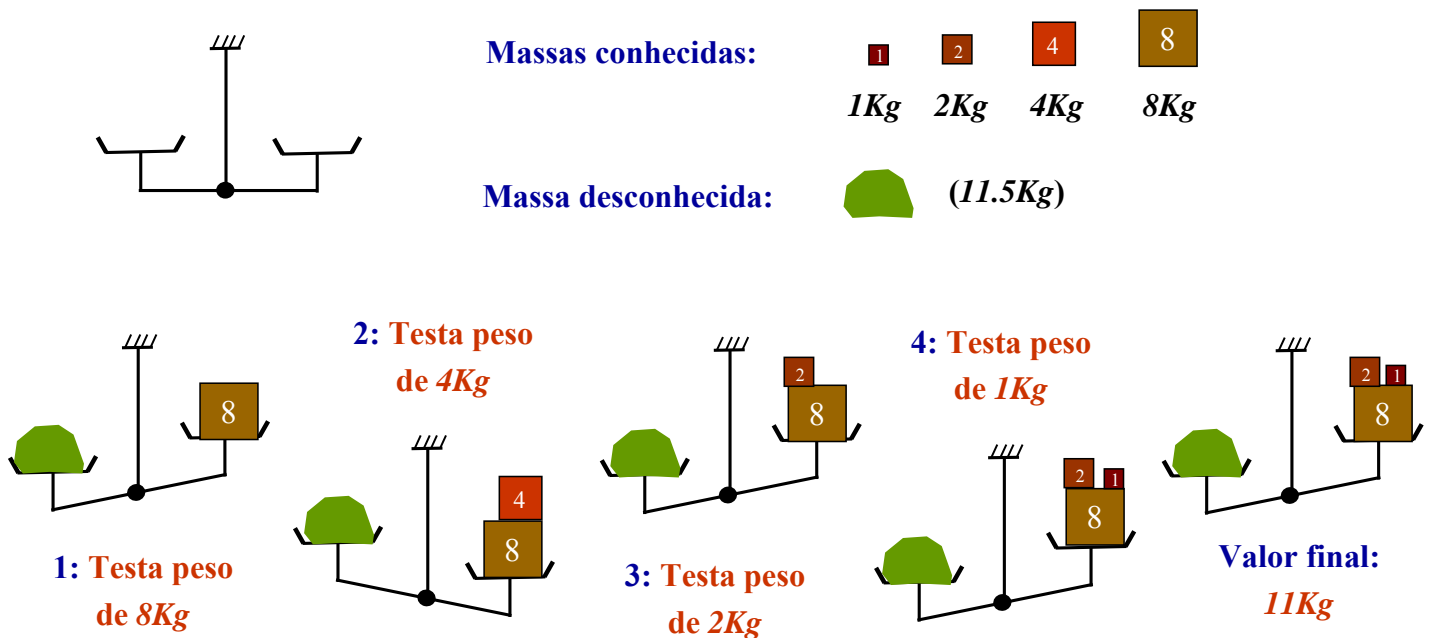
**Desvantagem:** Tempo de conversão,  $t_c$ , depende do valor de  $v_a$  e pode ser grande.



## ADC de aproximações sucessivas

## ADC de aproximações sucessivas

- É uma das ADCs mais usadas em realizações práticas;
- Algoritmo de **Aproximações Sucessivas** é semelhante ao processo de pesagem numa balança de dois pratos:



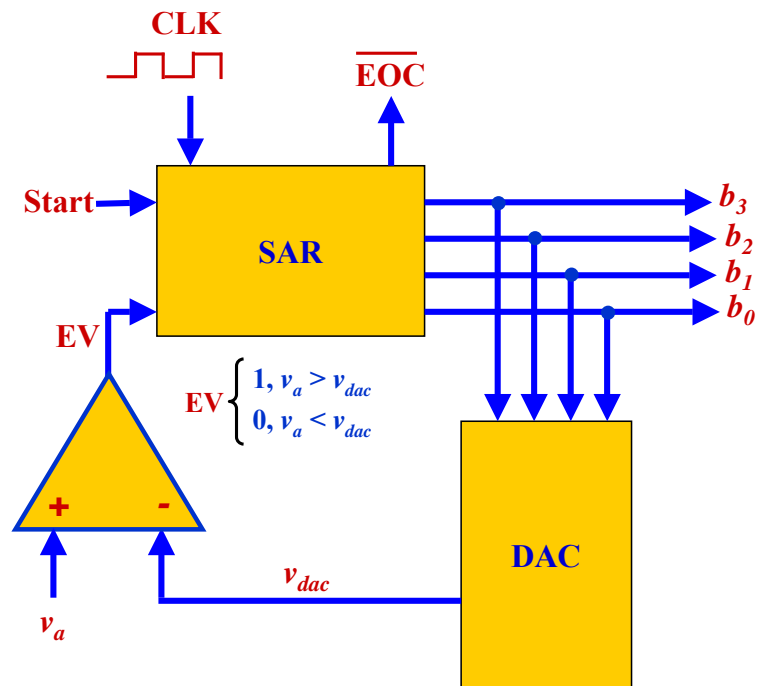
## ADC de aproximações sucessivas

- *Balança* é realizada por um comparador (OpAmp em *loop* aberto);

- Bits  $b_3$  a  $b_0$  correspondem aos pesos conhecidos a colocar num dos pratos da balança (DAC);

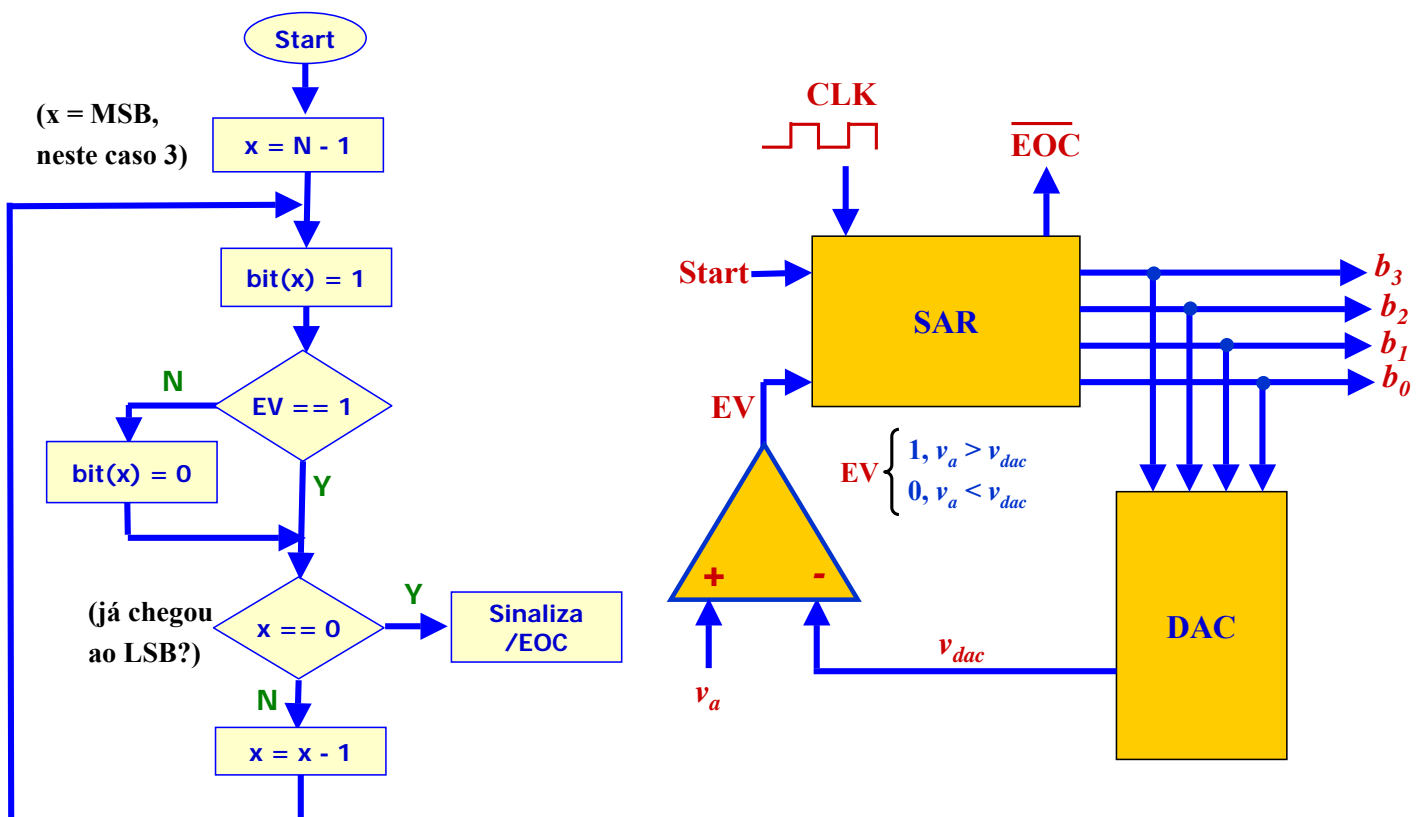
- **SAR**: circuito sequencial síncrono que implementa o **Algoritmo de Aproximações Sucessivas**;

- SAR testa um bit de cada vez, começando no MSB ( $b_3$ ) e terminando no LSB ( $b_0$ ).



## ADC de aproximações sucessivas

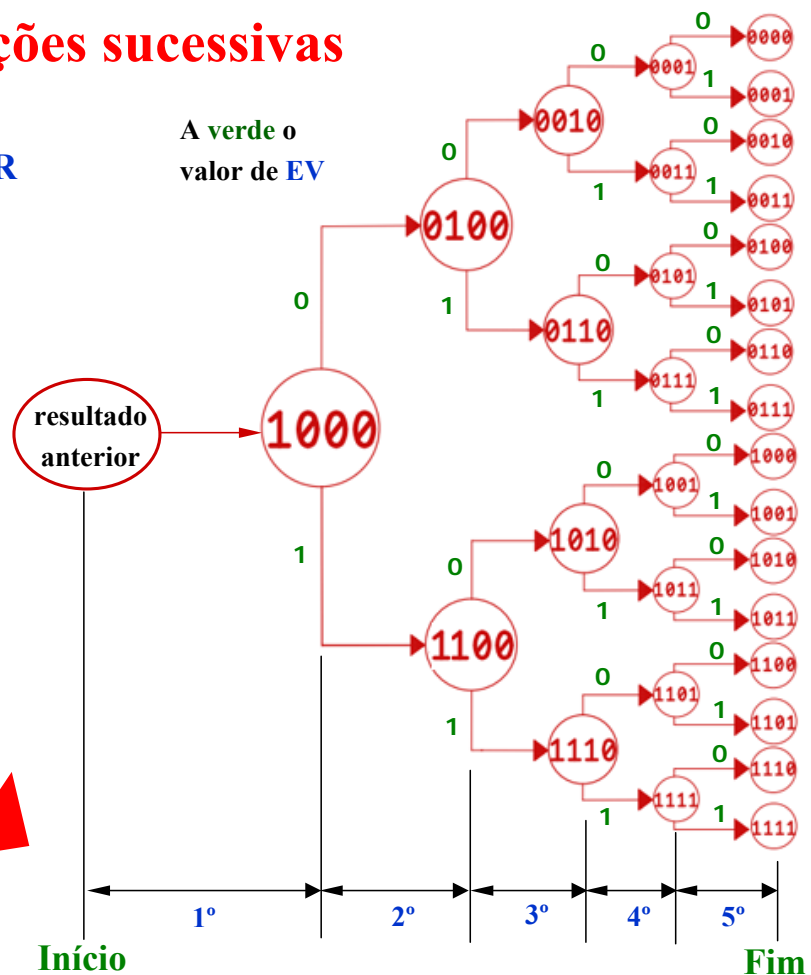
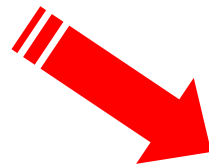
### Algoritmo de Aproximações Sucessivas



# ADC de aproximações sucessivas

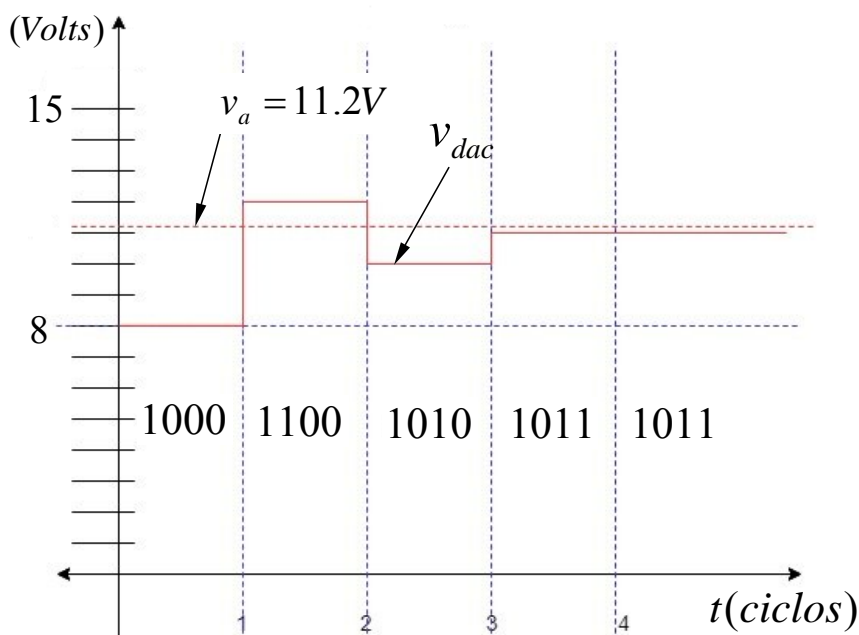
## Diagrama de estados dos SAR

- Tempo de conversão é sempre  $N+1$  ciclos de *clock*



# ADC de aproximações sucessivas

- Evolução de  $v_{dac}$  durante a conversão, supondo  $v_{dac} = -\frac{V_{REF}}{2^4} D$   
com  $V_{REF} = -16V$



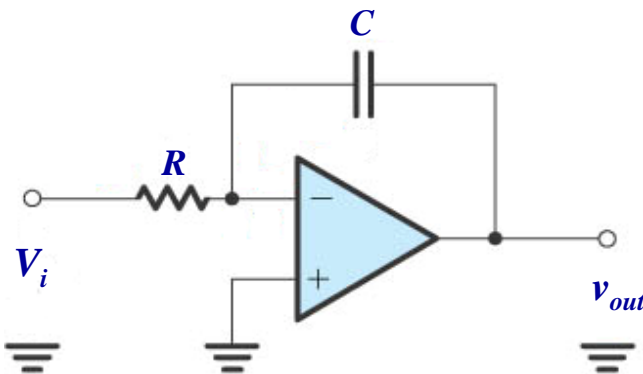
- ADCs comerciais apresentam resoluções até **16 bits** e tempos de conversão de **1  $\mu s$**  ou menos.



## ADC de dupla rampa

## ADC de dupla rampa

- Uma das ADCs mais lentas, mas que permite obter grandes resoluções;
- Baseia-se no circuito integrador com OpAmp:



$$v_{out} = -\left(\frac{1}{RC} \int_0^t V_i dt + v_c(0)\right)$$

- Se  $v_c(0) = 0V$  e  $V_i$  for uma tensão DC, então

$$v_{out} = -\frac{V_i}{RC} t$$

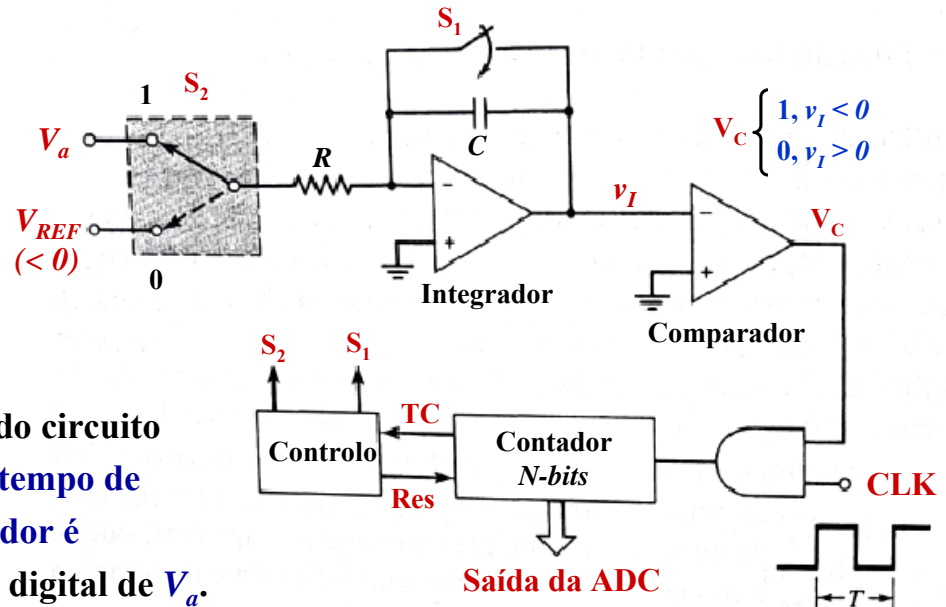
- $RC$  é a *constante de tempo de integração*.

- Portanto  $v_{out}$  varia segundo uma rampa.

## ADC de dupla rampa

- **Funciona em duas fases:**

- 1) A tensão  $V_a$  é integrada durante um intervalo de tempo fixo;
- 2) A carga acumulada no condensador é descarregada com uma corrente constante.

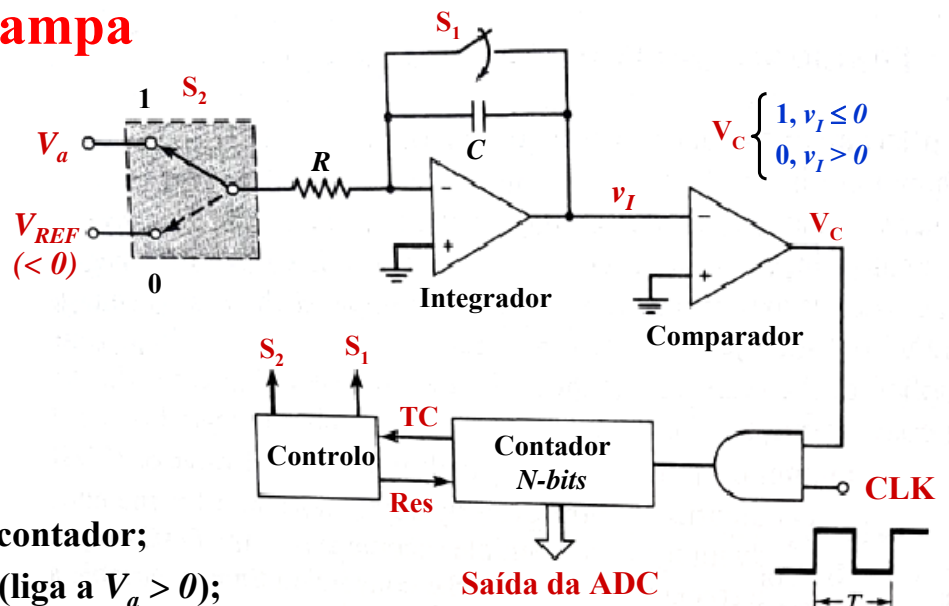


● Do funcionamento do circuito pode provar-se que o **tempo de descarga do condensador é proporcional** ao valor digital de  $V_a$ .

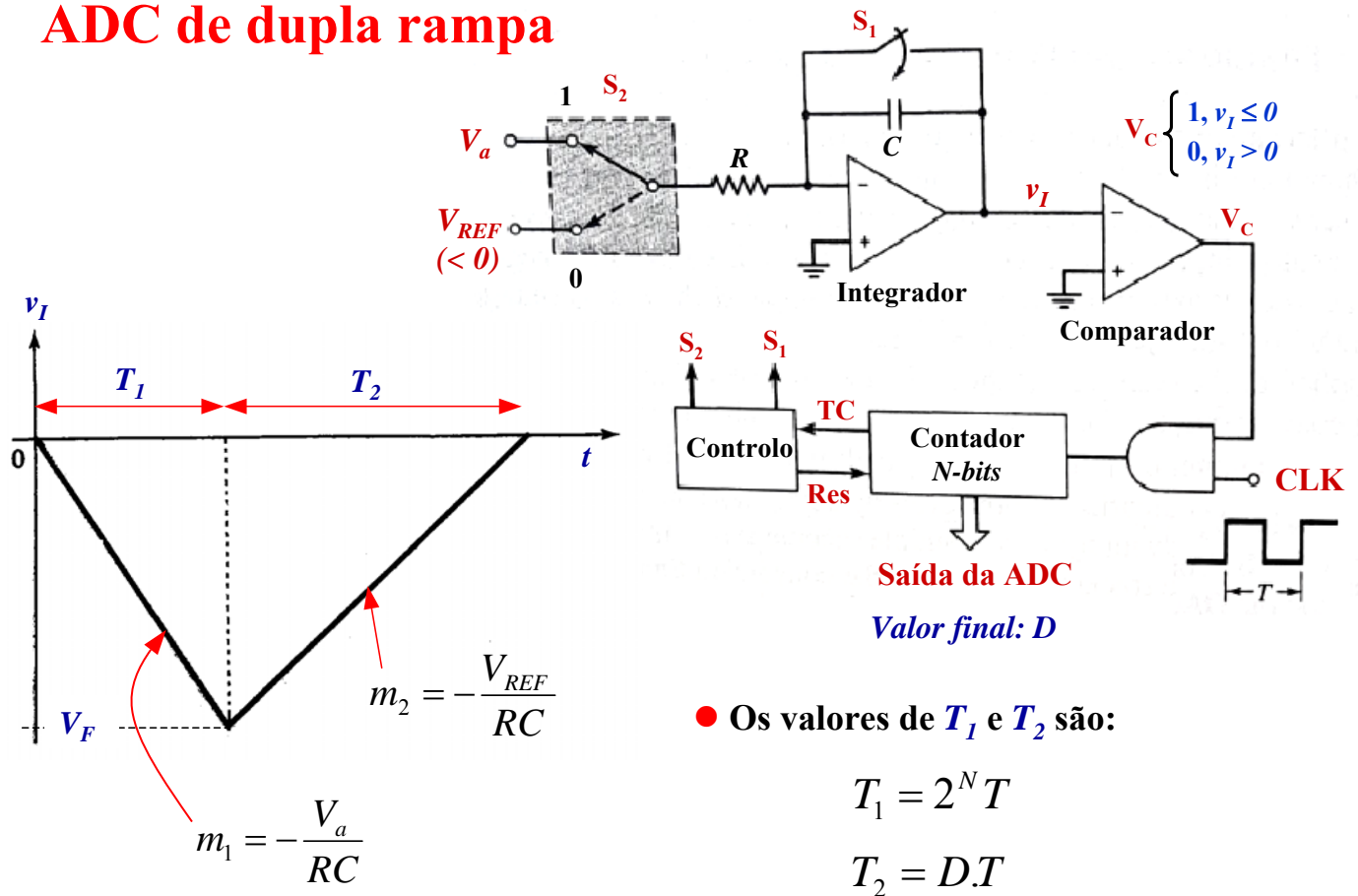
## ADC de dupla rampa

● **Funcionamento da ADC é orquestrado pelo circuito Controlo, que executa a sequência seguinte:**

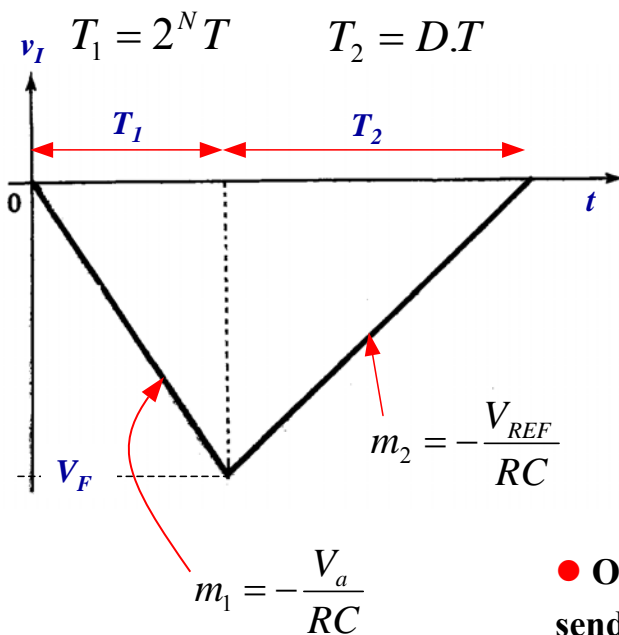
- 1)  $S_1$  fecha  $\Rightarrow v_I = 0V$ ;
- 2)  $Res = 1 \Rightarrow$  reset do contador;
- 3)  $S_2$  fica na posição 1 (liga a  $V_a > 0$ );
- 4) Tensão  $v_I$  **desce em rampa**;  $V_C = 1 \Rightarrow$  contador conta;
- 5) Quando o contador dá a volta,  $TC = 1$ ;
- 6)  $S_2$  muda para a posição 0 (liga a  $V_{REF} < 0$ );
- 7) Tensão  $v_I$  **sobe em rampa**;
- 8) Quando  $v_I > 0V$ ,  $V_C = 0 \Rightarrow$  contador pára contagem;
- 9) Valor no contador (D) é o valor digital da ADC.



## ADC de dupla rampa



## ADC de dupla rampa



- O tempo de conversão **depende de  $V_a$** , sendo, no máximo,  $t_{cMAX} = 2.2^N T$

- Na prática  $t_c$  é da ordem dos **mili-segundos**;
- ADC é muito usada em aplicações de instrumentação: e.g. multímetros.