

# Sistemas Electrónicos



## Capítulo 6: Circuitos Digitais

### Parte 2

Ernesto Martins

[evm@ua.pt](mailto:evm@ua.pt)

DETI (gab. 4.2.38)

Universidade de Aveiro



Sistemas Electrónicos – 2020/2021

## Sumário

- **Lógica CMOS: introdução;**
- **Portas NAND e NOR;**
- **Síntese de circuitos CMOS;**
- **Transístores de passagem e portas de transmissão: portas com transístores de passagem, degradação dos níveis lógicos, circuitos com portas de transmissão.**
- **Circuitos dinâmicos CMOS: princípio de funcionamento, lógica dominó, limitações das portas dinâmicas.**

# Lógica CMOS: introdução

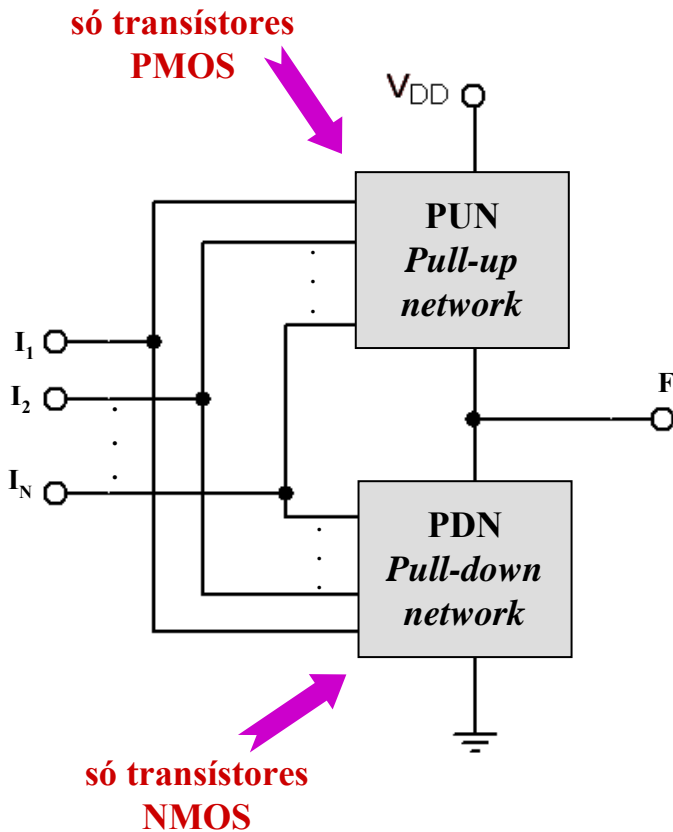
## Introdução

- Circuitos que realizam funções Booleanas, e.g.  $F = \overline{A.(B + C)} + D$
- De entre os circuitos CMOS, a **família lógica CMOS complementar** é, de longe, a mais importante;
- CMOS complementar pertence à classe dos **circuitos estáticos**.

### Circuitos estáticos

- Saídas assumem, em qualquer instante, o valor da função implementada pelo circuito;
- Em qualquer dos níveis lógicos, ‘1’ ou ‘0’, as saídas apresentam **baixa impedância**.

## Conceito CMOS



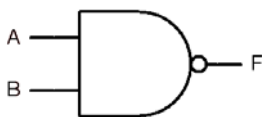
● Função lógica é realizada por dois circuitos complementares:

- PUN – Pull-Up Network;
- PDN – Pull-Down Network.

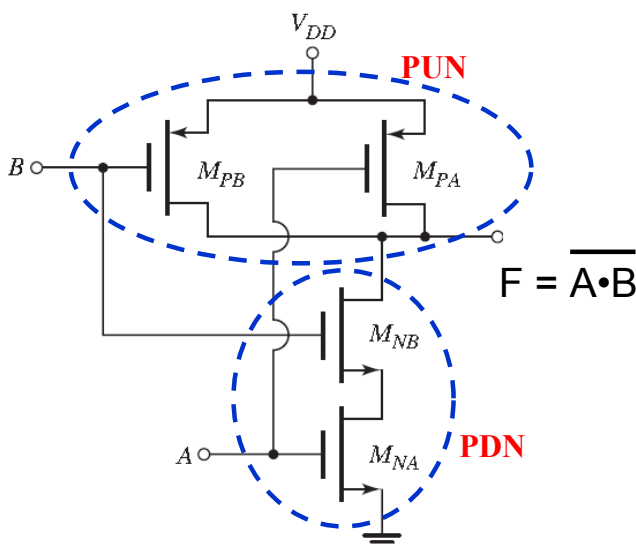
● **PUN:** Estabelece uma ligação entre a **saída e  $V_{DD}$** , para todas as combinações das entradas em que  **$F = '1'$** ;

● **PDN:** Estabelece uma ligação entre a **saída e a massa**, para todas as combinações das entradas em que  **$F = '0'$** ;

## Portas CMOS: NAND



**Porta NAND**



A	B	PUN	PDN	F
0	0	ON	OFF	1
0	1	ON	OFF	1
1	0	ON	OFF	1
1	1	OFF	ON	0

● Portas CMOS mantêm **todas as propriedades já estudadas para o inversor**:  $V_{OH} = V_{DD}$ ,  $V_{OL} = 0$ , boas margens de ruído, *ratioless*, potência estática nula, etc;

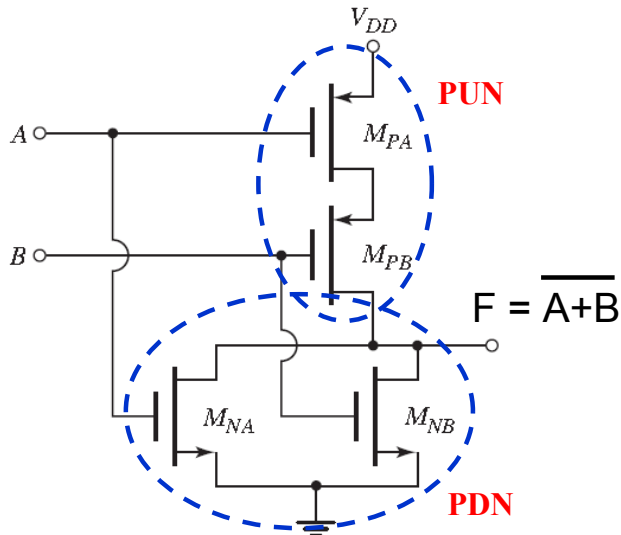
● **PUN e PDN são mutuamente exclusivos**: para cada combinação de entradas, apenas um é activado.

## Portas CMOS: NOR



**Porta NOR**

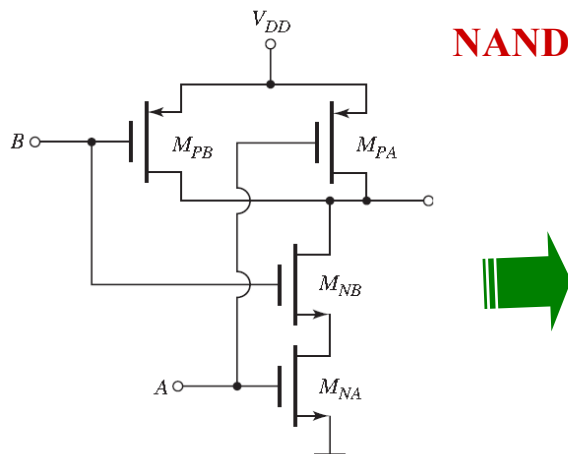
A	B	PUN	PDN	F
0	0	ON	OFF	1
0	1	OFF	ON	0
1	0	OFF	ON	0
1	1	OFF	ON	0



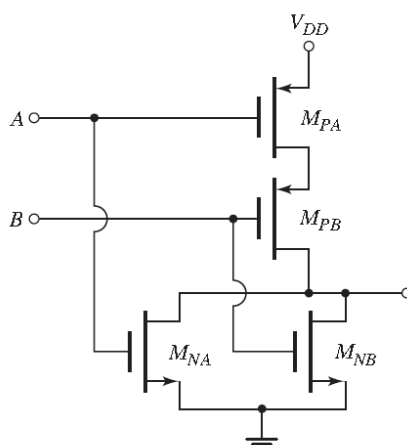
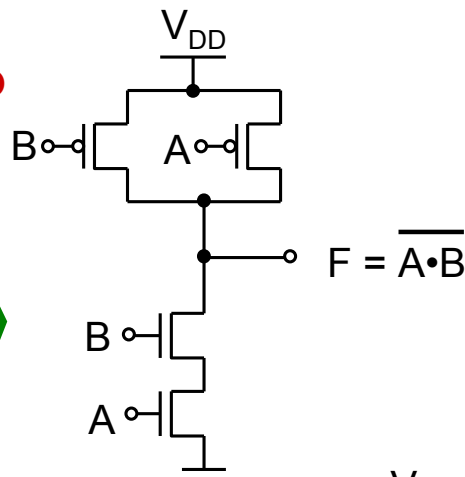
● PUN e PDN são **circuitos eléctricos duais**: transístores (NMOS) em série no PDN, correspondem a transístores (PMOS) em paralelo no PUN, e vice-versa:

● Todas as funções são inversoras.

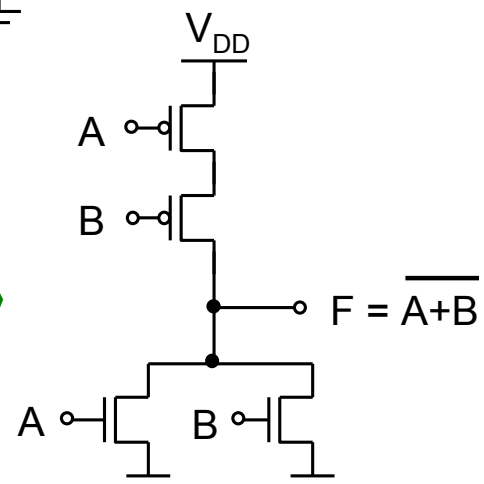
## Esquemas equivalentes



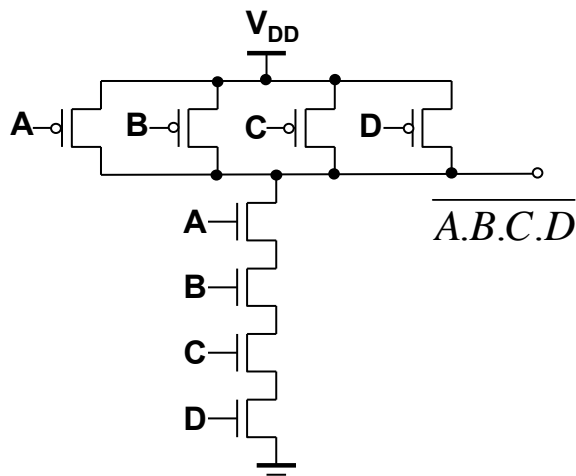
**NAND**



**NOR**



## NAND e NOR com $fan-in > 2$



**NAND-4**

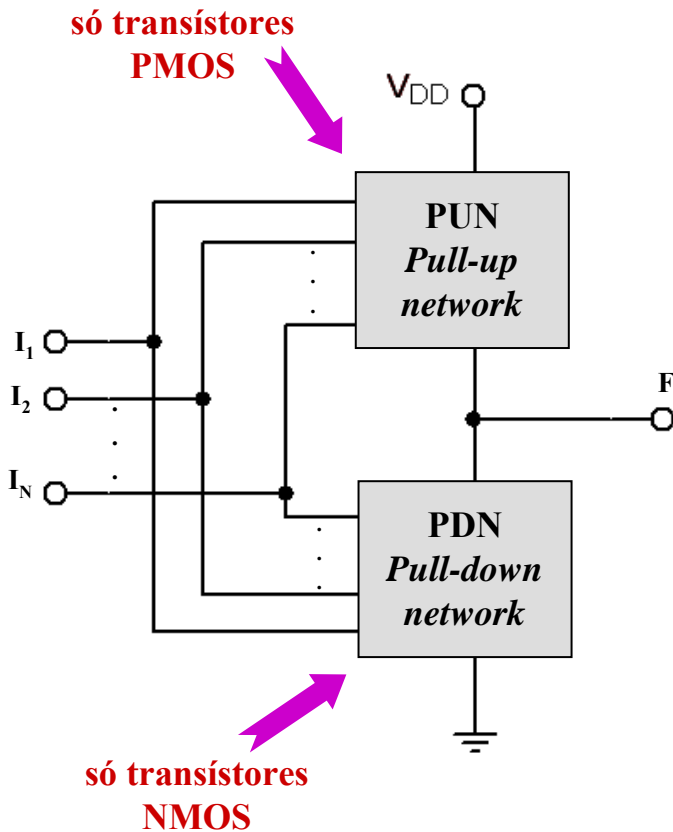
- **NAND:** Basta adicionar mais transístores em paralelo no PUN e em série no PDN;

- Porta vai exibir **tempos de propagação  $t_{pLH}$  diferentes** consoante o numero de transístores activos no PUN;

- Se todos os transístores do PUN forem activados (i.e., se a entrada for a '0'),  **$t_{pLH}$  terá o valor minimo.**

## Síntese de circuitos CMOS

## Síntese de circuitos lógicos



● A regra básica de construção do PUN e PDN é:

- **Variáveis ligadas pelo operador OR (+):** transístores em paralelo no PDN e em série no PUN;
- **variáveis ligadas pelo operador AND (.):** transístores em série no PDN e em paralelo no PUN.

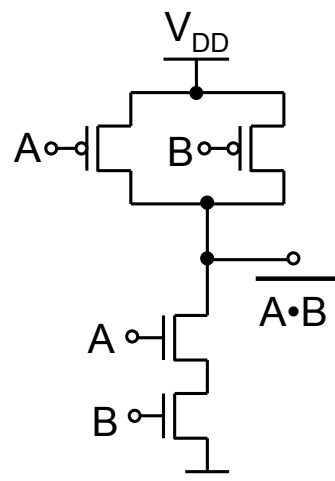
## Síntese de circuitos lógicos

### Procedimento:

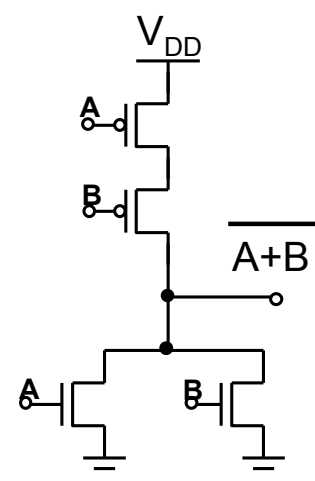
**1 – Começar pelo PDN:** transístores em série para implementar a função *AND*; transístores em paralelo para a função *OR*.

**2 – derivar PUN usando o princípio da dualidade:**

Séries no PDN correspondem a paralelos no PUN;  
Paralelos no PDN correspondem a séries no PUN.



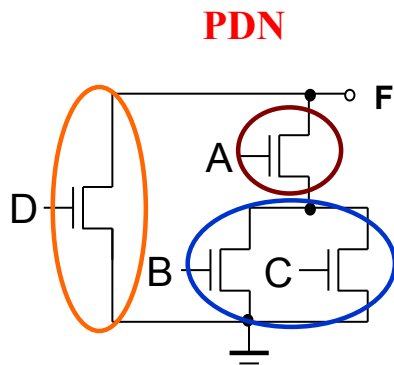
**NAND-2**



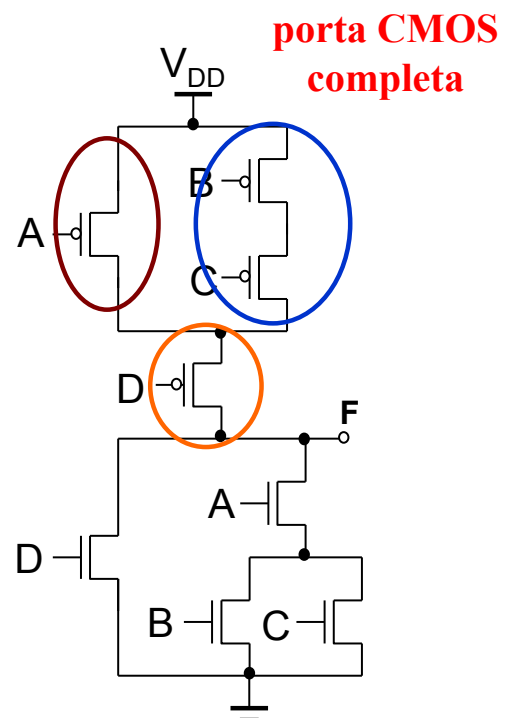
**NOR-2**

## Síntese de circuitos lógicos

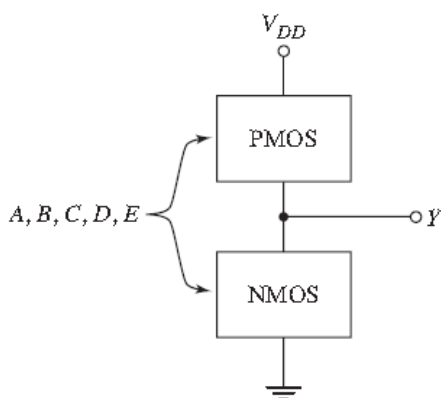
**Exemplo:**  $F = \overline{D+A \cdot (B+C)}$



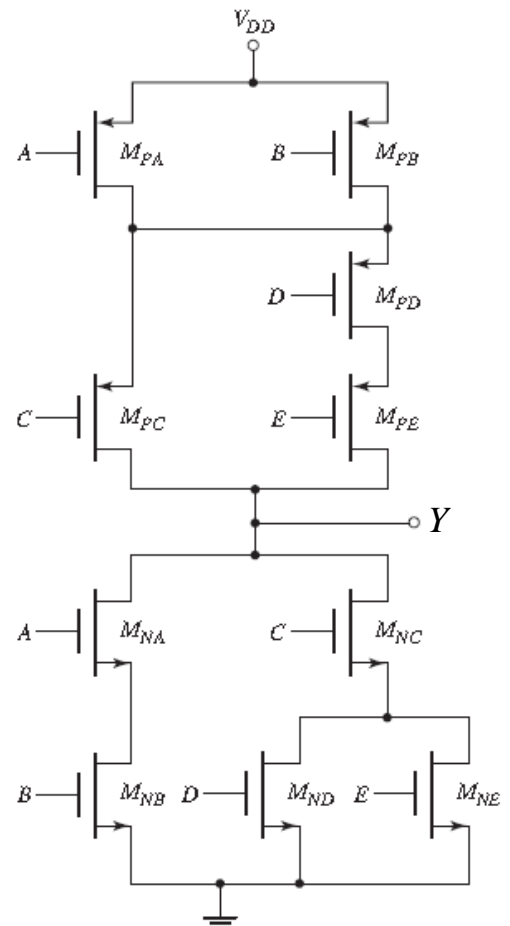
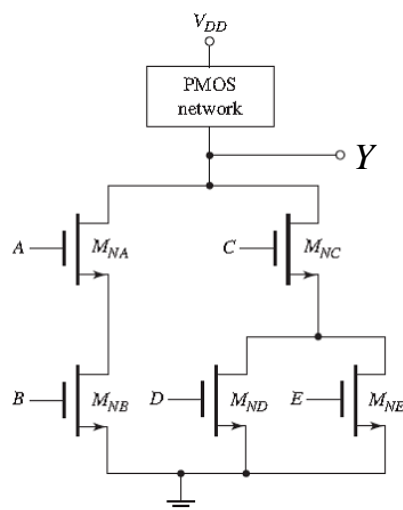
● **Número total de transístores**  
=  $2 \times (\text{n}^\circ \text{ de variáveis})$



## Síntese de circuitos lógicos

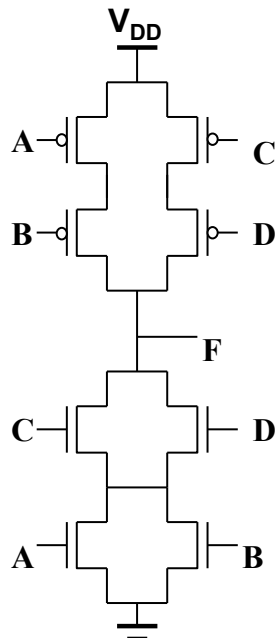


$$Y = \overline{A \cdot B + C(D + E)}$$

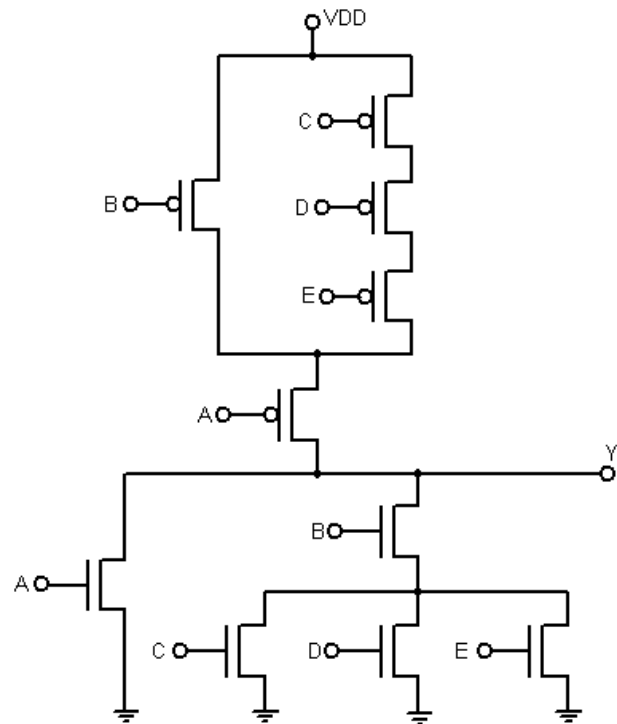


## Síntese de circuitos lógicos

$$F = \overline{(A + B)(C + E)}$$



$$Y = \overline{A + B.(C + D + E)}$$



E. Martins, DETI Universidade de Aveiro

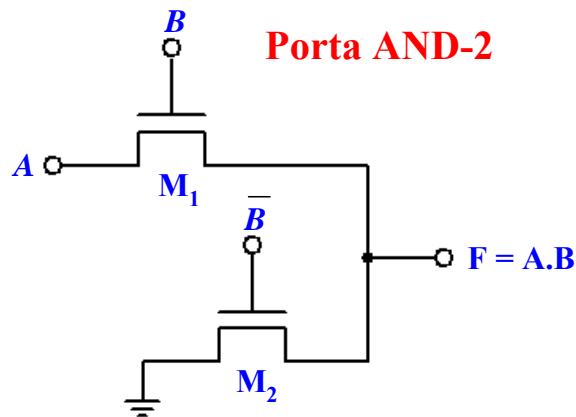
6.2-15

## Transístores de passagem e portas de transmissão



## Circuitos com transístores de passagem

- Utilizam transístores ligado transversalmente a funcionar como interruptores;
- Desenvolvidos para permitir implementações com menos transístores do que o CMOS complementar ( $2N$ ).

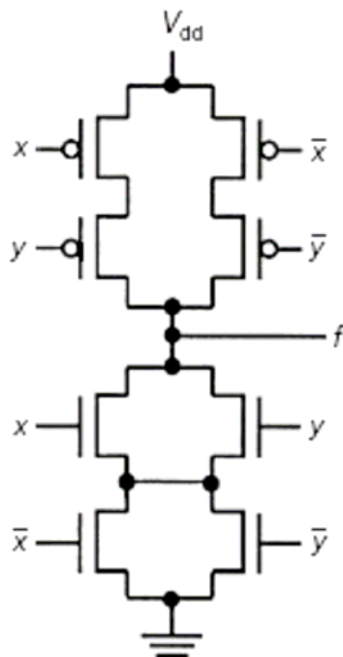


A	B	M <sub>1</sub>	M <sub>2</sub>	F
0	0	off	on	0
0	1	on	off	0
1	0	off	on	0
1	1	on	off	1

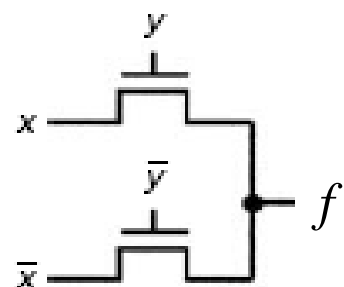
- Requer apenas **4 transístores**, contra os **6** necessários em CMOS complementar (4 para a NAND2 + 2 transístores para o inversor de saída);

## Outras funções: EQUIV (EXOR negado)

$$f = x \oplus y$$



**CMOS:**  
 8  
 + 2 (inv X)  
 + 2 (inv Y)  
 = 12  
**transístores**



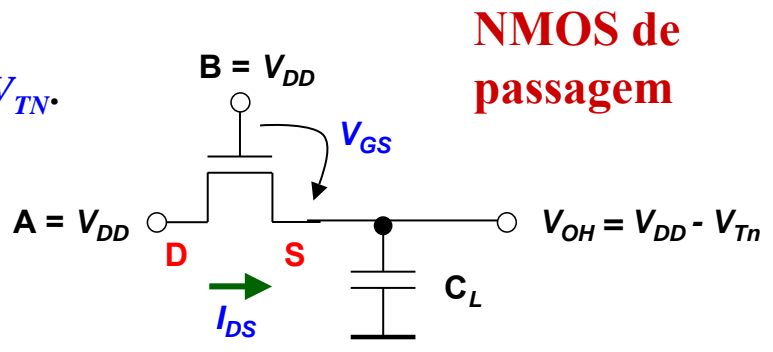
**Transístores de  
passagem:**  
 2  
 + 2 (inv X)  
 + 2 (inv Y)  
 = 6 **transístores**

**NOTA:** Esta redução do número de transístores só se verifica em **certas** funções lógicas.

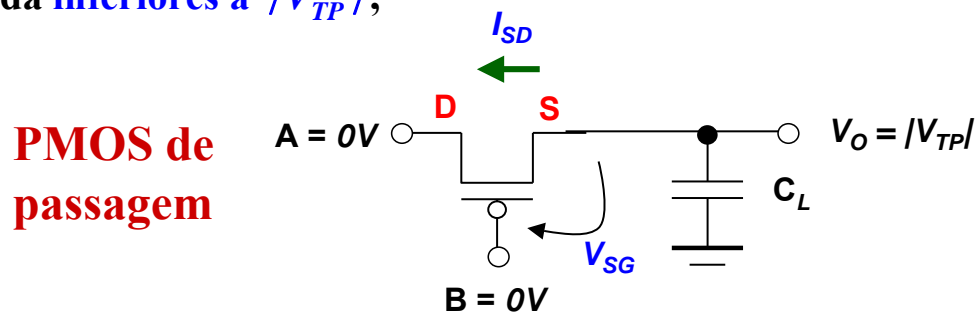
## Níveis lógicos degradados

- Maior problema dos transístores de passagem é que **degradam os níveis lógicos**;

- Os NMOS não permitem um nível de saída superior a  $V_{DD} - V_{TN}$ .

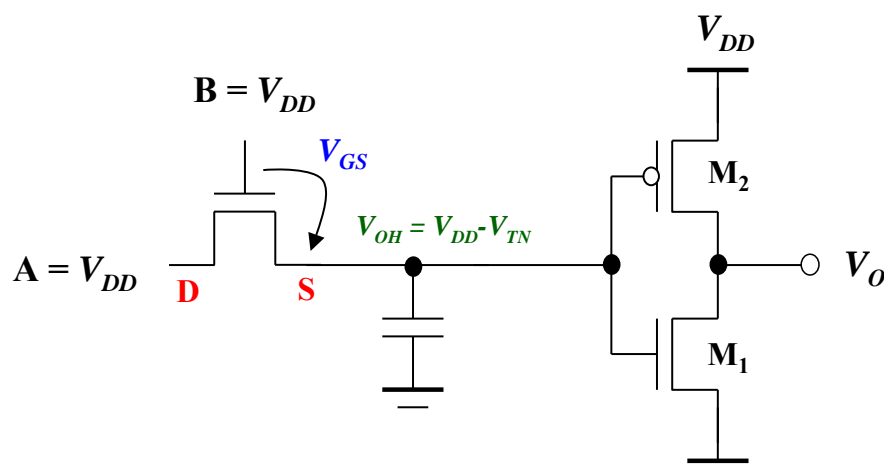


- PMOS não permitem níveis de saída inferiores a  $|V_{TP}|$ ;



## Restauração do nível de saída

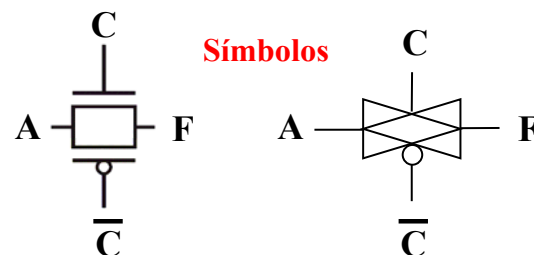
- Problema anterior resolve-se com a introdução dum **inversor CMOS**:



- Em  $V_O$  os níveis lógicos voltam a ser **0V** e  **$V_{DD}$** .

## Portas de transmissão

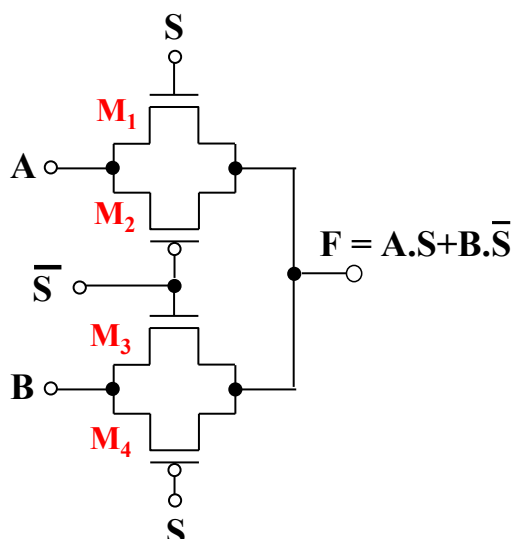
- Alternativa mais usada à lógica baseada em transístores de passagem
  - Transístores NMOS e PMOS em paralelo: nenhum dos níveis lógicos é degradado:  $V_{OH} = V_{DD}$ ,  $V_{OL} = 0V$ ;
  - ... mas requer **dois sinais de controlo** complementares;
  - PT funciona como um **interruptor bidireccional**:  $F = A$  se  $C = 1$ ; circuito aberto (alta impedância) se  $C = 0$ .



**Nota:** substratos do NMOS e PMOS ligados à massa e  $V_{DD}$ , respectivamente.

## Exemplo: Multiplexador com PTs

- **MUX 2:1** – requer **6 transístores** (incluindo o inversor para gerar o complemento de S); em CMOS são precisos 12: 8 (4 entradas) + 2 (inversão de S) + 2 (inversão da saída).



S	M <sub>1</sub>	M <sub>2</sub>	M <sub>3</sub>	M <sub>4</sub>	F
1	on	on	off	off	A
0	off	off	on	on	B

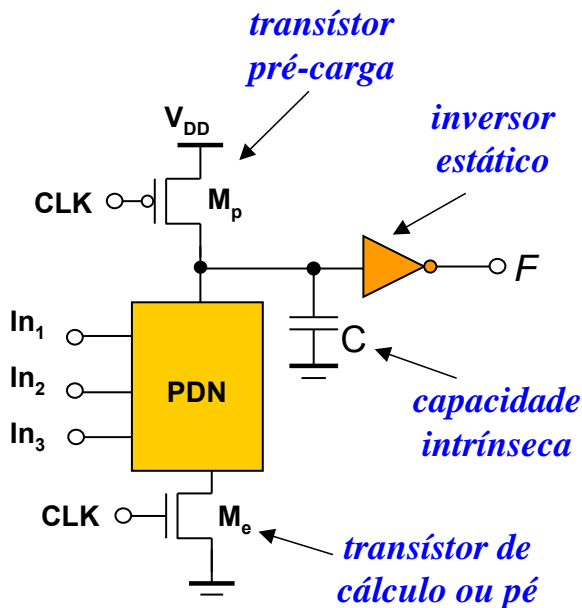
- Portas de transmissão, tal como os transístores de passagem, **não têm capacidade de drive**. O tempo de propagação que exibem depende do circuito que têm ligado na entrada.

## Circuitos dinâmicos CMOS

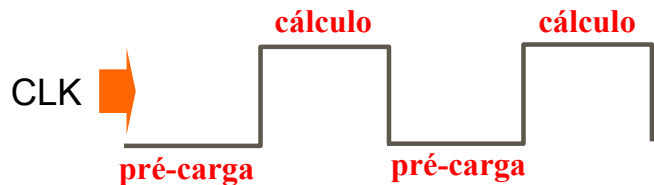
## Circuitos dinâmicos CMOS

- Radicalmente diferentes de todos os estilos de lógica que vimos até aqui;
- Ao contrário dos estáticos, nos circuitos dinâmicos as saídas nem **sempre apresentam baixa impedância**;
- Dependem do **armazenamento temporário dos níveis lógicos em condensadores iontrínsecos** e de um **signal de temporização** que comanda duas fases distintas do funcionamento;
- Surgiram com o objectivo de permitir implementações
  - com **menos transístores** do que o CMOS convencional ( $2N$ ), mantendo o consumo estático baixo;
  - com **menor capacidade** de entrada.

## Princípio de funcionamento



- Sinal de relógio, **CLK**, divide o tempo em **duas fases de funcionamento**:

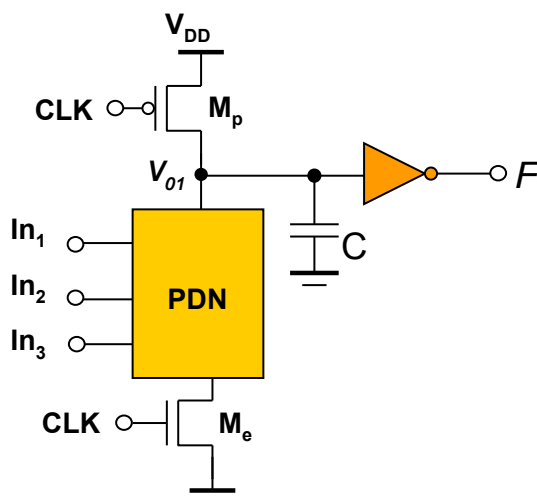


- Fase de **pré-carga**:  $\text{CLK} = 0$ ;
- Fase de **cálculo**:  $\text{CLK} = 1$ .

- Inversor CMOS de saída funciona como **buffer**:
  - impedância de saída baixa;
  - isola do exterior a capacidade interna C.

## Princípio de funcionamento

- **Pré-carga**:  $\text{CLK} = 0$ ;
- **Cálculo**:  $\text{CLK} = 1$ .



- **Pré-carga** –  $M_p$  on, C é carregado até  $V_{DD}$ . PDN está desactivado por  $M_e$  (off);

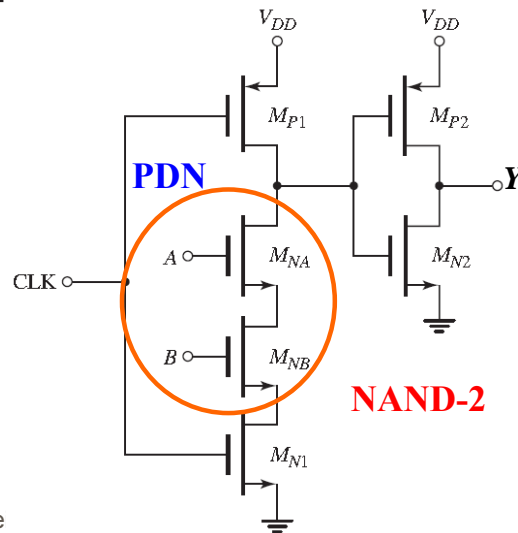
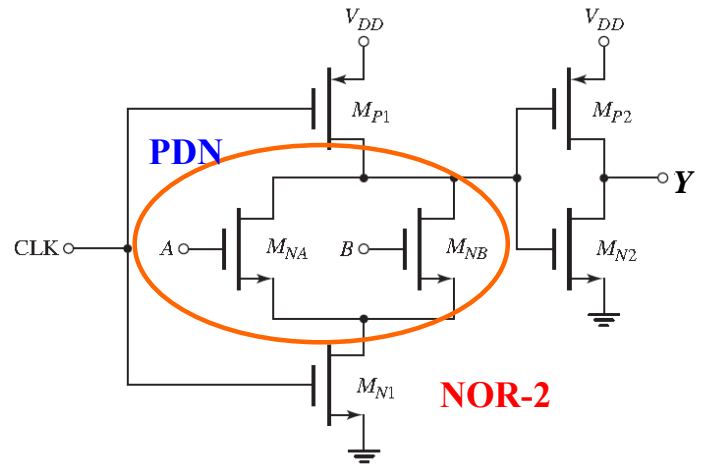
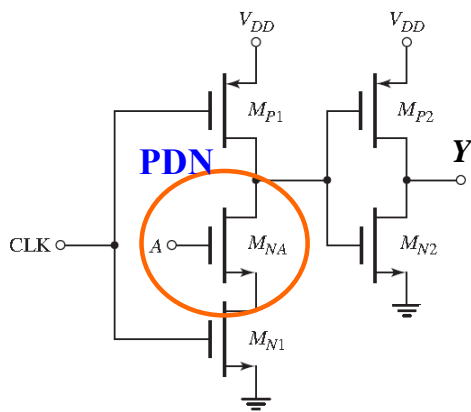
- **Cálculo** –  $M_p$  off e  $M_e$  on. C é descarregado ou não, dependendo do estado de condução do PDN (que depende das entradas);

- Durante a fase de cálculo, se o PDN não estiver activo, o nó  $V_{01}$  ficará a flutuar **em alta impedância** ao nível lógico 1 (e  $F = 0$ );

- Circuito só efectua trabalho útil na fase de cálculo!

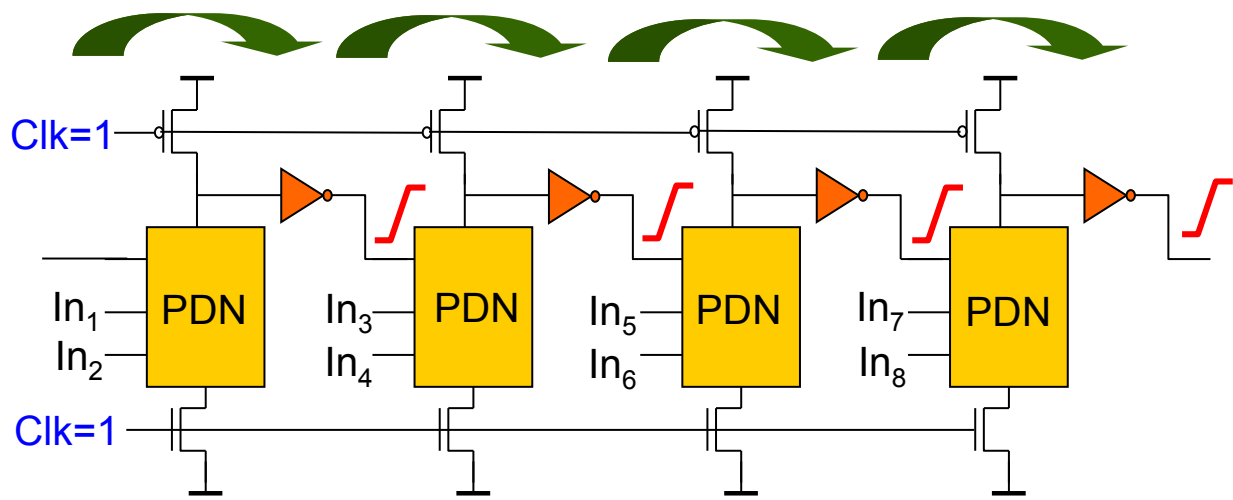
## Exemplos

### Inversor



## Lógica dominó

### Efeito dominó na fase de cálculo



## Limitação das porta dinâmicas

- Na fase de cálculo, se o PDN estiver desactivado, a **carga em  $C$  perde-se** devido às correntes de fugas  $I_1$  e  $I_2$ ;
- O resultado é uma **diminuição de  $V_{OH}$**  em  $V_X$  relação ao valor ideal de  $V_{DD}$ ;
- A queda em  $V_X$ , não só reduz  $NM_H$  como **pode ligar o PMOS do inversor**, resultando em consumo estático;
- Uma solução é **limitar inferiormente a frequência do sinal CLK** (na ordem dos poucos  $KHz$ ).

