

NOME		NÚMERO	
------	--	--------	--

1. (1 + 2 + 2 valores) Considere o seguinte programa do PEPE-16.

```

PLACE      2000H
var:        WORD      5
pilha:      TABLE    100H
fim_pilha:

```

```

PLACE      0
MOV        R1, var

```

```

fim:        JMP        fim

```

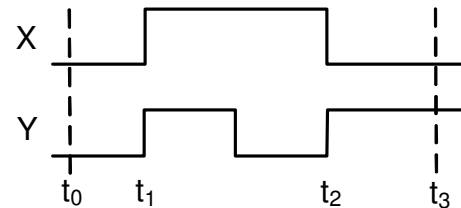
```

int_0:      PUSH      R2
            MOV        R2, 3
            CALL       rotina
            POP        R2
            RFE
int_3:      PUSH      R2
            MOV        R2, 1
            CALL       rotina
            POP        R2
            RFE
rotina:     PUSH      R3
            MOV        R3, [R1]
            DI
            ADD        R3, R2
            MOV        [R1], R3
            POP        R3
            RET

```

- a) Complete os espaços em branco com o necessário para as interrupções 0 e 3 funcionarem corretamente;
- b) Suponha que os sinais X e Y ligam aos pinos de interrupção 0 e 3 do PEPE, respetivamente, e têm a evolução temporal indicada na figura seguinte. Os flancos dos sinais X e Y nos instantes t_1 e t_2 ocorrem simultaneamente.

Sabendo que o programa começa a executar em t_0 , que entre t_1 e t_2 decorrem cerca de 4 segundos e que a evolução temporal está aproximadamente à escala, preencha a tabela seguinte com informação sobre os acessos à variável “var” entre t_0 e t_3 (tempo aproximado em que ocorre, se é leitura ou escrita, qual o valor lido ou escrito e qual a interrupção que causou o acesso). Respeite a ordem temporal dos acessos.



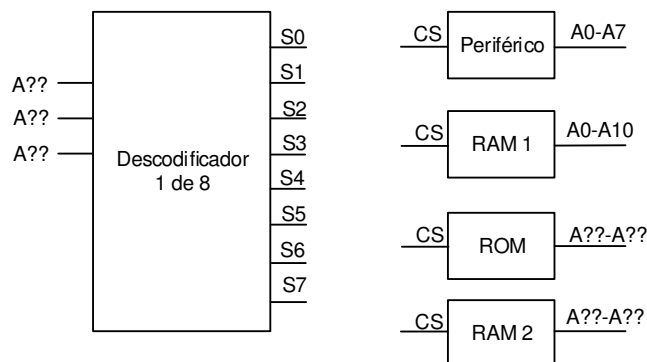
- c) Responda novamente à mesma questão da alínea b), mas agora substituindo a instrução DI da “rotina” pela instrução EI (que faz o oposto da instrução DI).

Alínea b) (DI)			
Tempo	Leitura/escrita	Valor	Interrup.

Alínea c) (EI)			
Tempo	Leitura/escrita	Valor	Interrup.

2. (2 valores) Como vai ter uma boa nota neste teste, merece um portátil novo, para correr aquele jogo novo em que cada *frame* gasta 30% do seu tempo em CPU e 70% em GPU (processador gráfico). Está indeciso entre um (A) que consegue 100 *frames/seg* neste jogo e outro (B) cujo CPU é cerca de 50% (1,5 vezes) mais rápido e cujo GPU é cerca de 30% (1,3 vezes) mais lento. Assumindo que todos os restantes fatores são iguais nos dois portáteis, qual portátil escolheria, A ou B? Justifique, calculando quantos *frames/seg* o portátil B conseguirá neste jogo (contas aproximadas!).

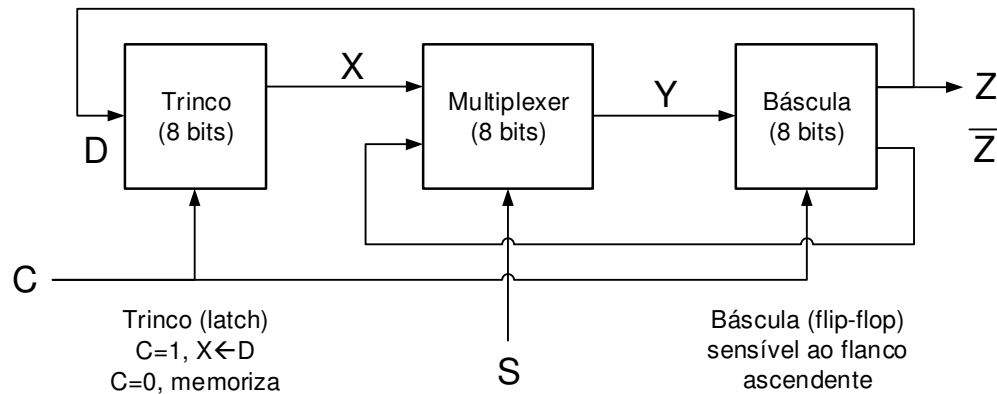
3. (2 valores) Considere o seguinte sistema de descodificação de endereços utilizado por um processador de bus de dados de 8 bits e bus de endereços de 16 bits. Preencha a informação em falta sobre o descodificador e cada dispositivo (bits de endereço a que liga, capacidade, saída do descodificador a que deve ligar e o endereço de fim da gama de endereços em que esse dispositivo está ativo, não considerando endereços de acesso repetido - espelhos).



Bits de endereço a que o descodificador deve ligar

Dispositivo	Bits de endereço	Capacidade (bytes) (decimal)	Saída do descodificador	Início (hexadecimal)	Fim (hexadecimal)
Periférico	A0-A7			8000H	
RAM 1	A0-A10			0000H	
ROM		4 Ki		6000H	
RAM 2		512		C000H	

4. (2 valores) Considere o seguinte circuito, com barramentos de 8 bits. C é o *clock* (tanto do trinco como da básica) e S é o sinal de seleção do *multiplexer* (S=0 seleciona a entrada X). Assumindo que os sinais C e S evoluem ao longo do tempo da forma indicada na tabela seguinte, preencha os valores estáveis no resto da tabela (escreva todas as células, mesmo que o valor se mantenha). Todos os valores de 8 bits estão representados em hexadecimal (não é preciso colocar o H).



C	1	0	1	0	0	1	1	0	1	1
S	1	1	1	1	0	0	1	1	1	0
X										
Y	9F									
Z										
\bar{Z}										

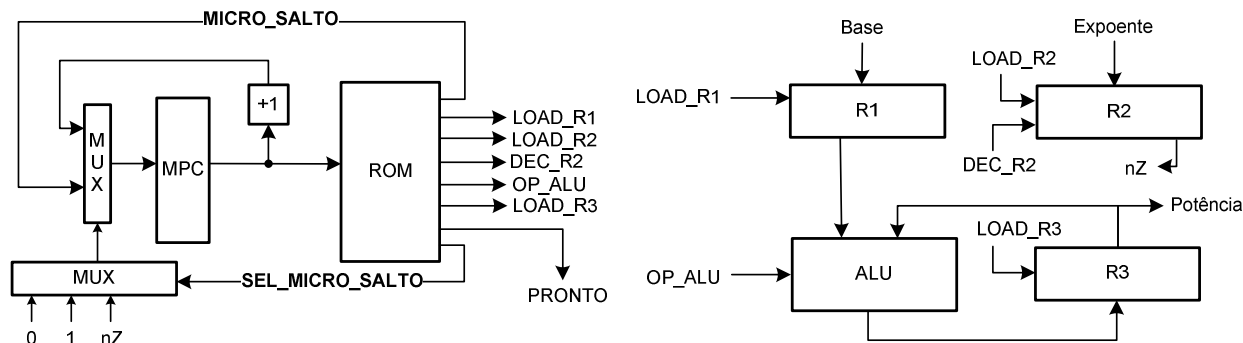
5. (2 valores) Considere a seguinte tabela de verdade, relativa a uma função de quatro entradas e uma saída. Simplifique a respetiva função, preenchendo a tabela de verdade a partir da tabela de Karnaugh e escrevendo a expressão algébrica mais simplificada que lhe é equivalente.

A	B	C	D	Z
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

		CD			
		00	01	11	10
AB	00	1	1		1
	01	1	1	1	1
	11		1	1	
	10	1			1

Z =

6. (1,5 + 0,5 valores) Pretende-se construir um circuito microprogramado que implemente a operação potência (base elevada a expoente) por multiplicações sucessivas da base. O diagrama seguinte descreve o circuito. Os registos R1 e R2 recebem a base e o expoente, respetivamente. O registo R3 vai acumulando o resultado das multiplicações. A saída da ALU pode tomar uma de quatro possibilidades, consoante o valor de OP_ALU: soma (SOMA) e multiplicação (MUL) dos dois operandos, 0 (ZERO) e 1 (UM). O sinal nZ está ativo (vale 1) quando R2 é diferente de zero e o sinal PRONTO é ativado quando o resultado está pronto.



- a) Preencha a tabela seguinte com os valores necessários para implementar a funcionalidade descrita. Indique apenas os sinais relevantes em cada ciclo de relógio e deixe em branco as restantes células.

Endereço na ROM	Microinstruções	PRONTO	LOAD_R1	LOAD_R2	DEC_R2	OP_ALU	LOAD_R3	SEL_MICRO_SALTO	MICRO_SALTO
0	R1 ← Base R2 ← Expoente								
1	R3 ← 1								
2	R3 ← R3 * R1								
3	R2 ← R2 - 1								
4	(R2 != 0): MPC ← 2								
5	PRONTO ← 1 MPC ← 5								

- b) Quantos bits de largura deve ter no mínimo a ROM de microprograma?

7. (1,5 + 1,5 valores) Suponha que a *cache* do PEPE (processador com 16 bits de endereço, endereçamento de byte) é de mapeamento direto, com uma capacidade de 512 palavras (blocos de 4 palavras).

- a) Indique o número de bits de cada um dos campos em que o endereço se divide para acesso à *cache*.

Etiqueta	
Índice	
Palavra dentro do bloco	
Byte dentro da palavra	

- b) Na execução de instruções do tipo MOV R1, [R2], o núcleo do PEPE verificou que nuns casos o valor de R1 demorava 3 ns a obter, noutros 20 ns, e que em média demorava 6,4 ns. Qual a taxa de sucesso (*hit rate*) da *cache* com este programa?

 %

8. (2 valores) Considere um processador com 32 bits de endereço, endereçamento de byte e suporte para memória virtual com páginas de 4Ki bytes. Assuma que a memória física tem uma capacidade de 4 Mi bytes e que a TLB é uma *cache* totalmente associativa de 4 entradas, cujo conteúdo é numa dada altura o indicado na tabela da esquerda. Acabe de preencher as outras duas tabelas para este exemplo concreto.

Válida	Página alterada	Nº de página virtual	Nº de página física
1	1	23BAH	68H
0	0	7BAH	3BH
1	1	158FCH	3AH
1	0	2B5DH	3BH

Dimensão do espaço virtual	
Número de páginas virtuais	
Número de páginas físicas	

Endereço virtual	Endereço físico
	3AB6CH
23BAE4AH	
	3B813H
	68A18H