# Arquitetura e Organização de Computadores Turma C - 2021/02

## Projeto do Banco de Registradores do RISC-V

**Objetivo**: projetar, simular e sintetizar um banco de registradores similar ao utilizado no RISC-V.

### Características:

- 32 registradores de 32 bits
- dois barramentos de leitura
- um barramento para escrita de dado
- registrador 0 (índice zero) é constante, não pode ser alterado. Qualquer leitura deste registrador retorna o valor zero e escritas não afetam o seu valor.

#### Interface:

#### onde:

- WSIZE é o tamanho da palavra do banco de registradores
- *wren*: habilitação de escrita. Ao ser acionado, o registrador endereçado por *rd* é escrito com o valor presente no barramento *data* na transição de subida do relógio.
- *clk*: relógio do circuito.
- rst: sinal de reset, zera o conteúdo de todos os registradores do banco.
- rs1: endereço do registrador a ser lido em ro1, 5 bits.
- rs2: endereço do registrador a ser lido em ro2, 5 bits.
- data: valor a ser escrito no registrador endereçado por wadd, 32 bits.
- rol: porta de saída para leitura do registrador endereçado por addl.
- ro2: porta de saída para leitura do registrador endereçado por add2.

**Obs**: um banco de registradores é similar a uma memória. Deve-se criar um tipo de dados (comando *type*) representando um vetor de palavras (comando *array*) e instanciá-lo.

### Verificação dos resultados usando ASSERT:

- o ASSERT é um comando utilizado para verificação dos resultados no testbench.
- o Formato:

```
ASSERT condição
[REPORT "mensagem"]
[SEVERITY severity_level]
```

- o REPORT permite enviar mensagens específicas relativas ao erro. A mensagem é escrita caso a condição avalie para falso
- o SEVERITY indica o nível de gravidade do erro, que pode assumir um dos seguintes valores: Note, Warning, Error (default) ou Failure.

Usando ASSERT pode-se simplesmente checar se o resultado esperado foi obtido, imprimindo mensagem de erro em caso constrário.

# Entrega:

- relatório contendo:
  - o Identificação do aluno
  - o Código VHDL do XREG e do testbench
  - o Responda: qual a opção usada para simular a constante zero em XREGS[0]?