## UNIVERSIDADE DE BRASÍLIA INSTITUTO DE CIÊNCIAS EXATAS DEPARTAMENTO DE CIÊNCIA DA COMPUTAÇÃO 116394 ORGANIZAÇÃO E ARQUITETURA DE COMPUTADORES TURMA: C

Trabalho 6: Projeto e Simulação de uma ULA em VHDL

João Pedro de Oliveira Silva 190057807

## 1. Objetivos

O trabalho tem por objetivo, projetar, simular e sintetizar uma versão da ULA do RISC-V de 32 bits no ambiente EdaPlayground.

## 2. Resultados

EPWave															_			
From: Ops		To:	18,000ps															
Get Signal	lls Radix ▼	<b>Q</b> Q	100%	<b>(4)</b>	<b>1</b> -	^	×											
	0		2,000		4,000		6,000		8,000		10,000		12,000		14,000		16,000	
A[31:0	0] 4	4			*f_0000	f	aa	55	caa	aaf	bbbf	cccf	*f_ffc9	15	*f_ff92	*ff_e21a	3e	3
B[31:0	0] 1	1		ffff_bbbb		f	bb	2bb	cbb	2	3	2	*f_ffd3	e21a	*f_ff2d	15	зе	
opcode[3:0	0] 0	1	o	1	0	1	2	3	4	5	6	7	8	9	a	þ	c	d
Z[31:0	0] 5	5 3		*f_eeef 0		aa 2		2ff	11	2 <b>a</b> bc	1777	3333	1					
zer	ro																	
A[31:0	0] 4	4		ffff_aaaa		f	aa	55	caa	aaf	bbbf	cccf	*f_ffc9	15	*f_ff92	*ff_e21a	3 <b>e</b>	3
B[31:0	0] 1	1		ffff_bbbb		f	bb	2bb	cbb	2	3	2	*f_ffd3	e21a	*f_ff2d	15	зе	
opcode[3:0	0] 0	1	o	<u>)</u> 1	0	1	2	3	4	5	6	7	8	9	a	b	c	d
Z[31:0	0] 5	3	*ff_6665 *f_eeef		(e		aa	2ff	11	2 <b>a</b> bc	1777	3333	1					
zer	ro																	