

Amplificador Operacional - CIA 2024

1 Descrição

O Amplificador operacional abordado neste *datasheet* foi desenvolvido durante a disciplina de *Circuitos Integrados Analógicos*, ministrada pelo professor Cesar Augusto Prior no primeiro semestre de 2024.

O dispositivo pode ser utilizado para construção de circuitos que necessitam de um amplificador operacional, uma vez que possui um ganho de tensão elevado e uma estabilidade garantida pelos valores de margem de ganho e margem de fase.

O circuito integrado foi projetado utilizando a ferramenta *Virtuoso* com a biblioteca *gpd45*.

2 Aplicações

- Comparadores
- Multivibradores
- Amplificadores DC
- Filtros ativos
- Amplificadores somadores
- Integradores ou diferenciadores

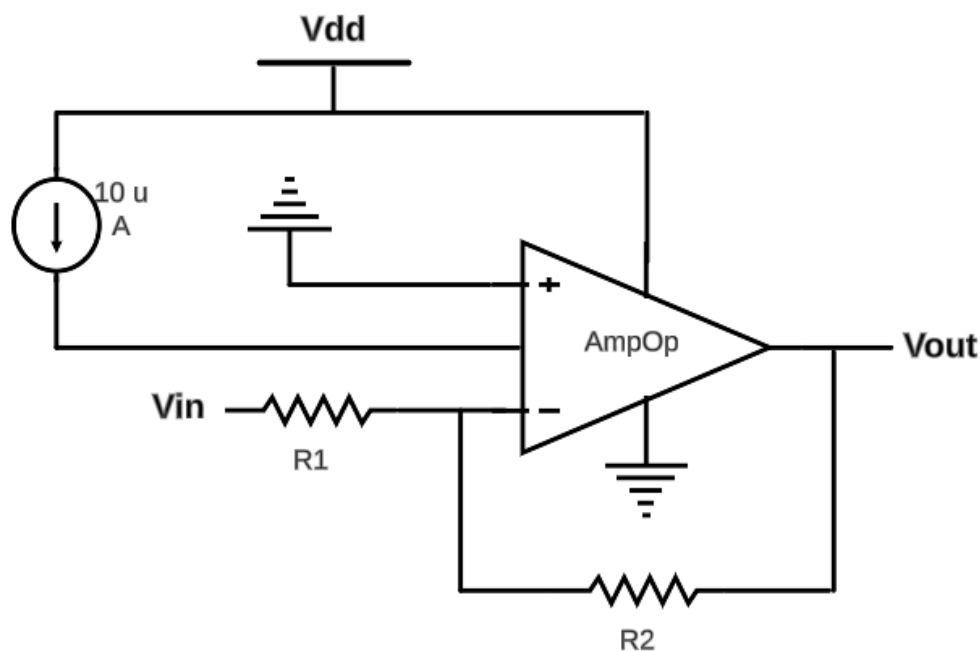


Figura 1: Aplicação típica (amplificador inversor)

Sumário

1	Descrição	1
2	Aplicações	1
3	Especificações técnicas	3
4	Diagrama de Blocos	3
5	Layout	4
6	Análise DC	5
6.1	Ganho e Offset	5
6.2	CMIR - Faixa de entrada em modo comum	5
6.3	Output Swing - Faixa de saída	6
7	Análise AC	7
7.1	Estabilidade do circuito	8
7.2	Margem de ganho	9
7.3	Margem de fase	9
7.4	Frequência de corte e GBW (Produto de Largura de Banda)	10
7.5	CMRR (Taxa de Rejeição de Modo Comum)	10
7.6	PSRR (Taxa de Rejeição de Fonte de Alimentação)	11
8	Análise Transiente	12
8.1	Settling Time	13
8.2	Slew Rate	13

3 Especificações técnicas

Propriedade	Valor	Unidade
Power voltage	2	V
Consumo	0.53	mW
Ganho DC	1235	—
Offset DC	1	V
CMIR	0 – 1.9	V
Output Swing	1.9 – 0	V
Ganho (malha aberta)	61.8	dB
Margem de ganho	13.91	dB
Margem de fase	55.59	graus (°)
Frequência de corte	63	kHz
GBW	77.8	MHz
CMRR	64.9	dB
PSRR _{DC}	66.35	dB
Settling Time	38.5	ns
Slew Rate	72	$\frac{V}{\mu S}$

Tabela 1: Especificações técnicas

4 Diagrama de Blocos

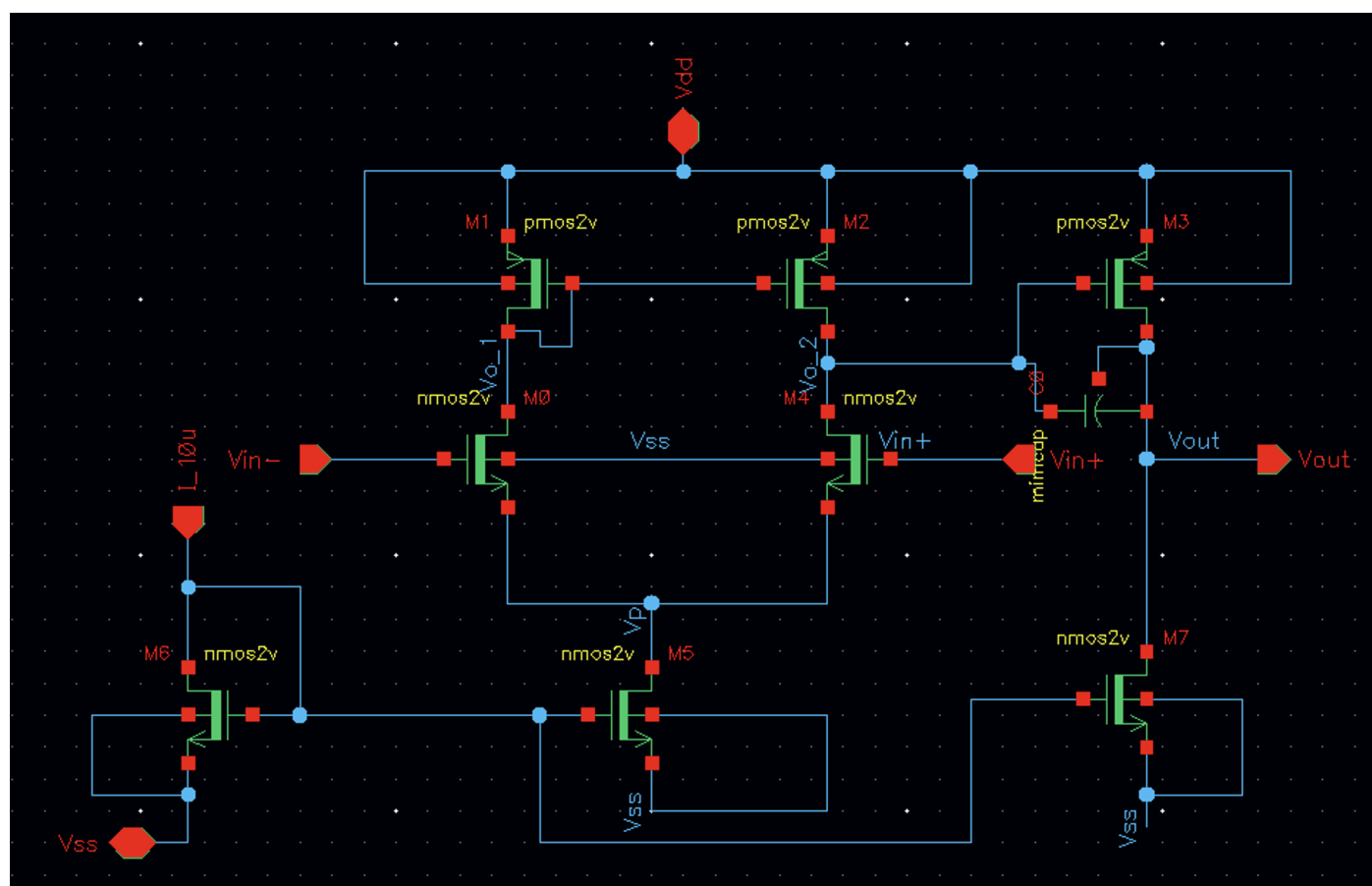


Figura 2: Diagrama de blocos no Virtuoso

Mosfet	W (μm)	L (μm)	Mult	I _{ds} (μA)	V _{gs} (mv)	V _{ds} (mv)	G _m (S)	R _{out} ($k\Omega$)	Região* (0, 1, 2)
M0	10 μ	800 n	1	23.39	594.96	993.30	321.3 μ	270.44	2
M1	5.5 μ	800 n	1	23.39	601.6	606.1	242.52 μ	202.13	2
M2	5.5 μ	800 n	1	23.39	601.6	606.1	242.52 μ	202.16	2
M3	5.66 μ	800 n	8	208.62	601.3	1.04	2.1 m	28.59	2
M4	10 μ	800 n	1	23.39	594.96	993.30	321.3 μ	270.44	2
M5	1 μ	800 n	5	46.79	678.6	405	361.14 μ	65.52	2
M6	1 μ	800 n	1	10	678.6	678.6	76 μ	541.94	2
M7	1 μ	800 n	1	208.62	678.6	951.29	1.56 m	36	2

Tabela 2: Tabela de parâmetros dos dispositivos

*Regiões 0, 1 e 2 representam corte, triodo e saturação, respectivamente.

A capacitância C0 possui valor de 0.5 pF .

5 Layout

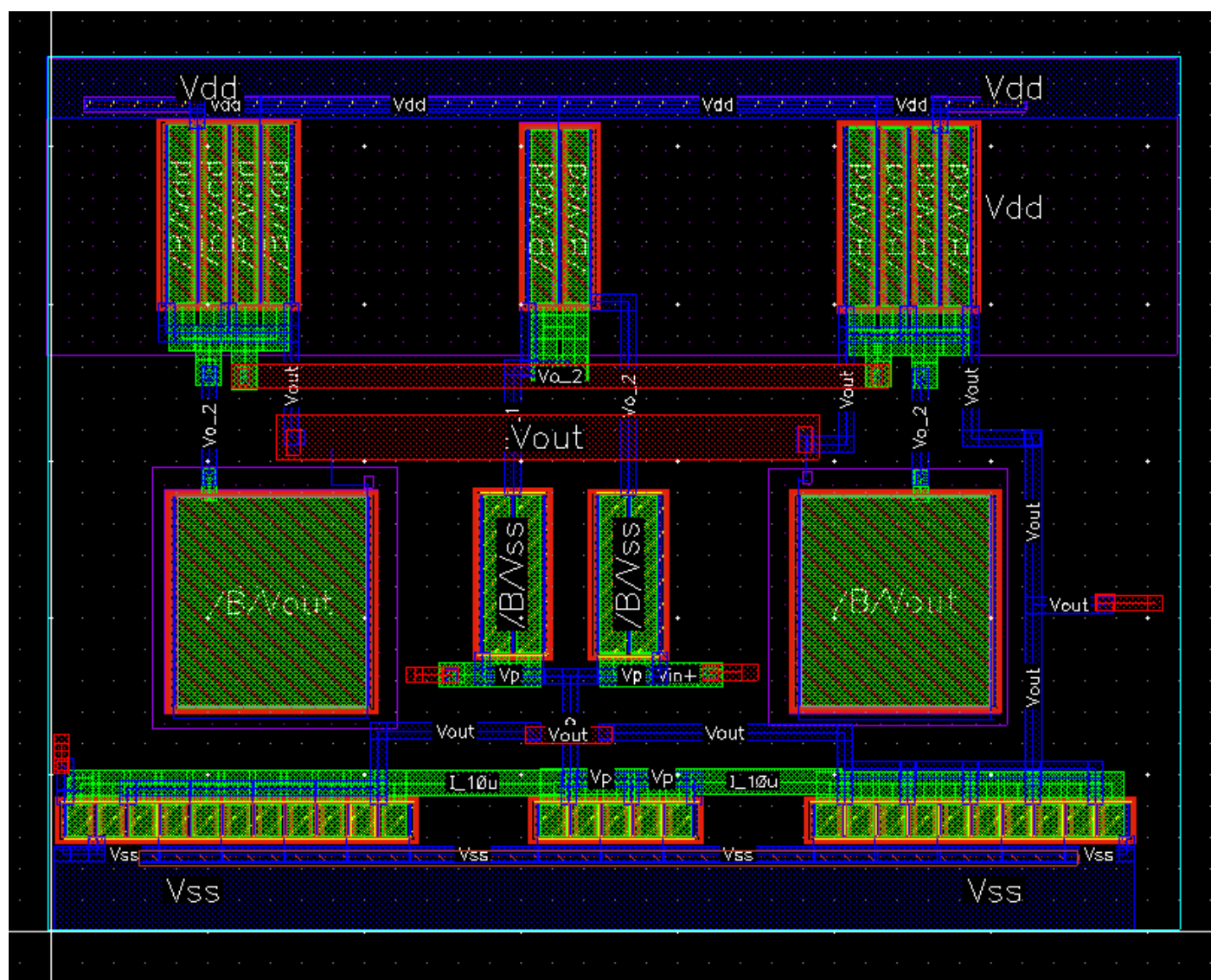


Figura 3: Layout do circuito na ferramenta Virtuoso

6 Análise DC

6.1 Ganho e Offset

Para esta análise, foi realizada uma varredura de $0V$ a $2V$ no nível DC da entrada não-inversora enquanto a entrada inversora foi mantida em $1V$ DC. O circuito está apresentado na figura a seguir:

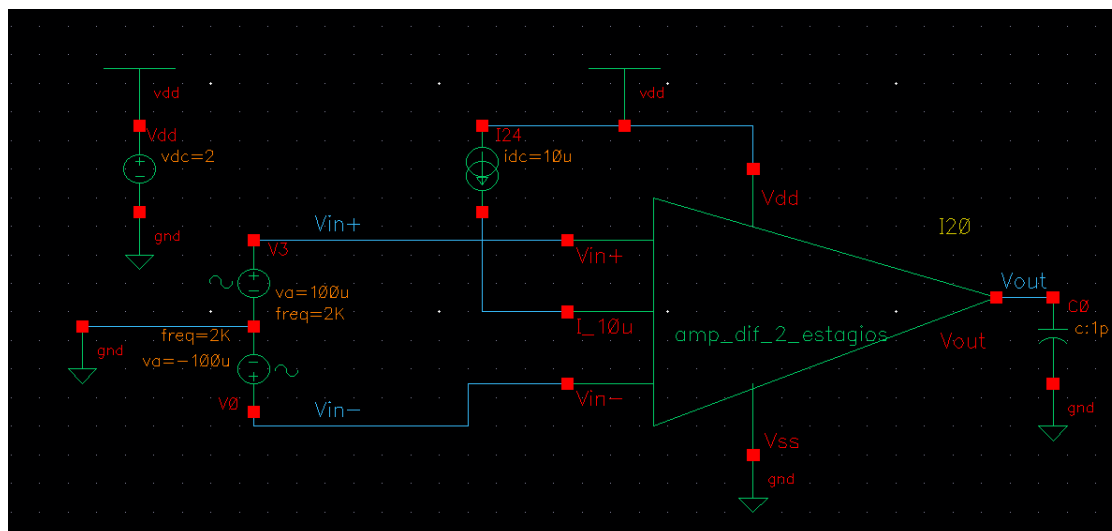


Figura 4: Esquemático do circuito de teste de ganho e offset DC no *Virtuoso*

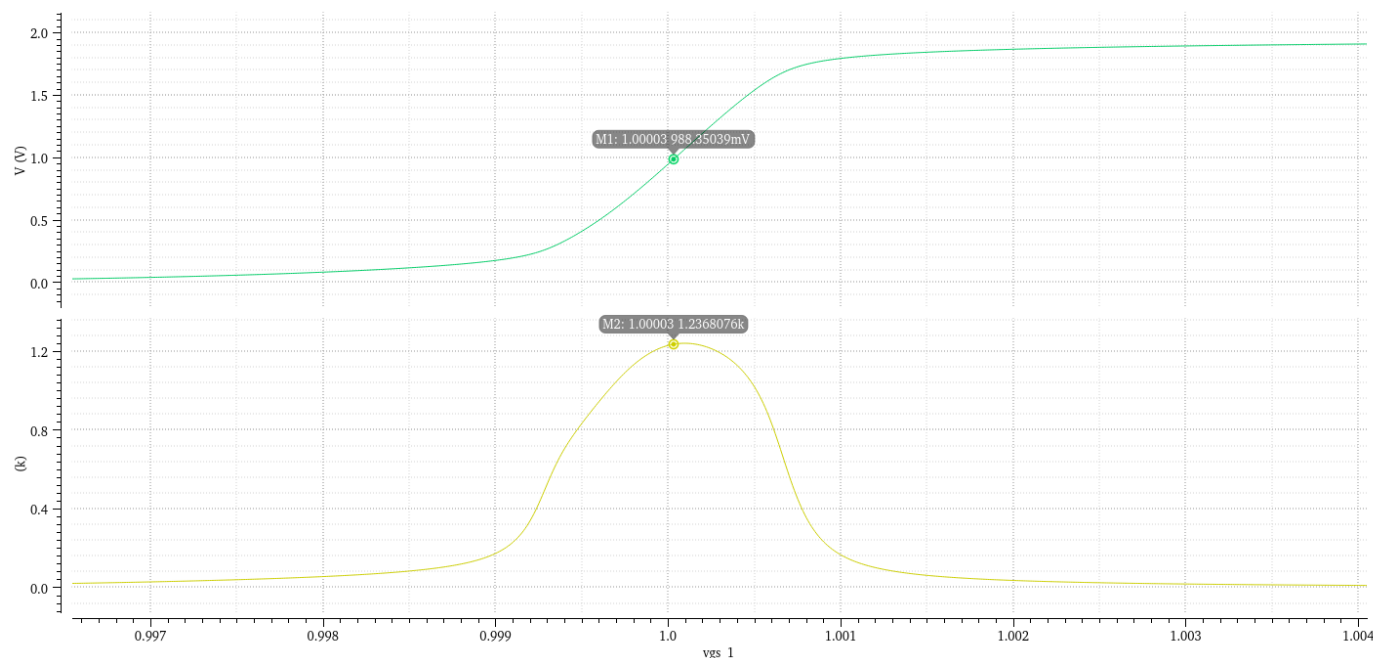


Figura 5: Offset DC (gáfcio superior) e ganho DC (gráfico inferior)

6.2 CMIR - Faixa de entrada em modo comum

Para a análise da CMIR, foi construído um amplificador de ganho unitário no qual a entrada não inversora sofreu uma variação linear de $0V$ a $2V$.

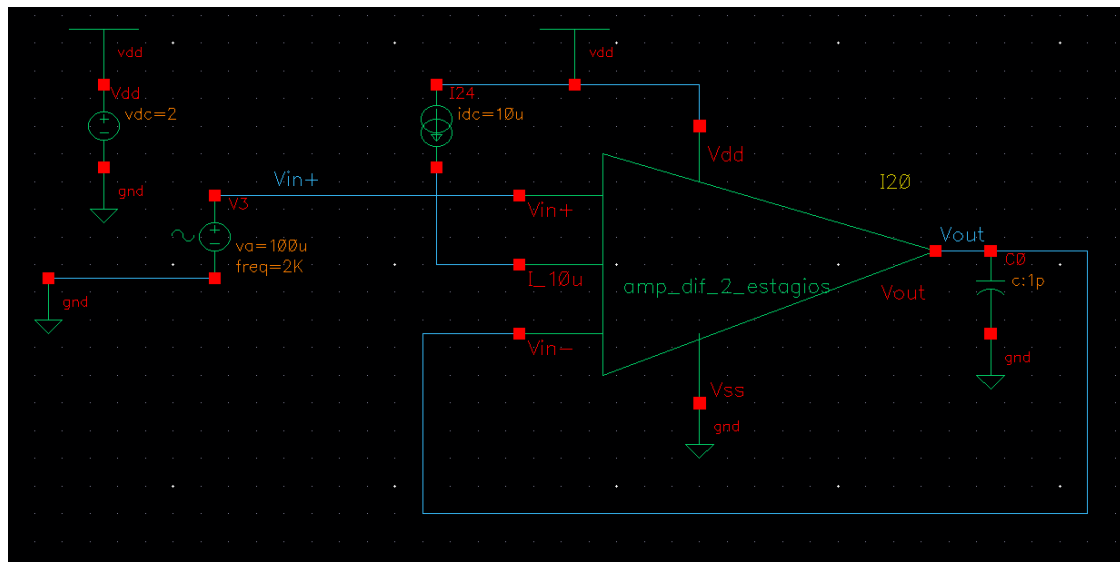


Figura 6: Esquemático do circuito de teste de CMIR no *Virtuoso*

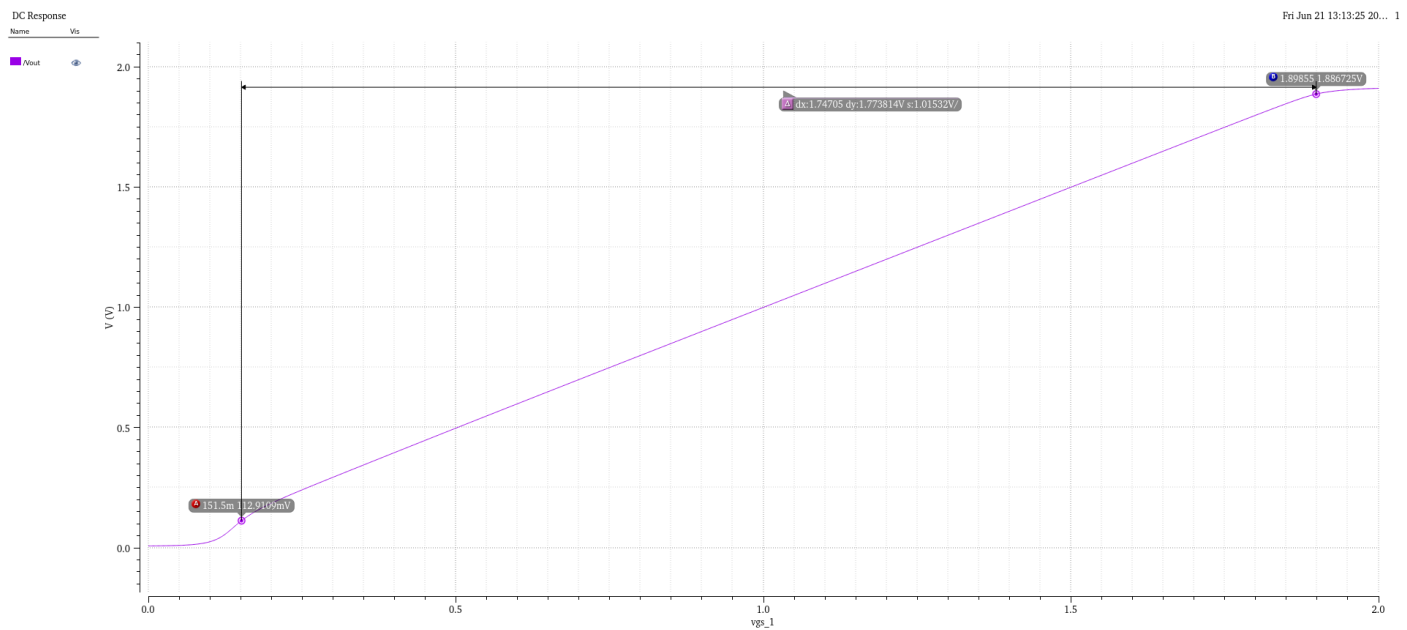


Figura 7: Gráfico da faixa de entrada em modo comum

6.3 Output Swing - Faixa de saída

Para a análise da faixa de saída, foi construído um amplificador inversor.

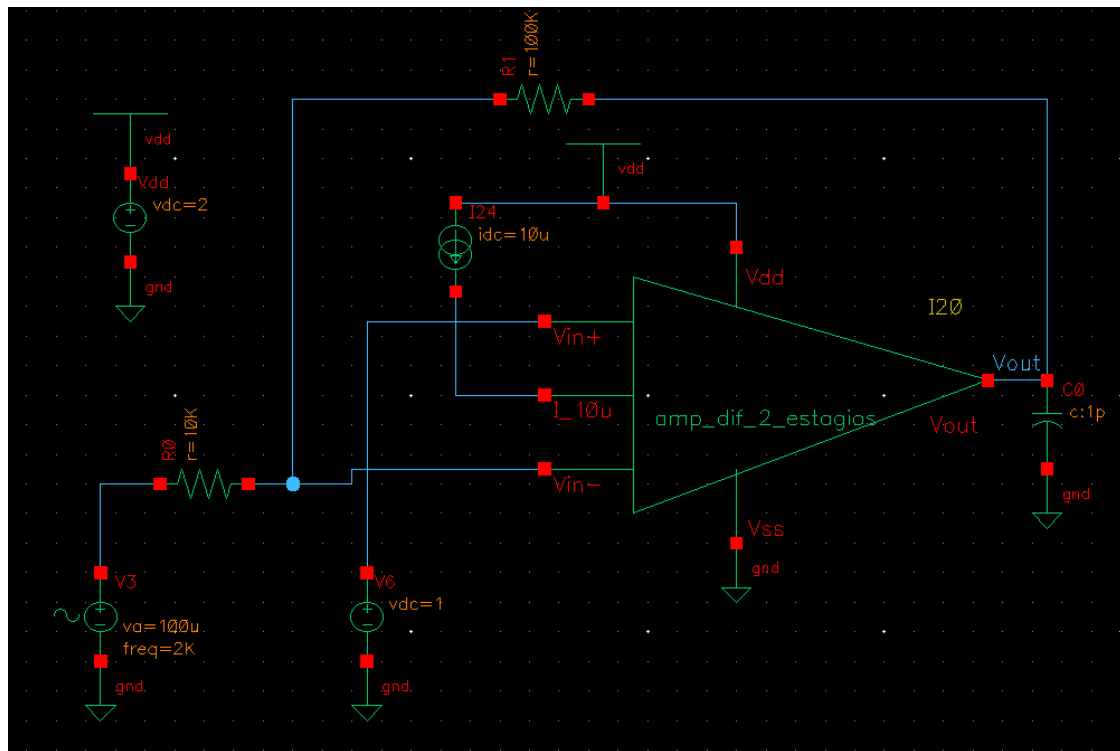


Figura 8: Esquemático do circuito de teste da faixa de saída *Virtuoso*

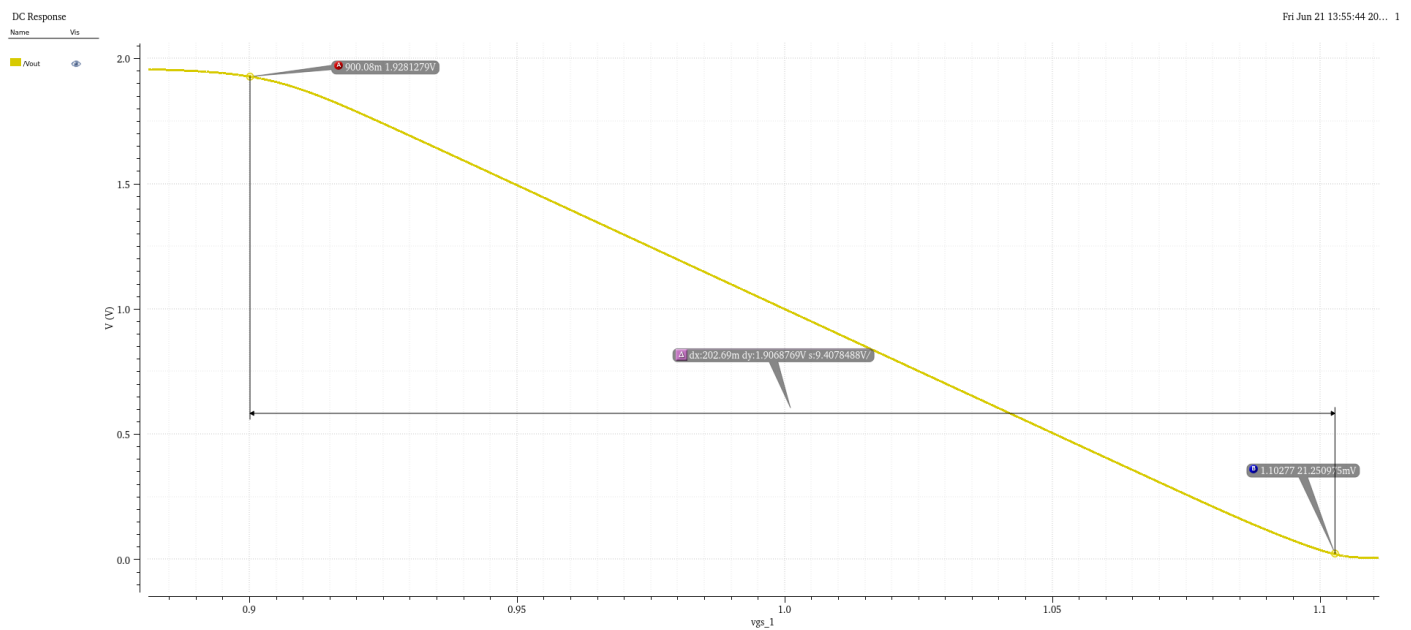


Figura 9: Gráfico da faixa de saída

7 Análise AC

Para os testes de estabilidade e resposta em frequência (5.1, 5.2, 5.3 e 5.4), foi mantido o nível DC de 1V em ambas as fontes enquanto foi realizada uma varredura em frequência na entrada não-inversora de 1G a 10G com 10 pontos por década.

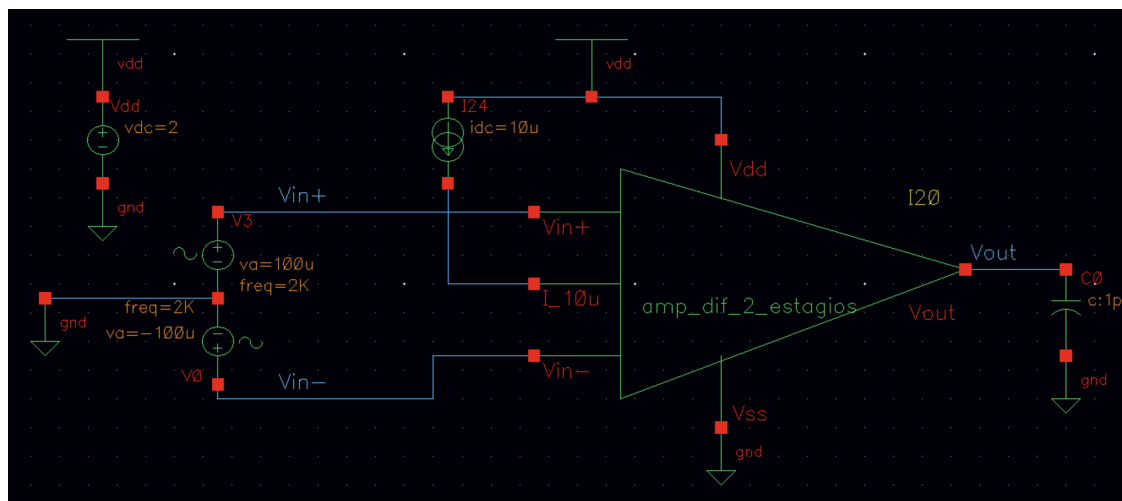


Figura 10: Esquemático do circuito de estabilidade e resposta em frequência no *Virtuoso*

7.1 Estabilidade do circuito

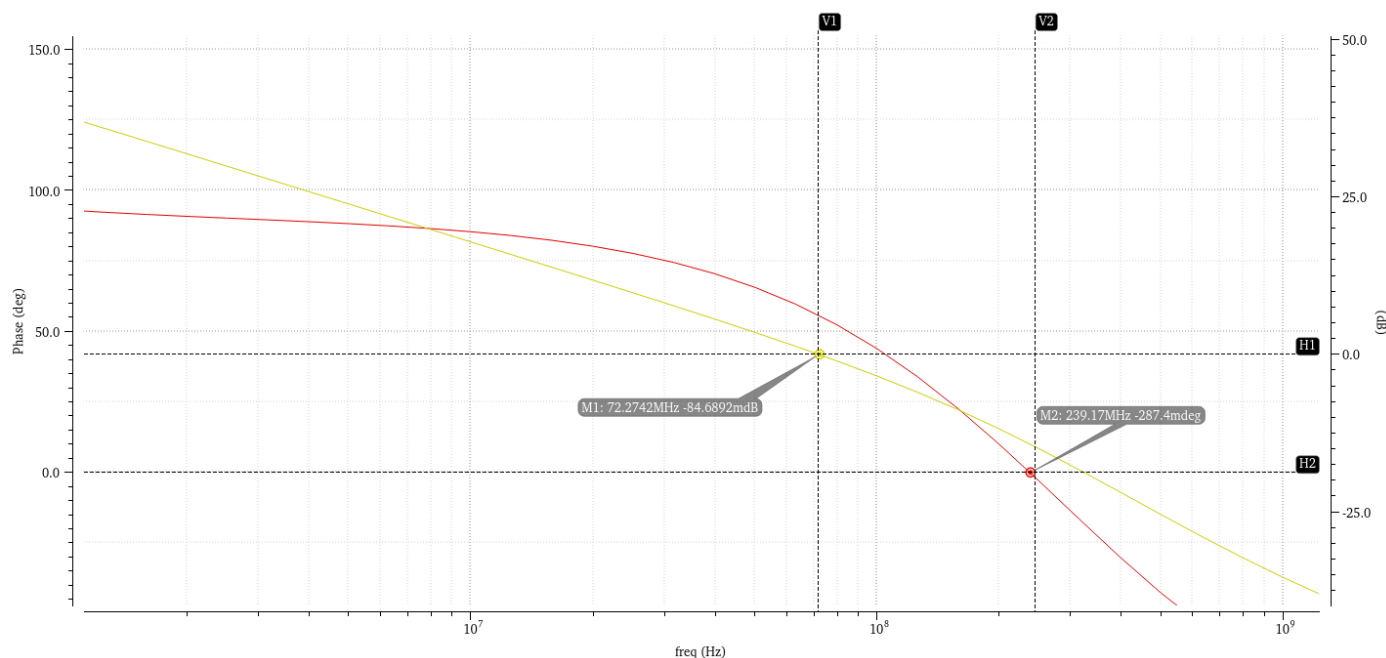


Figura 11: Marcadores nos pontos de ganho igual 0dB e inversão de fase, respetivamente.

Conforme apresentado na figura anterior, o circuito do amplificador operacional estudado é estável, uma vez que a frequência na qual ocorre a inversão de fase (239.1MHz) é superior a frequência na qual o ganho é 0dB (72.27MHz).

7.2 Margem de ganho

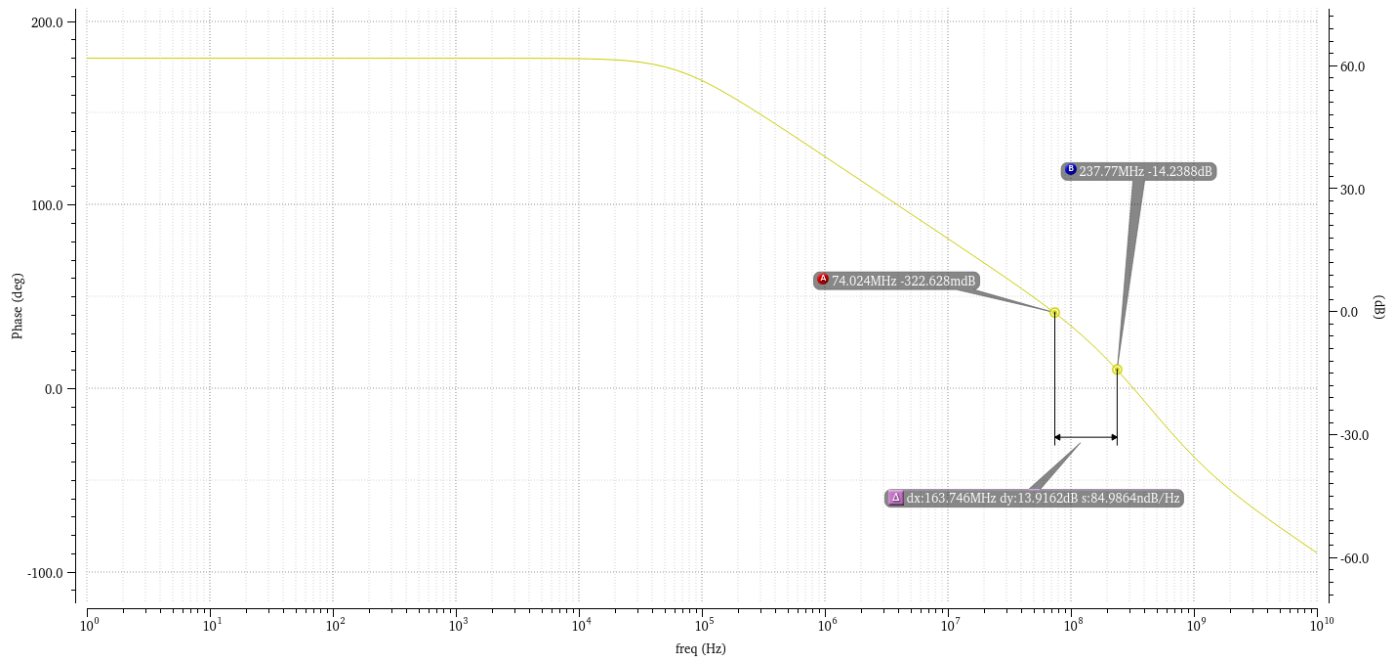


Figura 12: Gráfico da margem de ganho

7.3 Margem de fase

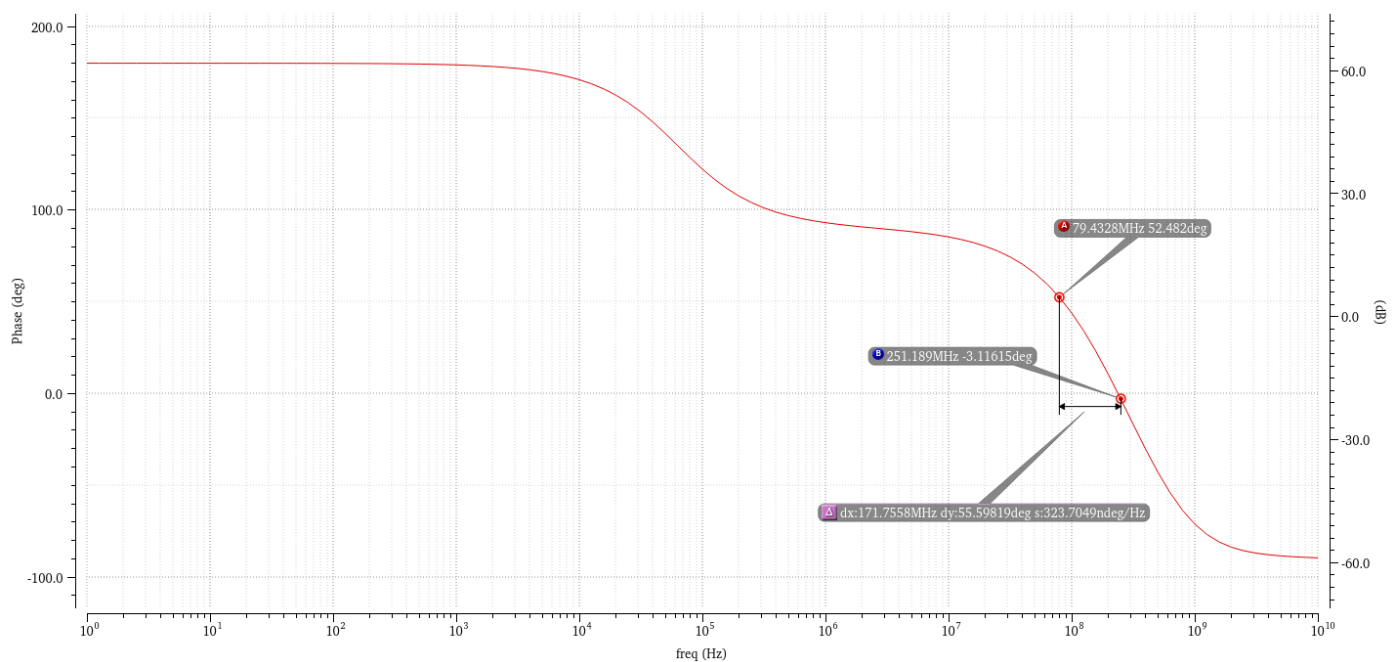


Figura 13: Gráfico da margem de fase

7.4 Frequência de corte e GBW (Produto de Largura de Banda)

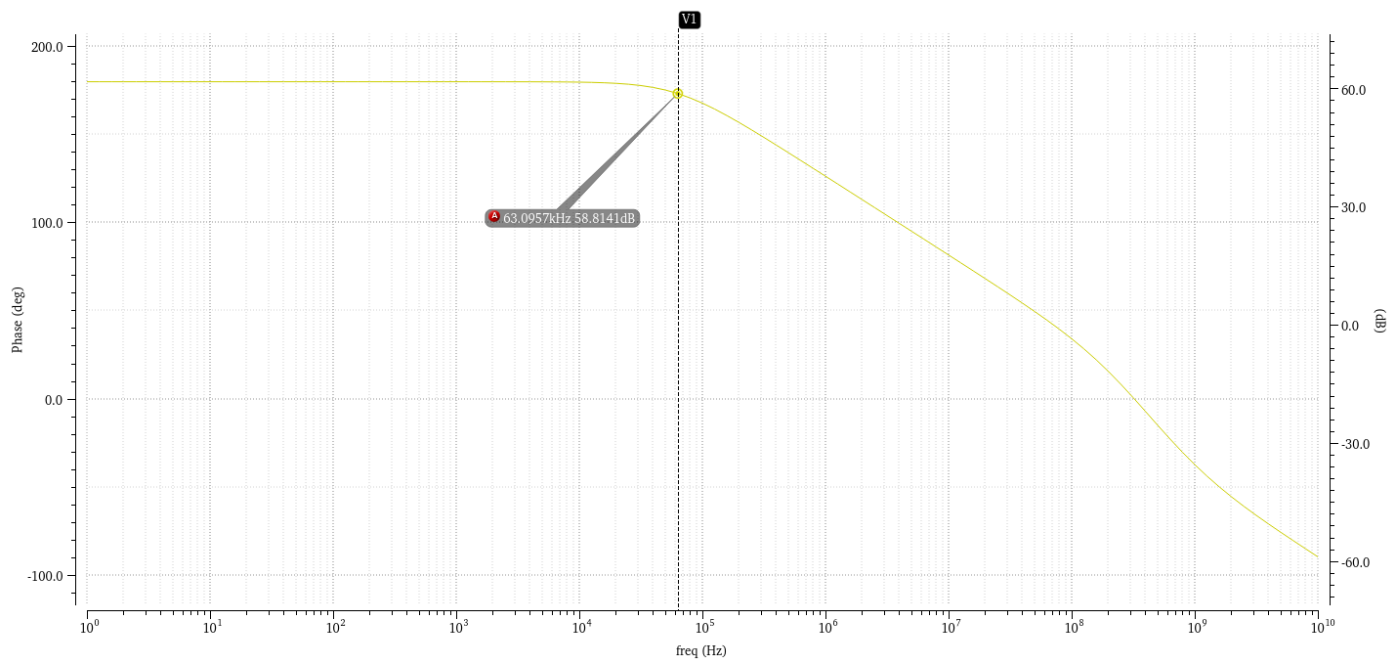


Figura 14: Gráfico da frequência de corte

O produto de largura de banda é:

$$GBW = A_{vDC} \cdot f_c = 1235 \cdot 63kHz = 77.8MHz$$

7.5 CMRR (Taxa de Rejeição de Modo Comum)

Para a taxa de rejeição em modo comum, a varredura em frequência foi realizada em ambas as fontes de sinal de entrada.

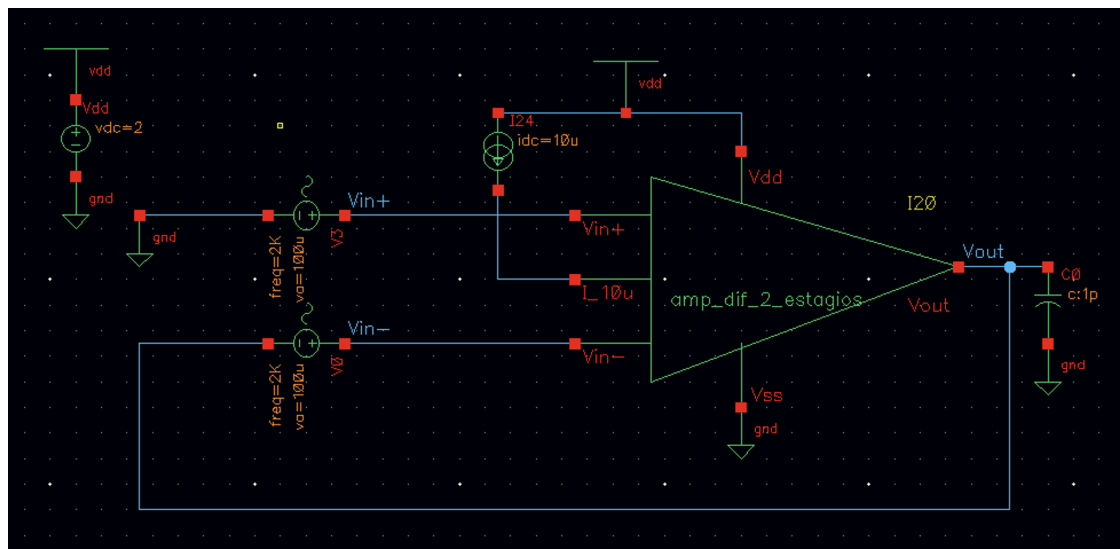


Figura 15: Esquemático de CMRR *Virtuoso*

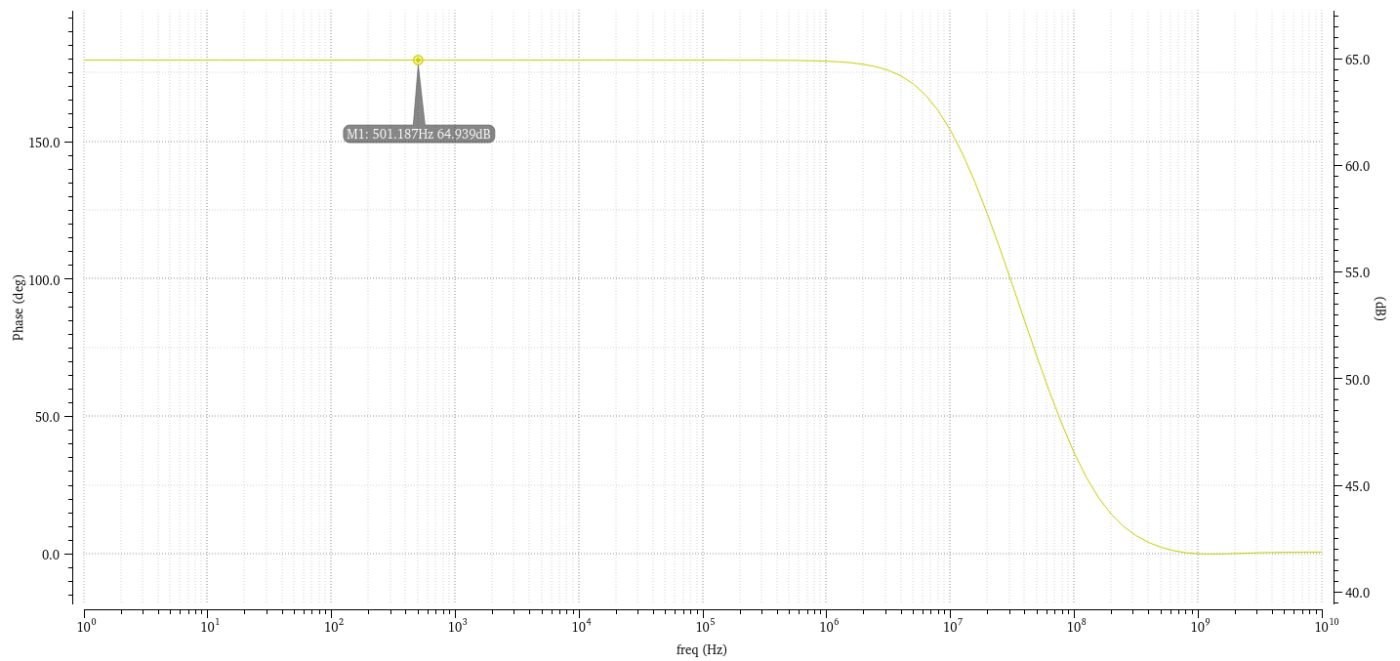


Figura 16: Gráfico da taxa de rejeição em modo comum

7.6 PSRR (Taxa de Rejeição de Fonte de Alimentação)

Para a taxa de rejeição em modo comum, a varredura em frequência foi realizada na fonte de alimentação.

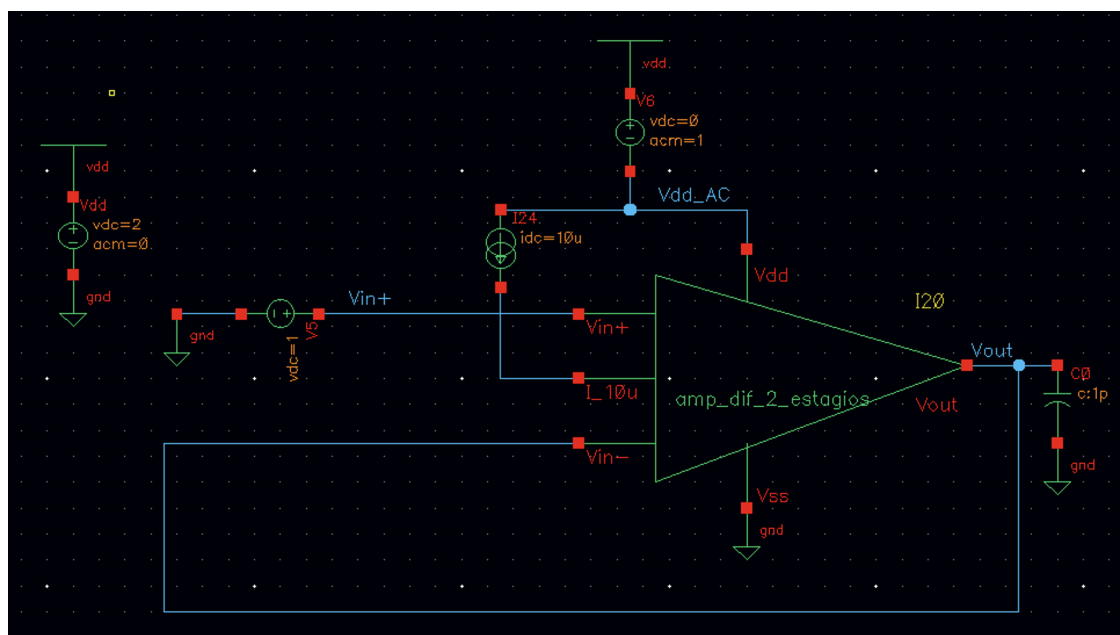


Figura 17: Esquemático de PSRR *Virtuoso*

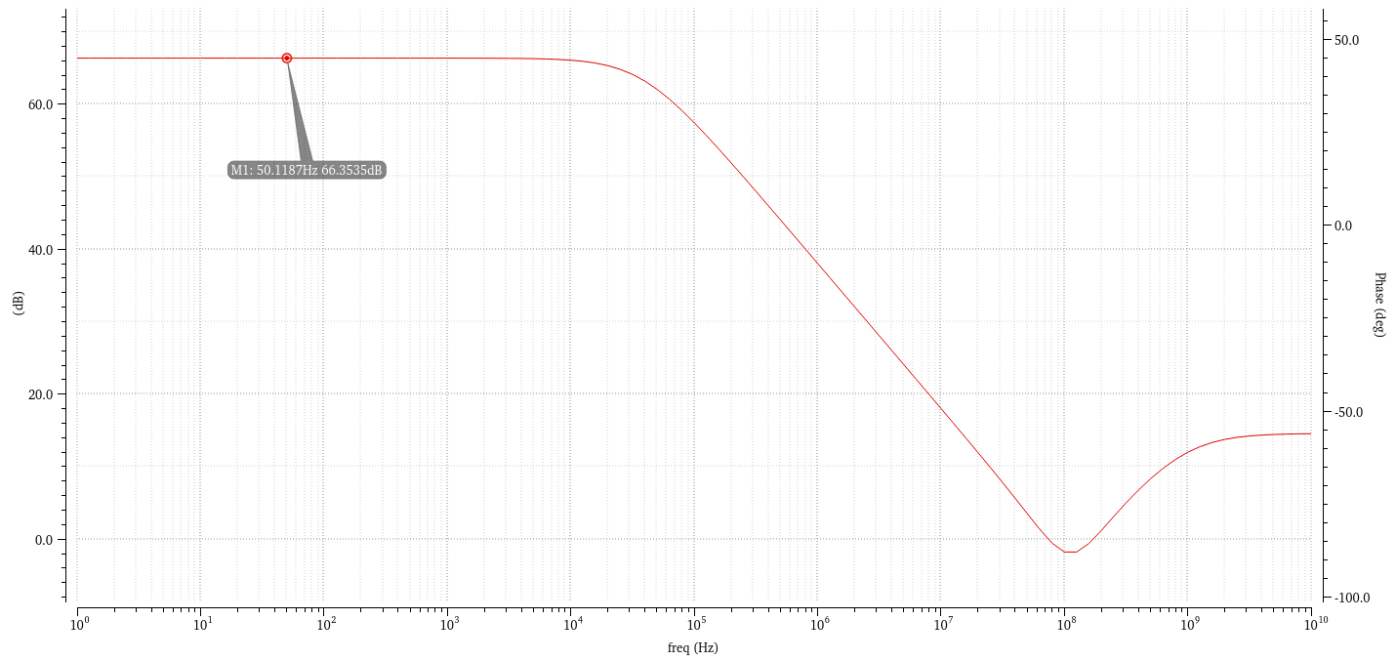


Figura 18: Gráfico da taxa de rejeição de fonte de alimentação

8 Análise Transiente

Para a análise transiente, foi aplicada uma onda quadrada na entrada inversora com período de 50μ , tempo de subida e queda de $20ps$ e largura de pulso de $25\mu s$.

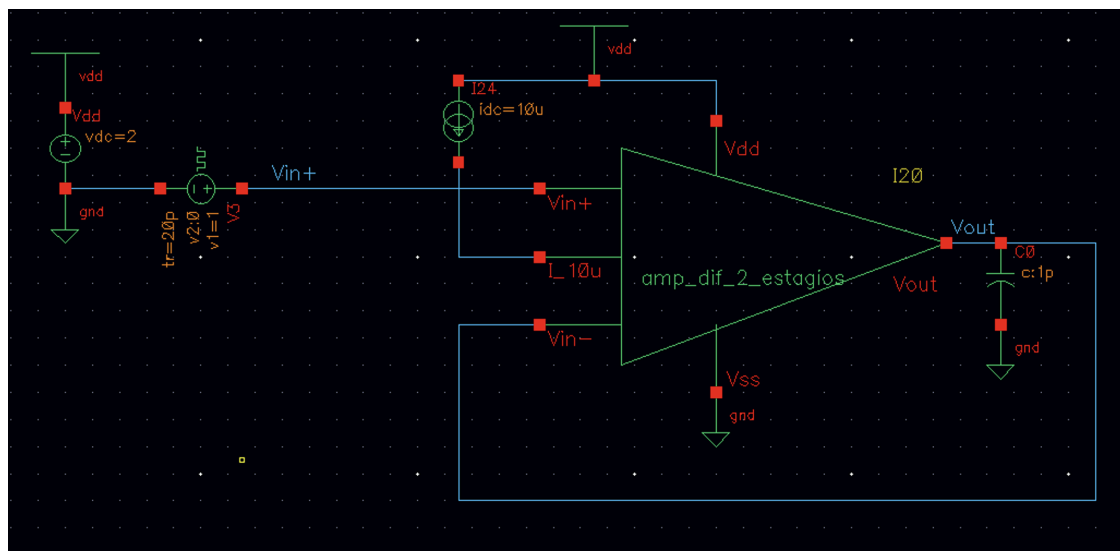


Figura 19: Esquemático do circuito de análise transiente no *Virtuoso*

8.1 Settling Time

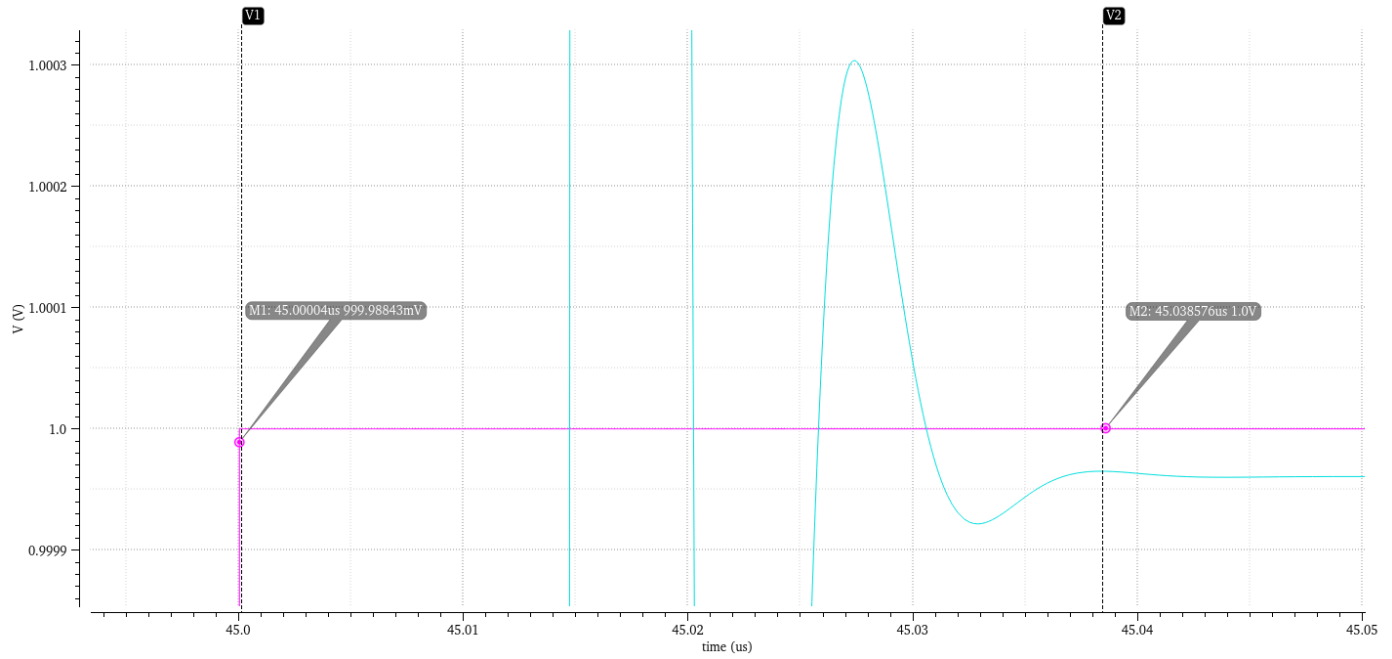


Figura 20: Gráfico de settling time

8.2 Slew Rate

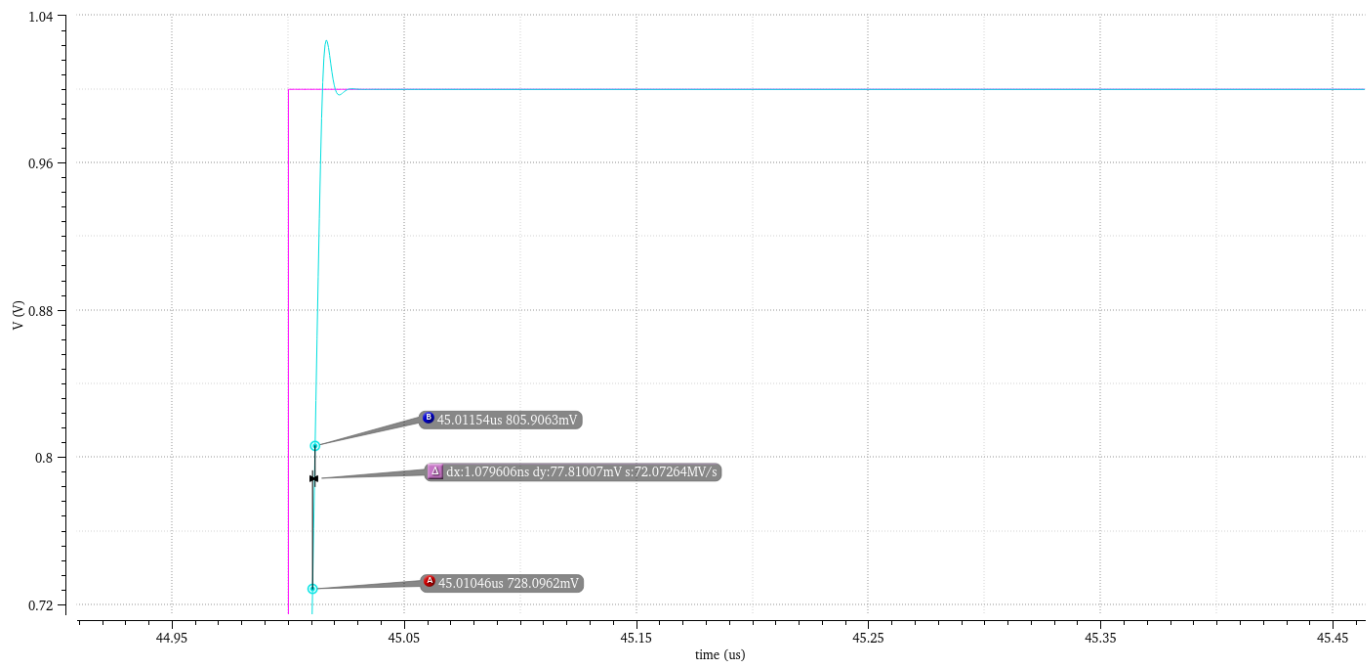


Figura 21: Gráfico de slew rate