



Especificações de projeto

Como projeto disciplinar, deve ser desenvolvido um circuito de controle de acionamento de motores em corrente contínua (CC) por meio de ponte H. Esse circuito deve ter a operação estipulada a partir de um conjunto de registros internos, os quais devem ser configurados de maneira síncrona a partir de um conjunto de seus sinais de entrada. O circuito também deve receber um sinal de sincronismo de referência específico para a ativação de suas saídas.

As especificações de desenvolvimento são apresentadas nas sessões subsequentes.

1 Interface

A Figura 1 exibe uma representação com as entradas e saídas do circuito a ser desenvolvido enquanto a Tabela 1 traz a descrição de tais pinos. Para o caso dos sinais de saída, eles devem ser considerados ativos em nível lógico alto.

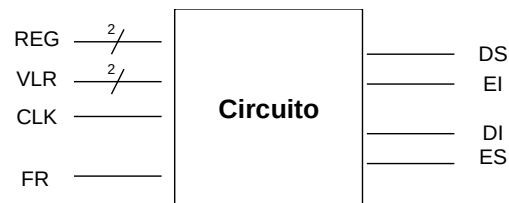


Figura 1: Representação do circuito a ser desenvolvido

Tabela 1: Tabela de operação do circuito

Sinal			Descrição
CLK	1 bit	entrada	Sinal de sincronismo para se configurar a operação do circuito
REG	2 bits	entrada	Sinal de especificação de registro de operação do circuito
VLR	2 bits	entrada	Sinal de especificação de valor de registro de operação do circuito
FR	1 bit	entrada	Sinal de sincronismo de referência para a acionamentos das saídas
DS	1 bit	saída	Controle de saída na posição direita superior
DI	1 bit	saída	Controle de saída na posição direita inferior
ES	1 bit	saída	Controle de saída na posição esquerda superior
EI	1 bit	saída	Controle de saída na posição esquerda inferior

A Figura 2 exemplifica as conexões das saídas do circuito a uma ponte H.

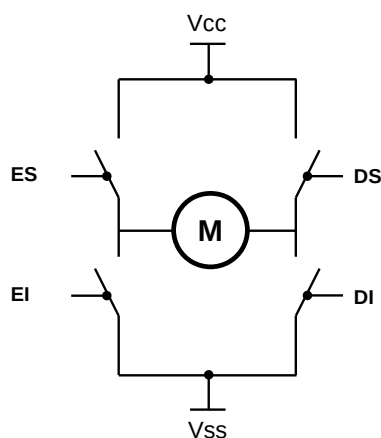


Figura 2: Conexões de controle (DS, DI, ES e EI) em uma ponte H utilizada para acionar um motor de corrente contínua (M).

2 Operação

A partir dos valores em seus registros de operação, o circuito deve ativar os sinais de saída sempre aos pares (DS-EI ou ES-DI) e de forma complementar, o que implica em não se ativar ambos os sinais de saída superiores ou inferiores ao mesmo tempo. Este requisito de operação é necessário ao se acionar motores em corrente contínua por meio de uma ponte H [1].

O circuito deve possuir três registros internos de configuração, os quais são OPE, DIV e CMO. A Tabela 2 elenca tais registros e pormenoriza seus valores de configuração. Durante a operação do circuito, esses registros precisam manter seus estados lógicos até que comandos específicos para a atualização de cada um deles sejam recebidos pelo circuito.

Tabela 2: Registradores de controle de operação

Registro		Descrição
OPE	2 bits	Controle da operação do circuito. - 00: desligado; - 01: acionamento do par DS-EI; - 10: acionamento do par ES-DI; - 11: alternância de pares por ciclo da frequência de operação.
DIV	2 bits	Divisor para a gerar a frequência de operação (F_o): - 00: divisor desligado: F_o opera com a frequência do sinal FR; - 01: divisor por 2: F_o opera com 1/2 da frequência do sinal FR; - 10: divisor por 4: F_o opera com 1/4 da frequência do sinal FR; - 11: divisor por 8: F_o opera com 1/8 da frequência do sinal FR.
CMO	2 bits	Controle da modulação de saída (PWM): - 00: 25%: os sinais de saída ativos possuem ciclo ativo de 25%; - 01: 50%: os sinais de saída ativos possuem ciclo ativo de 50%; - 10: 75%: os sinais de saída ativos possuem ciclo ativo de 75%; - 11: 100%: os sinais de saída ativos são mantidos constantes.

O registro de operação OPE controla a operação geral do circuito. Se seu valor for 00 (binário), então todas as saídas devem ser mantidas em nível lógico baixo, o que indica a inativação de uma ponte H. Já quando o sistema estiver ativo, o registro especifica se os pares DS-EI ou ES-DI devem ser ativados, o que deve ocorrer sempre de maneira complementar. De acordo com a operação de uma ponte H, a ativação de cada um desses pares de saída promove a rotação de um motor CC em um sentido de rotação específico. Quando o circuito estiver em operação, a ativação de pares de saída pode ser especificada para gerar um dentre os sentidos de rotação (registro OPE com os valores 10 ou 01) ou para gerar uma alternância entre os sentidos de rotação, o que é realizado

ao se alternar a ativação dos pares a partir de uma dada frequência de operação, esta chamada de F_o .

O sinal contendo a frequência de operação utilizada pelo circuito é obtido a partir do sinal de entrada FR e de divisores de frequência especificados pelo DIV (vide Tabela 2). O sinal FR deve ser um sinal de sincronismo (*clock*) formado por um trem de pulsos com ciclo ativo de 50%.

O sinal F_o deve também ser utilizado para se gerar um valor médio de ativação das saídas. Esse valor deve ser gerado por meio de modulação por largura de pulso (*PWM*, do inglês *Pulse-Width Modulation*) [2], obtendo-se um sinal de ativação modulado A_m . Para tanto, o circuito deve utilizar quatro (4) ciclos de tal sinal de operação como um período total a partir do qual aplicar a modulação em questão. O conteúdo do registro CMO especifica a modulação a ser aplicada. Para um valor 00 desse registro, por exemplo, um período correspondente a um ciclo do sinal de operação deve ser utilizado como período de ciclo ativo enquanto três ciclos devem ser utilizados para se gerar o correspondente período inativo (1 ciclo ativo seguidos de 3 ciclos inativos). Quando a operação do circuito requisitar a ativação não alternada dos pares das saídas (valores 01 ou 10 do registro OPE), o sinal resultante da modulação, A_m , deve ser utilizado como o estado lógico das saídas em ativação.

3 Configuração dos registros de operação

A estipulação de valores dos registros de operação deve ser realizada por meio dos sinais de entrada CLK, REG e VLR. Para tanto, a entrada REG (vide Tabela 3) deve especificar o endereço do registro cujo valor será configurado, a entrada VLR deve especificar o valor de configuração e então uma borda de subida deve ser gerada no sinal de sincronismo de configuração, CLK. Os valores especificados para as entradas REG e VLR devem ser mantidos enquanto ocorre o evento de borda de subida em questão. A Figura 3 apresenta uma carta de tempo por meio da qual estipular o valor 10 (binário) para o registro DIV.

Tabela 3: Endereço dos registros de configuração da operação

REG	Registro associado
00	OPE
01	DIV
10	CMO
11	reservado

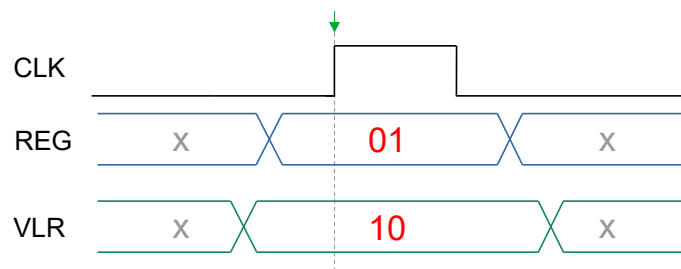


Figura 3: Carta de tempo para a estipulação de valores de registros do circuito

4 Arquitetura sugerida

A Figura 4 traz uma representação em blocos funcionais sugerida para o arquitetura do circuito a ser desenvolvido. Por meio dela, podem ser observados circuitos específicos para se realizar cada uma das operações principais previstas, com a atualização dos registros, a geração do sinal de operação (F_o) e a modulação do estado lógico das saídas (A_m). Ao final do caminho de dados, um bloco de geração das saídas leva em consideração todos os sinais intermediários gerados bem como a configuração geral de operação do circuito.

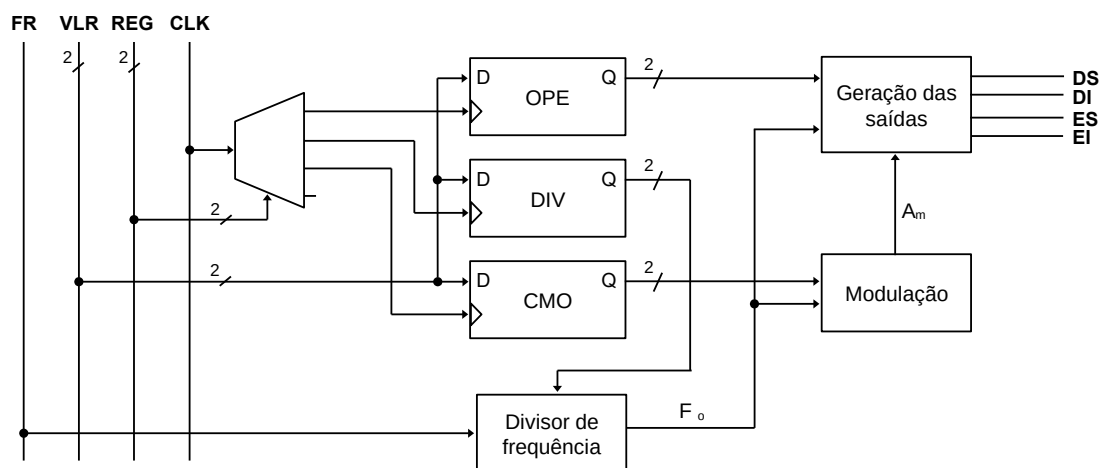


Figura 4: Arquitetura sugerida para o circuito a ser desenvolvido

5 Requisitos de desenvolvimento

Devem ser respeitados os seguintes requisitos de projeto:

- O desenvolvimento deverá ser realizada por duplas de alunos;
- Todo o desenvolvimento deverá ser realizado de maneira hierárquica e modular, o que implica em desenvolver subcircuitos independentes que executem cada uma das funcionalidades (blocos funcionais) realizadas pelo circuito. Esses subcircuitos devem ser então interconectados em um esquema elétrico de nível superior, obtendo-se assim o circuito final. A Figura 4 exemplifica tal abordagem;
- Subcircuitos de uso comum como multiplexadores, demultiplexadores, somadores, dentre outros, devem ser desenvolvidos de maneira hierárquica, ou seja, a partir de arranjos de elementos funcionais mínimos. Como exemplo, um bloco demultiplexador 4x1 para sinais de dois *bits* cada devem ser elaborados a partir de demultiplexadores 2x1 para sinais de dois *bits* cada. Estes, por sua vez, devem ser elaborados por demultiplexadores 2x1 para sinais de 1 *bit*, os quais devem ser elaborados a partir de um circuito lógico elementar;
- Ao se desenvolver os circuitos dos registros (registradores), deve-se utilizar elementos de memória mínimos preexistentes (*flip-flops*) no ambiente de desenvolvimento.

6 Execução de testes individuais por meio de simulação

Devem ser executados testes funcionais individuais dos subcircuitos desenvolvidos.

7 Execução de teste por simulação do circuito desenvolvido

Deve ser executado teste funcional por meio de simulação para o circuito desenvolvido. Para tanto, devem ser elaboradas cartas de tempo (de simulação) para testar o circuito em cada um dos contextos previstos (modos de operação, modos de modulação e frequências de operação). Ao se desenvolver a carta de tempo para tal teste, devem ser considerados os seguintes itens listados na Tabela 4.

Tabela 4: Considerações para a realização de testes funcionais

Item	Consideração
1	Empregar um sinal de 1 kHz para a frequência de referência (FR).
2	Testar cada uma das configurações de acionamento das saídas (OPE) por pelo menos 10 ciclos da frequência de referência.
3	Testar a operação de alternância das saídas para as frequências (F_o) de FR, FR/2, FR/4 e FR/8.
4	Testar a modulação (A_m) da saída para todas as possibilidades previstas (25%, 50%, 75% e 100%). Efetuar tal teste para a ativação de cada um dos pares de saídas possíveis.

8 Testes práticos

Não são requisitados testes práticos para o circuito.

9 Entrega de resultados

Os seguintes itens devem ser entregues:

- Relatório de desenvolvimento (em formato pdf);
- Todos os arquivos de projeto desenvolvidos no ambiente de desenvolvimento adotado.

O relatório de desenvolvimento deve atender ao modelo de relatório disponibilizado em conjunto a esta especificação de projeto.

Todos os resultados de projeto devem ser entregues em um único arquivo compactado (formato .zip) e por meio de uma tarefa específica existente no sistema da universidade.

Importante:

Arquivos entregues em formato diferente do especificado serão desconsiderados.

10 Avaliação

Os seguintes quesitos serão avaliados:

- Desenvolvimento hierárquico e modular: 10%;
- Operação correta do circuito desenvolvido: 60%, dos quais:
 - 10% para o mecanismo de atualização de registros;
 - 25% para a correta operação das saídas em função dos modos de operação;
 - 25% para a correta operação de modulação da saída.
- Relatório de desenvolvimento: 30%, dos quais:
 - 15% para a completude;
 - 15% para a qualidade de editoração.

A verificação da operação correta do circuito será realizada tanto de maneira prática quanto por meio de simulação.

11 Recursos a serem utilizados

- Ambiente de desenvolvimento Quartus Web 13.1;
- Placa de desenvolvimento DE1.

12 Referências

- [1] Özer, Tolga & Kivrak, Sinan & Oğuz, Yüksel. (2017). H Bridge DC Motor Driver Design and Implementation with Using dsPIC30f4011. International Journal of Innovative Research in Science, Engineering and Technology. 6. 75-83.
- [2] Jalnekar, Rajesh & Jog, K. (2015). Pulse-Width-Modulation Techniques: A Review. IETE Journal of Research. 46. 175-183. 10.1080/03772063.2000.11416153.