

# OS-Level Task-Based Mechanism for Lightweight Manycore Processors

João Vicente Souto  
UFSC  
Florianópolis, Brazil  
joao.vicente.souto@grad.ufsc.br

Pedro Henrique Penna  
UGA, PUC Minas  
Grenoble, France  
pedro.penna@sga.pucminas.br

Márcio Castro  
UFSC  
Florianópolis, Brazil  
marcio.castro@ufsc.br

**Abstract**—Lorem ipsum dolor sit amet, consectetur adipiscing elit. Ut purus elit, vestibulum ut, placerat ac, adipiscing vitae, felis. Curabitur dictum gravida mauris. Nam arcu libero, nonummy eget, consectetur id, vulputate a, magna. Donec vehicula augue eu neque. Pellentesque habitant morbi tristique senectus et netus et malesuada fames ac turpis egestas. Mauris ut leo. Cras viverra metus rhoncus sem. Nulla et lectus vestibulum urna fringilla ultrices. Phasellus eu tellus sit amet tortor gravida placerat. Integer sapien est, iaculis in, pretium quis, viverra ac, nunc. Praesent eget sem vel leo ultrices bibendum. Aenean faucibus. Morbi dolor nulla, malesuada eu, pulvinar at, mollis ac, nulla. Curabitur auctor semper nulla. Donec varius orci eget risus. Duis nibh mi, congue eu, accumsan eleifend, sagittis quis, diam. Duis eget orci sit amet orci dignissim rutrum.

**Index Terms**—HAL, Distributed Operating System, Lightweight Manycore, Kalray MPPA-256

## I. INTRODUCTION

A classe de processadores Lightweight Manycore destaca-se pela seu alto nível de paralelismo com baixo consumo energético [1]. As aplicações projetadas para executar nesses processadores tem a sua disposição centenas de núcleos agrupados e distribuídos em um único chip. Para endereçar a escalabilidade do sistema e prover a eficiência energética, LWs exibem características arquiteturais próprias que os diferem dos demais Manycores. Especificamente, eles integram: (i) thousands of low-power cores with Multiple Instruction Multiple Data (MIMD) capability [2]; (ii) distributed memory architecture and small local memories shared by tightly-coupled groups of cores (aka *clusters*) [3]; (iii) reliable and fast Network-on-Chips (NoCs) for message-passing [3]; and (iv) heterogeneous processing capabilities [4]. Alguns exemplos de LWs são A, B e C.

Tais características introduzem diversos desafios no desenvolvimento de aplicações de baixo e alto nível. Por exemplo, (i) programação híbrida entre os modelos de memória compartilhada e troca de mensagens devido a natureza dos LWs [5]; (ii) falta de suporte em hardware para coerência de cache [1]; (iii) sistema de memória distribuído e restritivo [6]; e (iv) programação de componentes heterogêneos [7]. Neste contexto, diversos trabalhos propõem soluções em diversos níveis de abstração para amenizar as dificuldades e prover ao usuário final alternativas para o desenvolvimento dessas

arquiteturas. Soluções em nível do kernel, como PENNA-NANVIX, endereçam uma gama de problemas de baixo nível para prover uma visão padronizada e facilitar a programabilidade e portabilidade para LWs. Por outro lado, soluções como XXX, buscam em explorar um tipo específico de abstração e modelaam um esqueleto de solução que pode ser adaptado pra família de problemas endereçado.

Dentre todas as soluções, uma das principais dificuldades é como lidar com a quantidade reduzida de memória local dentro de um cluster. Vale ressaltar que essa memória muitas vezes não é exclusiva para o usuário. A memória local precisa armazenar códigos e estruturas de dados da aplicação e de suas dependências, e.g., OS e/ou bibliotecas. Algo que consome uma quantidade considerável de memória é o suporte a múltiplos fluxos de programação. Por exemplo, alocação de páginas de memória para armazenar o contexto e pilha de execução de uma rotina. Neste contexto, o presente trabalho propõe uma abstração de task em nível de kernel para definir uma unidade genérica de execução. Similar a uma piscina de threads, uma thread do sistema aguarda receber essas unidades para executar. Com este mecanismo, buscamos atingir os seguintes objetivos e contribuições:

- Projetar um mecanismo de task no nível do kernel para uso interno do OS e para a aplicação cliente.
- Diminuir a alocação de memória do sistema de threads ao reutilizar o contexto e pilha de execução de uma única thread;
- Melhorar a utilização de núcleos ociosos;
- Explorar a localidade dos dados na cache de um único núcleo;
- Habilitar operações assíncrona e/ou periódicas, e.g., envio assíncrono em LWs que não possuem DMA.
- Facilitar a modelagem de funcionalidades internas do kernel.

Este trabalho faz parte do desenvolvimento do Nanvix, um sistema operacional distribuído projetado para endereçar as características dos LWs. O escopo do trabalho se limita ao aperfeiçoamento do um microkernel assimétrico que gerencia os recursos locais de um cluster.

The remainder of this work is organized as follows. In Section II, we discuss related work. In Section III we cover the problem definition. In Section IV, we present our proposal. In Section V, we detail the experimental environment. In

We thank CNRS, CNPq, FAPESC, FAPEMIG for supporting this research. This study was financed in part by the Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Brasil (CAPES) - Finance Code 001.

Section VI, we discuss our experimental results. In Section II we discuss related works. In Section VII, we draw our conclusions.

## II. RELATED WORK

Nam dui ligula, fringilla a, euismod sodales, sollicitudin vel, wisi. Morbi auctor lorem non justo. Nam lacus libero, pretium at, lobortis vitae, ultricies et, tellus. Donec aliquet, tortor sed accumsan bibendum, erat ligula aliquet magna, vitae ornare odio metus a mi. Morbi ac orci et nisl hendrerit mollis. Suspendisse ut massa. Cras nec ante. Pellentesque a nulla. Cum sociis natoque penatibus et magnis dis parturient montes, nascetur ridiculus mus. Aliquam tincidunt urna. Nulla ullamcorper vestibulum turpis. Pellentesque cursus luctus mauris.

Nulla malesuada porttitor diam. Donec felis erat, congue non, volutpat at, tincidunt tristique, libero. Vivamus viverra fermentum felis. Donec nonummy pellentesque ante. Phasellus adipiscing semper elit. Proin fermentum massa ac quam. Sed diam turpis, molestie vitae, placerat a, molestie nec, leo. Maecenas lacinia. Nam ipsum ligula, eleifend at, accumsan nec, suscipit a, ipsum. Morbi blandit ligula feugiat magna. Nunc eleifend consequat lorem. Sed lacinia nulla vitae enim. Pellentesque tincidunt purus vel magna. Integer non enim. Praesent euismod nunc eu purus. Donec bibendum quam in tellus. Nullam cursus pulvinar lectus. Donec et mi. Nam vulputate metus eu enim. Vestibulum pellentesque felis eu massa.

Quisque ullamcorper placerat ipsum. Cras nibh. Morbi vel justo vitae lacus tincidunt ultrices. Lorem ipsum dolor sit amet, consectetur adipiscing elit. In hac habitasse platea dictumst. Integer tempus convallis augue. Etiam facilisis. Nunc elementum fermentum wisi. Aenean placerat. Ut imperdiet, enim sed gravida sollicitudin, felis odio placerat quam, ac pulvinar elit purus eget enim. Nunc vitae tortor. Proin tempus nibh sit amet nisl. Vivamus quis tortor vitae risus porta vehicula.

## III. PROBLEM DEFINITION

O gerenciamento de memória interna de um cluster afeta todos os níveis de abstração no contexto dos LWs. Por exemplos, OSs precisam ser pequenos e leves para deixar a maior quantidade de memória disponível pra aplicação. Por outro lado, aplicações extremamente paralelas e concorrentes têm a necessidade de gerenciar manualmente a coerência dos dados manipulados.

Para amenizar os problemas de coerência de cache existente nessas arquiteturas, Penna ETAL propôs um microkernel assíncrono para concentrar o gerenciamento e manipulação das estruturas do OS em um único núcleo. A Figura X ilustra a execução de uma chamada de sistema dentro do Nanvix. Quando um núcleo escravo deseja realizar uma operação privilegiada, este envia uma solicitação ao núcleo mestre, que por sua vez, realiza e retorna o resultado ao solicitante. Os problemas explorados neste trabalho estão contidos no escopo deste nível de OS.

Além das dificuldades impostas pelo sistema de memória, nossa proposta busca atacar algumas das desvantagens do microkernel e do sistema de comunicação. As descrições a

seguir resumam os principais problemas que nossa solução se propõe endereçar:

*Core Utilization:* Pela necessidade de ter um núcleo reservado para a thread de sistema, o microkernel assimétrico perde poder de processamento ao deixar o núcleo mestre ocioso entre solicitações de syscalls.

*Memory Utilization:* Para cada novo fluxo de execução (thread), o sistema de memória deve reservar dois espaços de memória, um para a pilha de execução do usuário e outra reservada para o kernel. Geralmente, cada pilha possui o tamanho de uma página de memória.

*Data Locality:* Por causa da falta de suporte em hardware para coerência de cache, a disputa por uma região de memória compartilhada é custosa. Para entrar em uma região crítica, as threads precisam garantir que os endereços na cache estejam invalidados, forçando o acesso ao banco de memória local. Ao sair de uma região crítica, as threads precisam forçar flush dos dados modificados para que os outros possam ver a atualização. Por isso, o isolamento dos dados em um único núcleo para explorar a localidade dos dados na cache é tão importante.

*Asynchronous Operations:* Pela simplicidade e redução de energia, LWs podem não possuir uma DMA dedicada para executar comunicação assíncrona. Deste modo, é responsabilidade da thread realizar pooling dos dados na NoC manualmente.

*Periodic Operations:* Para permitir a uma cluster seja monitorado ou receba comandos externos, é necessário que uma thread exista para solicitando verificações e aguardando mensagens externa, aumentando a necessidade de memória do OS. Entretanto, a existência dessas operações são essenciais para desenvolver serviços mais complexos, e.g., gerenciamento e migração de processos, invalidação de memória compartilhada e distribuída, e execução de procedimentos remotos.

## IV. OS-LEVEL TASK-BASED ENGINE

Nam dui ligula, fringilla a, euismod sodales, sollicitudin vel, wisi. Morbi auctor lorem non justo. Nam lacus libero, pretium at, lobortis vitae, ultricies et, tellus. Donec aliquet, tortor sed accumsan bibendum, erat ligula aliquet magna, vitae ornare odio metus a mi. Morbi ac orci et nisl hendrerit mollis. Suspendisse ut massa. Cras nec ante. Pellentesque a nulla. Cum sociis natoque penatibus et magnis dis parturient montes, nascetur ridiculus mus. Aliquam tincidunt urna. Nulla ullamcorper vestibulum turpis. Pellentesque cursus luctus mauris.

Nulla malesuada porttitor diam. Donec felis erat, congue non, volutpat at, tincidunt tristique, libero. Vivamus viverra fermentum felis. Donec nonummy pellentesque ante. Phasellus adipiscing semper elit. Proin fermentum massa ac quam. Sed diam turpis, molestie vitae, placerat a, molestie nec, leo. Maecenas lacinia. Nam ipsum ligula, eleifend at, accumsan nec, suscipit a, ipsum. Morbi blandit ligula feugiat magna. Nunc eleifend consequat lorem. Sed lacinia nulla vitae enim. Pellentesque tincidunt purus vel magna. Integer non enim. Praesent euismod nunc eu purus. Donec bibendum quam in

tellus. Nullam cursus pulvinar lectus. Donec et mi. Nam vulputate metus eu enim. Vestibulum pellentesque felis eu massa.

Quisque ullamcorper placerat ipsum. Cras nibh. Morbi vel justo vitae lacus tincidunt ultrices. Lorem ipsum dolor sit amet, consectetur adipiscing elit. In hac habitasse platea dictumst. Integer tempus convallis augue. Etiam facilisis. Nunc elementum fermentum wisi. Aenean placerat. Ut imperdiet, enim sed gravida sollicitudin, felis odio placerat quam, ac pulvinar elit purus eget enim. Nunc vitae tortor. Proin tempus nibh sit amet nisl. Vivamus quis tortor vitae risus porta vehicula.

## V. EXPERIMENTAL ENVIRONMENT

Nam dui ligula, fringilla a, euismod sodales, sollicitudin vel, wisi. Morbi auctor lorem non justo. Nam lacus libero, pretium at, lobortis vitae, ultricies et, tellus. Donec aliquet, tortor sed accumsan bibendum, erat ligula aliquet magna, vitae ornare odio metus a mi. Morbi ac orci et nisl hendrerit mollis. Suspendisse ut massa. Cras nec ante. Pellentesque a nulla. Cum sociis natoque penatibus et magnis dis parturient montes, nascetur ridiculus mus. Aliquam tincidunt urna. Nulla ullamcorper vestibulum turpis. Pellentesque cursus luctus mauris.

Nulla malesuada porttitor diam. Donec felis erat, congue non, volutpat at, tincidunt tristique, libero. Vivamus viverra fermentum felis. Donec nonummy pellentesque ante. Phasellus adipiscing semper elit. Proin fermentum massa ac quam. Sed diam turpis, molestie vitae, placerat a, molestie nec, leo. Maecenas lacinia. Nam ipsum ligula, eleifend at, accumsan nec, suscipit a, ipsum. Morbi blandit ligula feugiat magna. Nunc eleifend consequat lorem. Sed lacinia nulla vitae enim. Pellentesque tincidunt purus vel magna. Integer non enim. Praesent euismod nunc eu purus. Donec bibendum quam in tellus. Nullam cursus pulvinar lectus. Donec et mi. Nam vulputate metus eu enim. Vestibulum pellentesque felis eu massa.

Quisque ullamcorper placerat ipsum. Cras nibh. Morbi vel justo vitae lacus tincidunt ultrices. Lorem ipsum dolor sit amet, consectetur adipiscing elit. In hac habitasse platea dictumst. Integer tempus convallis augue. Etiam facilisis. Nunc elementum fermentum wisi. Aenean placerat. Ut imperdiet, enim sed gravida sollicitudin, felis odio placerat quam, ac pulvinar elit purus eget enim. Nunc vitae tortor. Proin tempus nibh sit amet nisl. Vivamus quis tortor vitae risus porta vehicula. A plataforma

## VI. RESULTS

Nam dui ligula, fringilla a, euismod sodales, sollicitudin vel, wisi. Morbi auctor lorem non justo. Nam lacus libero, pretium at, lobortis vitae, ultricies et, tellus. Donec aliquet, tortor sed accumsan bibendum, erat ligula aliquet magna, vitae ornare odio metus a mi. Morbi ac orci et nisl hendrerit mollis. Suspendisse ut massa. Cras nec ante. Pellentesque a nulla. Cum sociis natoque penatibus et magnis dis parturient montes, nascetur ridiculus mus. Aliquam tincidunt urna. Nulla ullamcorper vestibulum turpis. Pellentesque cursus luctus mauris.

Nulla malesuada porttitor diam. Donec felis erat, congue non, volutpat at, tincidunt tristique, libero. Vivamus viverra

fermentum felis. Donec nonummy pellentesque ante. Phasellus adipiscing semper elit. Proin fermentum massa ac quam. Sed diam turpis, molestie vitae, placerat a, molestie nec, leo. Maecenas lacinia. Nam ipsum ligula, eleifend at, accumsan nec, suscipit a, ipsum. Morbi blandit ligula feugiat magna. Nunc eleifend consequat lorem. Sed lacinia nulla vitae enim. Pellentesque tincidunt purus vel magna. Integer non enim. Praesent euismod nunc eu purus. Donec bibendum quam in tellus. Nullam cursus pulvinar lectus. Donec et mi. Nam vulputate metus eu enim. Vestibulum pellentesque felis eu massa.

Quisque ullamcorper placerat ipsum. Cras nibh. Morbi vel justo vitae lacus tincidunt ultrices. Lorem ipsum dolor sit amet, consectetur adipiscing elit. In hac habitasse platea dictumst. Integer tempus convallis augue. Etiam facilisis. Nunc elementum fermentum wisi. Aenean placerat. Ut imperdiet, enim sed gravida sollicitudin, felis odio placerat quam, ac pulvinar elit purus eget enim. Nunc vitae tortor. Proin tempus nibh sit amet nisl. Vivamus quis tortor vitae risus porta vehicula.

## VII. CONCLUSIONS

Nam dui ligula, fringilla a, euismod sodales, sollicitudin vel, wisi. Morbi auctor lorem non justo. Nam lacus libero, pretium at, lobortis vitae, ultricies et, tellus. Donec aliquet, tortor sed accumsan bibendum, erat ligula aliquet magna, vitae ornare odio metus a mi. Morbi ac orci et nisl hendrerit mollis. Suspendisse ut massa. Cras nec ante. Pellentesque a nulla. Cum sociis natoque penatibus et magnis dis parturient montes, nascetur ridiculus mus. Aliquam tincidunt urna. Nulla ullamcorper vestibulum turpis. Pellentesque cursus luctus mauris.

Nulla malesuada porttitor diam. Donec felis erat, congue non, volutpat at, tincidunt tristique, libero. Vivamus viverra fermentum felis. Donec nonummy pellentesque ante. Phasellus adipiscing semper elit. Proin fermentum massa ac quam. Sed diam turpis, molestie vitae, placerat a, molestie nec, leo. Maecenas lacinia. Nam ipsum ligula, eleifend at, accumsan nec, suscipit a, ipsum. Morbi blandit ligula feugiat magna. Nunc eleifend consequat lorem. Sed lacinia nulla vitae enim. Pellentesque tincidunt purus vel magna. Integer non enim. Praesent euismod nunc eu purus. Donec bibendum quam in tellus. Nullam cursus pulvinar lectus. Donec et mi. Nam vulputate metus eu enim. Vestibulum pellentesque felis eu massa.

Quisque ullamcorper placerat ipsum. Cras nibh. Morbi vel justo vitae lacus tincidunt ultrices. Lorem ipsum dolor sit amet, consectetur adipiscing elit. In hac habitasse platea dictumst. Integer tempus convallis augue. Etiam facilisis. Nunc elementum fermentum wisi. Aenean placerat. Ut imperdiet, enim sed gravida sollicitudin, felis odio placerat quam, ac pulvinar elit purus eget enim. Nunc vitae tortor. Proin tempus nibh sit amet nisl. Vivamus quis tortor vitae risus porta vehicula.

## REFERENCES

- [1] E. Franceschini, M. Castro, P. H. Penna, F. Dupros, H. Freitas, P. Navaux, and J.-F. Méhaut, "On the Energy Efficiency and Performance of Irregular Application Executions on Multicore, NUMA and Manycore Platforms," *Journal of Parallel and Distributed Computing*, vol. 76, no. C, pp. 32–48, Feb. 2015.

- [2] D. Rossi, A. Pullini, I. Loi, M. Gautschi, F. K. Gurkaynak, A. Teman, J. Constantin, A. Burg, I. Miro-Panades, E. Beigne, F. Clermidy, P. Flattresse, and L. Benini, "Energy-efficient near-threshold parallel computing: The pulpv2 cluster," *IEEE Micro*, vol. 37, no. 5, pp. 20–31, sep 2017.
- [3] B. Bohnenstiehl, A. Stillmaker, J. Pimentel, T. Andreas, B. Liu, A. Tran, E. Adeagbo, and B. Baas, "KiloCore: A 32-nm 1000-Processor Computational Array," *IEEE Journal of Solid-State Circuits*, vol. 52, no. 4, pp. 891–902, 2017.
- [4] S. Davidson, S. Xie, C. Torng, K. Al-Hawai, A. Rovinski, T. Ajayi, L. Vega, C. Zhao, R. Zhao, S. Dai, A. Amarnath, B. Veluri, P. Gao, A. Rao, G. Liu, R. K. Gupta, Z. Zhang, R. Dreslinski, C. Batten, and M. B. Taylor, "The Celerity Open-Source 511-Core RISC-V Tiered Accelerator Fabric: Fast Architectures and Design Methodologies for Fast Chips," *IEEE Micro*, vol. 38, no. 2, pp. 30–41, mar 2018.
- [5] B. Kelly, W. Gardner, and S. Kyo, "AutoPilot: Message Passing Parallel Programming for a Cache Incoherent Embedded Manycore Processor," in *Proceedings of the 1st International Workshop on Many-core Embedded Systems*, ser. MES '13. Tel-Aviv, Israel: ACM, Jun. 2013, pp. 62–65. [Online]. Available: <http://dl.acm.org/citation.cfm?doid=2489068.2491624>
- [6] M. Castro, E. Francesquini, F. Dupros, H. Aochi, P. O. Navaux, and J.-F. Méhaut, "Seismic wave propagation simulations on low-power and performance-centric manycores," *Parallel Computing*, vol. 54, pp. 108–120, 2016.
- [7] A. Barbalace, M. Sadini, S. Ansary, C. Jelesnianski, A. Ravichandran, C. Kendir, A. Murray, and B. Ravindran, "Popcorn: Bridging the Programmability Gap in Heterogeneous-ISA Platforms," in *European Conf. on Computer Systems*, Bordeaux, France, Apr. 2015, pp. 1–16.