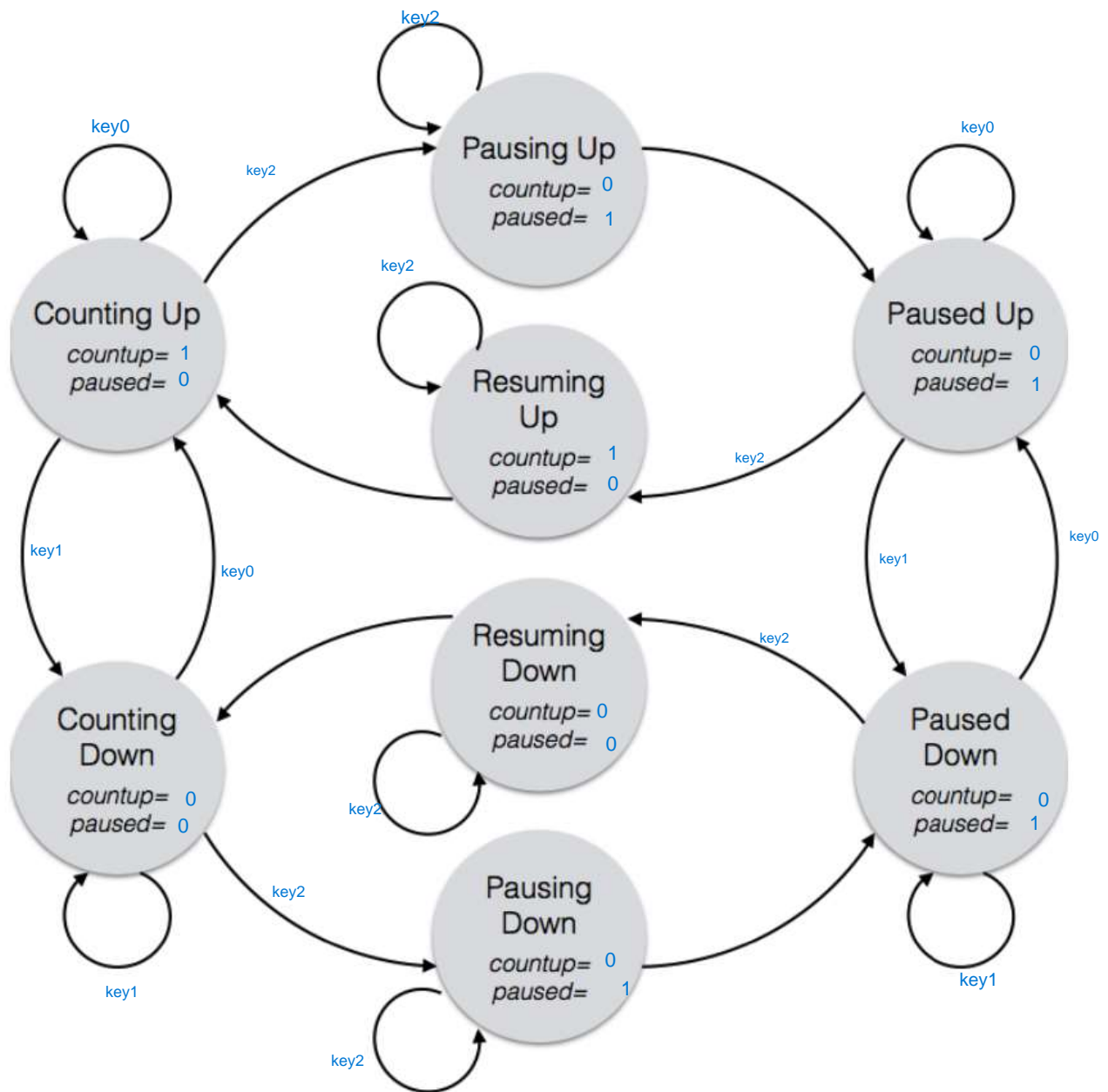


Certifique-se que o seu projeto contenha os módulos a seguir em seus arquivos:

- Display de 8 dígitos: `displayNdigit.sv`
- Debouncer: `debouncer.sv`
- Máquina de Estados Finitos: `fsm.sv`
- Contador Up-Down BCD: `updowncounter.sv`
- Módulo *top level* do cronômetro (tudo deve estar dentro dele): `stopwatch.sv`

Para ajudar a implementar sua FSM, um diagrama de transição de estados é apresentado a seguir. Você precisará preencher os detalhes como discutido em sala/laboratório.



Você deve rotular as entradas sob os arcos e as saídas dentro dos estados (máquina de estados de Moore). Siga o passo-à-passo usual para converter o seu diagrama de estados em um código Verilog (utilize o modelo fornecido no arquivo `lab6_fsm_template.sv`).

Consulte também o tutorial sobre [Máquinas de Estados Finitos em Verilog](#) disponível no site do curso.

Acompanhamento (entrega: sexta-feira 03 de junho, 2022)

Durante a aula esteja pronto para apresentar para o professor ou monitor:

- Os arquivos do laboratório `debouncer.sv`, `fsm.sv`, `updowncounter.sv`, e `stopwatch.sv`.