



# Engenharia Informática

## Sistemas Digitais

### 1º Projeto – Multibanco

Juan Silva, 2082516

Joel Camacho, 2083516

Funchal, 7 de novembro de 2017

---

## *Introdução*

---

Este projeto consistiu na elaboração de um multibanco, no desenvolvimento do mesmo identificamos vários problemas, sendo um dos quais a introdução de um cartão de multibanco, esta introdução feita através de um sinal Enable em logica negada, um PIN (em 4 bits), em que sempre que este pin correspondesse ao COD (em 5 bits), sendo o COD a chave de acesso para a leitura do SALDO e VAL, onde surgia outro problema que consistia na conversão do PIN em 4 bits para 5 bits (COD), o que resultou na necessidade de utilização de um decodificador para a resolução deste problema. Caso não houvesse uma validação do pin com o COD, o ECRA passaria a ter o valor de 0, caso contrario o ECRA passaria a mostrar o SALDO-VAL, com isto procedemos a resolução do projeto e dos problemas que surgiram na resolução do mesmo.

---

## Descodificador

---

Para o descodificador começou-se por fazer o resto da divisão por 9 da soma dos dígitos do número mecanográfico do aluno mais novo do grupo para obter o excesso para o código BCD, tendo este o número “2081516” em que o seu excesso deu 6.

Construiu-se uma tabela de verdade com os números decimais, o código binário, em 5 bits, e o código BCD Excesso 6, em 5 bits.

Construiu-se ainda uma outra tabela com os números decimais, o código binário, em 4 bits, e o código BCD Excesso 6, em 5 bits, onde a partir desta obteve-se 5 funções, as quais simplificamos através dos mapas de Karnaugh de 4 variáveis e da álgebra de boole.

A partir dessas 5 funções contruiu-se o descodificador em esquema elétrico utilizando apenas portas logicas AND, OR e NOT, como pode-se verificar na figura 1.

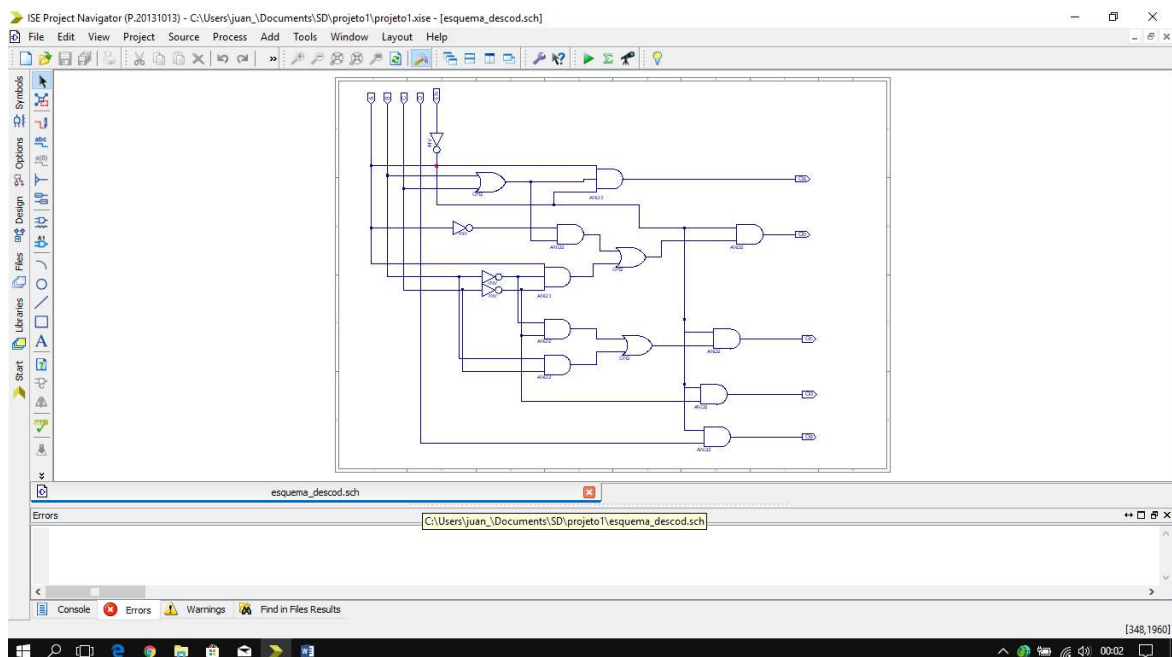


Figura 1 - Descodificador em esquema elétrico utilizando apenas as portas logicas AND, OR e NOT.

---

## Comparador

---

Após o decodificador estar a funcionar como o esperado, construiu-se o comparador de 4 bits em verilog, figura 2, em que este tem por funcionalidade comparar as saídas do decodificador com a combinação previamente escolhida e armazenada em verilog com o valor “01010”, este correspondente a “0100” em 4 bits.

Quando o PIN, em 4 bits, corresponde, após conversão, ao COD, em 5 bits, a saída do ECRA toma o valor correspondente ao débito do VAL ao SALDO, quando não se dá essa correspondência a saída do ECRA toma valor “0000”.

Este comparador, implementado em verilog, possui duas entradas, sob a forma de array de 5 dimensões, em que se faz a comparação de dimensão em dimensão (bit por bit).

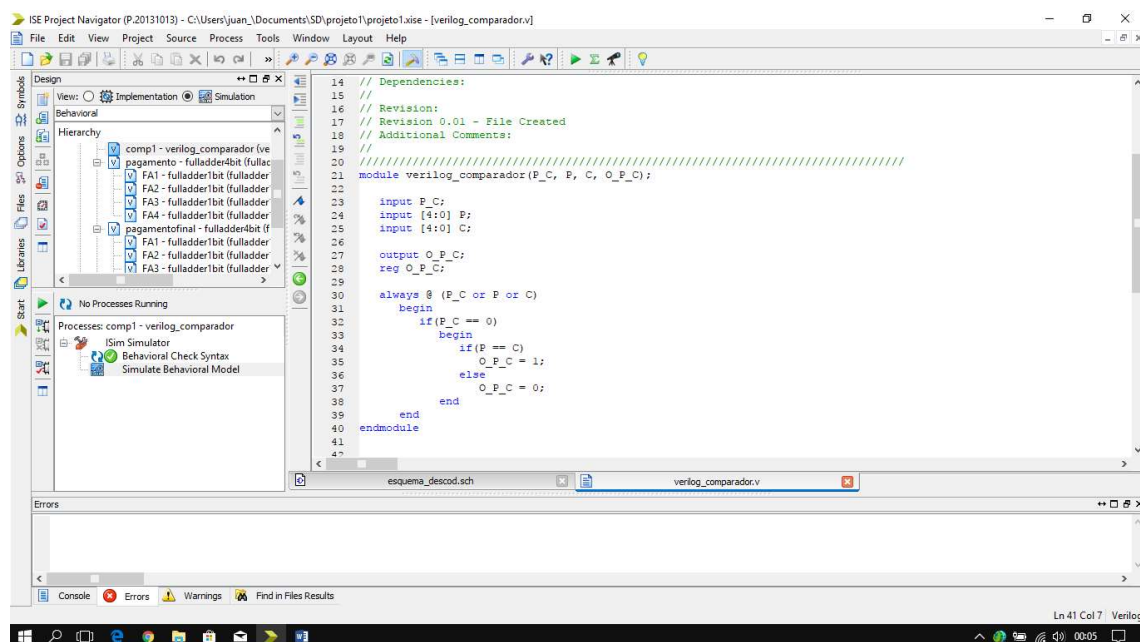


Figura 2 - Comparador de 4 bits em verilog.

---

## *Pagamento*

---

Para o pagamento começamos por construir uma tabela com os números decimais e seus correspondentes em binário, em 4 bits, desde o negativo, “-7”, ao positivo, “7”, para termos os valores negativos que atribuímos ao VAL.

Para o funcionamento do débito procedeu-se a programação de um somador de 4 bits em verilog, figura 3, este somador funciona com recursividade a 4 somadores de 1 bit previamente programado também em verilog, figura 4.

Verificou-se que precisávamos fazer este somador em complemento para 1, pois o resto da divisão por nove da soma dos dígitos do número mecanográfico do aluno mais velho do grupo, sendo este o número “2083516”, deu 7 e como este é um valor superior a 5 tínhamos que implementar este somador em complemento para 1.

Para tal, ao programa-lo em verilog, recorreu-se novamente ao somador para adicionar 1 bit ao valor obtido anteriormente, desta forma obteve-se sempre o valor esperado.

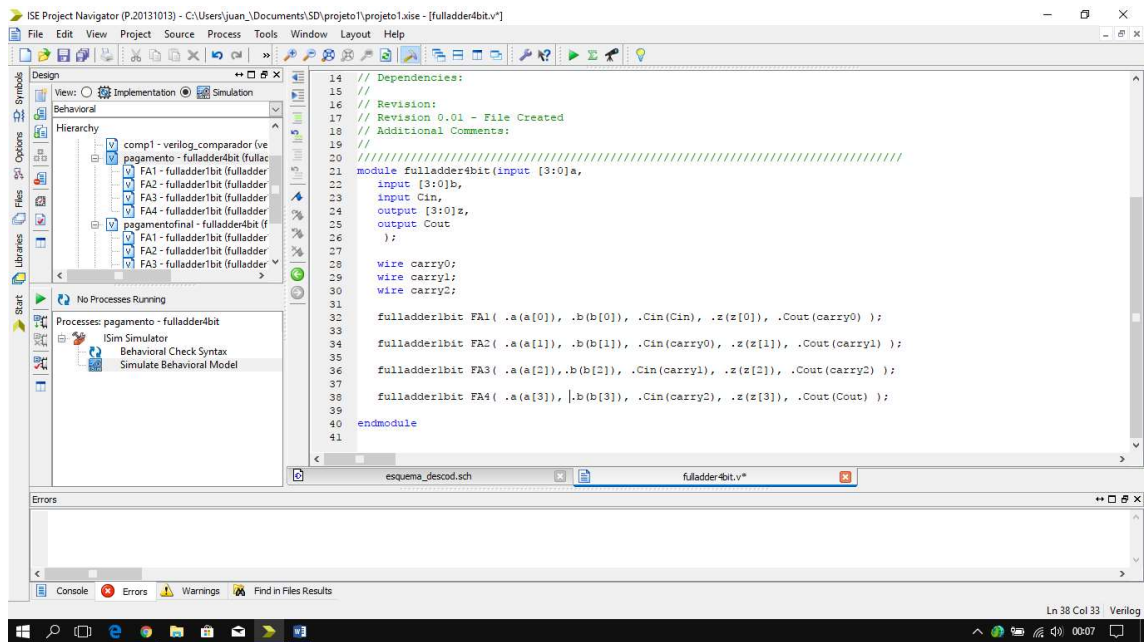


Figura 3 – Somador de 4 bits em verilog.

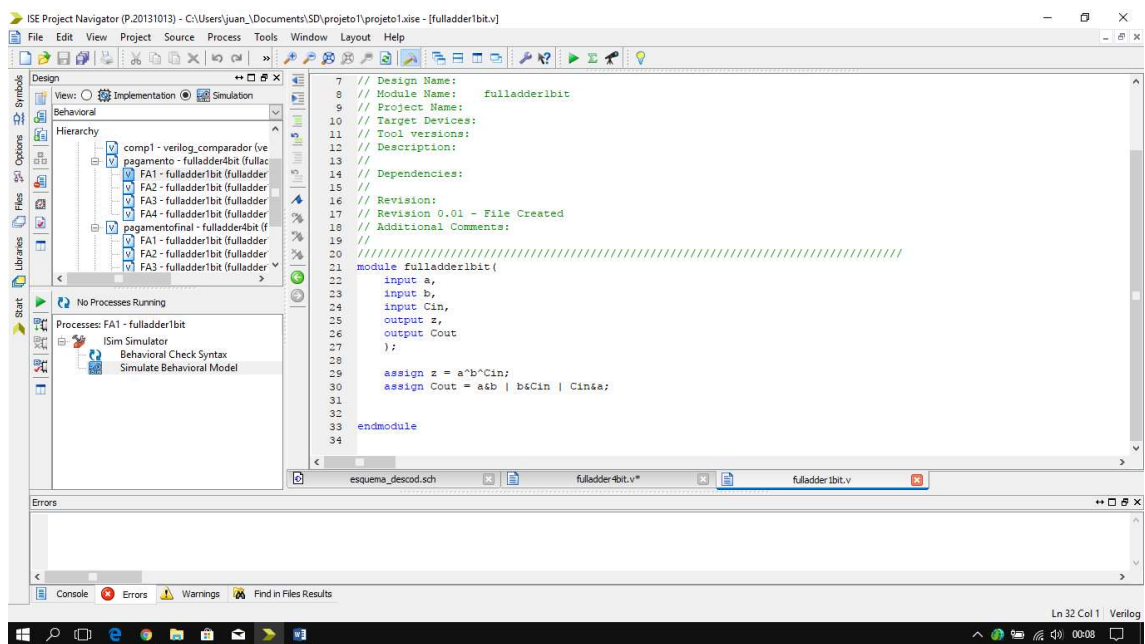


Figura 4 - 4 somadores de 1 bit em verilog.

---

## *Funcionamento do projeto*

---

Para comprovar o bom funcionamento do projeto, simulamos 4 vezes o circuito mudando os valores COD, VAL e SALDO e obteve-se o que era esperado, para confirmar deixaremos os resultados em anexo.

COD	SALDO	VAL	ECRA	ANEXO
3→ 01001	7→ 0111	-6→ 1001	$7 - 6 = 1 \rightarrow 0001$	1
4→ 01010	6→ 0110	-4→ 1011	$6 - 4 = 2 \rightarrow 0010$	2
5→ 01011	6→ 0110	-3→ 1100	$6 - 3 = 3 \rightarrow 0011$	3
7→ 0111	3→ 0011	-1→ 1110	$3 - 1 = 2 \rightarrow 0010$	4

---

## *Conclusão*

---

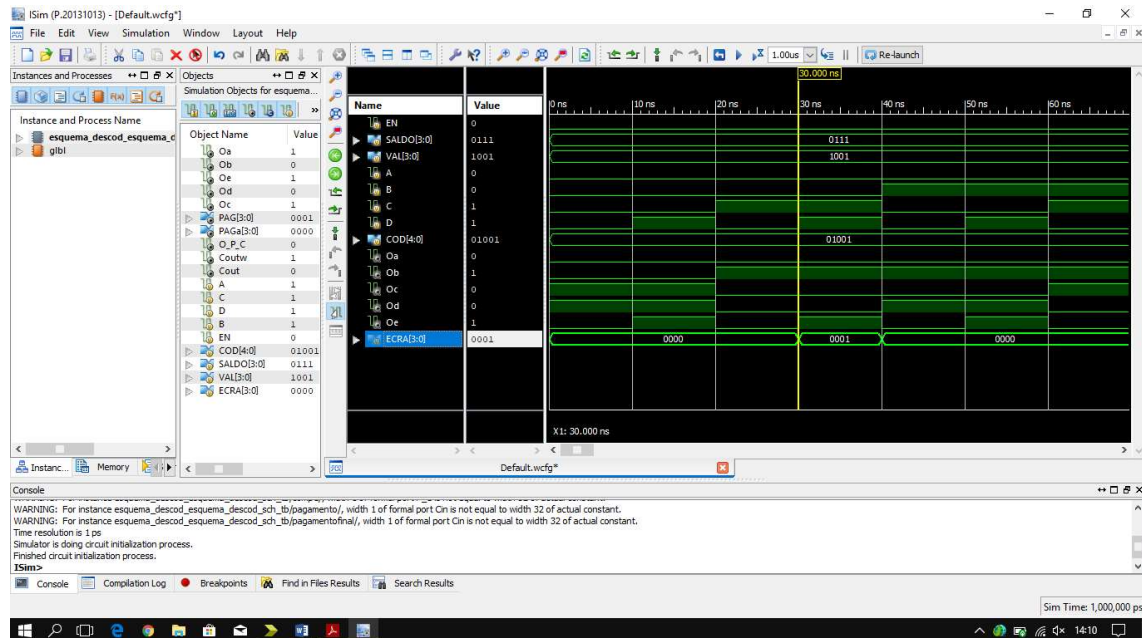
Ao longo deste projeto deparamo-nos com imensas dificuldades, nomeadamente na implementação em verilog, pois esta é uma linguagem de programação na qual nunca tínhamos trabalhado anteriormente e da qual, inicialmente, não possuíamos conhecimentos suficientes para o que era necessário implementar.

Verificou-se, através de simulação, que o circuito funciona como esperado, pois este apenas apresenta o valor correspondente ao débito do VAL ao SALDO no ECRA quando a combinação do PIN corresponde ao COD, caso não corresponda a saída no ECRA é 0.

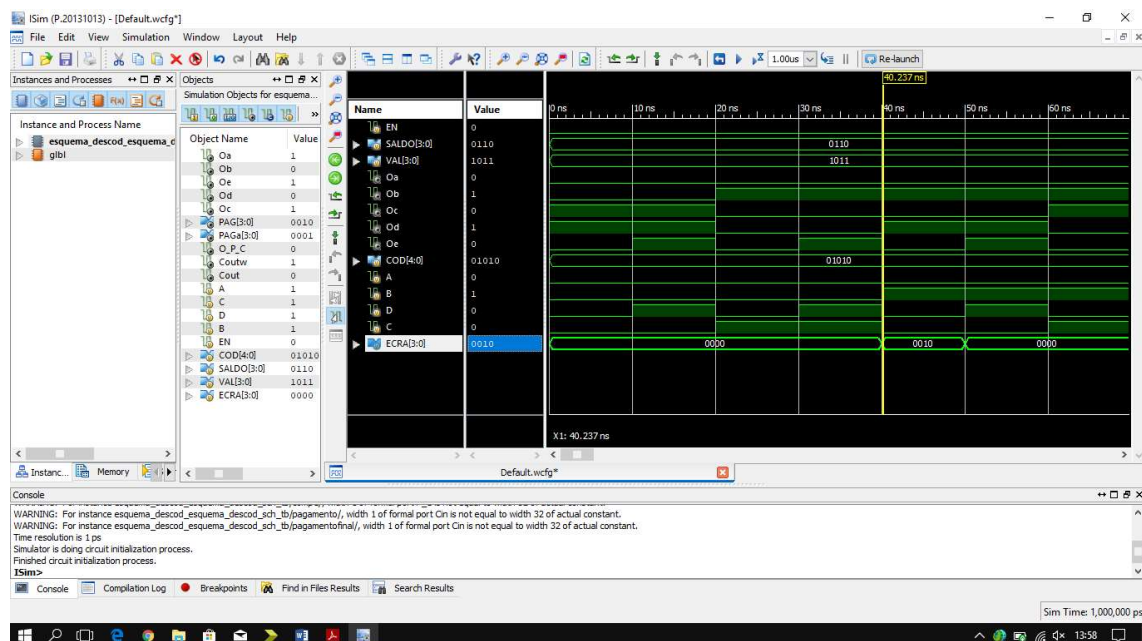


# ANEXOS

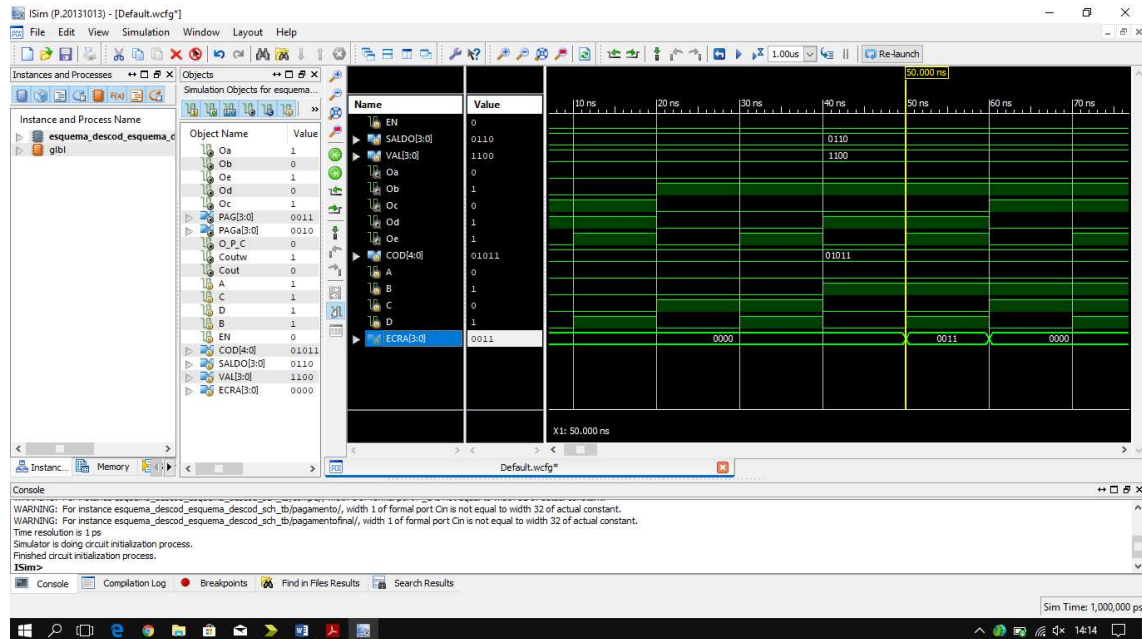
## Anexo 1



## Anexo 2



## Anexo 3



## Anexo 4

