

Johan EL HAJJ DIB

T 06 95 36 73 47

@ johan.ehd@gmail.com

A Mobilité : Île-de-France

S <https://johanehd.github.io/>

Ingénieur en électronique et systèmes embarqués, spécialisé en développement FPGA et en conception VHDL. Habitué à travailler sur des

une solide expérience en intégration de processeurs, en gestion des protocoles de communication et en validation par testbenchs. Rigoureux, autonome et

fiables et performants.

Stage – Ingénieur FPGA

WATT & WELL (Massy), Avril 2025 – Octobre 2025

- -V soft-core (Mi-V) dans un design FPGA Microchip destiné à une application spatiale
- WB du SoC pour assurer la communication entre le CPU et les autres modules
- Implémentation en C de la logique de traitement des commandes de l'OBC
- Mise en place de la couche matériel-logiciel, configuration de la mémoire, des périphériques et abstraction du SoC
- Développement de testbenchs et validation automatisée du design avec VUnit

Compétences acquises : architecture SoC embarquée, protocoles AHB/Wishbone/AXIS, conception VHDL, développement en C embarqué, maîtrise des outils Git, VUnit, travail en équipe dans un environnement spatial.

Stage en laboratoire

Universidad Carlos III de Madrid (Leganés), Avril 2024 – Juillet 2024

- -V
- Conception de modules matériels avec VHDL et Verilog.

Compétences acquises : Apprentissage autodidacte du langage de description matérielle Verilog et du logiciel VIVADO, communication en anglais, autonomie, Redondance Modulaire Triple, application des techniques avancées du laboratoire.

Diplôme d'ingénieurs en électronique et informatique pour l'embarqué Polytech Paris-Saclay (Gif-sur-Yvette), Septembre 2022 – Septembre 2025

Fort intérêt pour les FPGA.

Classe Préparatoire aux Grandes Ecoles

Lycée Pierre d'Ailly (Compiègne), Septembre 2019 – Juin 2022

Spécialité : mathématiques et physique

- VIVADO (XILINX) / QUARTUS (INTEL/ALTERA) / LIBERO SOC (MICROCHIP) / MODELSIM
- ALTERA MONITOR / ECLIPSE
- STARUML / WAVEDROM
- MATLAB / SIMULINK
- GIT

- VHDL / VERILOG / SYSTEMVERILOG/ RTL / CONTRAINTES TEMPORELLES
- SYNTHÈSE FPGA / FSM / DEBOGAGE JTAG
- DOCUMENTATION TECHNIQUE

- UART / SPI / I2C / CAN / ETHERNET / AVALON / WISHBONE / AXI / AHB

- FreeRTOS

- EXCEL / POWERPOINT / TEAMS

- C / C++ (POO)/ PYTHON
- LINUX

- FRANÇAIS : LANGUE MATERNELLE
- ARABE : LANGUE MATERNELLE
- ANGLAIS : NIVEAU B2 (TOEIC)

- SPORT : BASKET-BALL, BADMINTON
- VOYAGES