

บทที่ 1

บทนำ

1.1 วีเอชดีแอล (VHDL) คืออะไร

VHDL เป็นคำย่อของ VHSIC Hardware Description Language โดย VHSIC (อ่านว่า Vi'-Sik) ย่อมาจาก Very High Speed Integrated Circuits ภาษา VHDL นี้เป็นภาษาที่ใช้สำหรับอธิบายพฤติกรรมของวงจรดิจิทัล ใช้สำหรับการออกแบบวงจรดิจิทัลด้วยระบบอัตโนมัติ ซึ่งใช้กับอุปกรณ์ที่โปรแกรมได้เช่น FPGA (Field-Programmable Gate Arrays) หรือ ASIC (Application-specific integrated circuits)

VHDL ถูกพัฒนาขึ้นตั้งแต่ปี คศ. 1981 โดยกระทรวงกลาโหมสหรัฐอเมริกา (Department of Defense DOD) ได้ตั้งโครงการเพื่อศึกษาวิธีการที่จะช่วยพัฒนาระบบดิจิทัลที่สามารถนำไปผลิตได้อย่างรวดเร็ว จนถึงปี คศ. 1987 IEEE (Institute of Electrical and Electronics Engineers) ได้กำหนดเป็นมาตรฐานของภาษานี้เรียกว่า IEEE 1076-1987 หรือ VHDL'87 มาตรฐานนี้ได้รับการปรับปรุงเรื่อยมาจนถึงปี 1993 จึงมีมาตรฐานใหม่ได้ชื่อว่า IEEE 1993 หรือ VHDL'93 จนถึงปัจจุบันนี้ ก็มี VHDL ออกมาหลายรุ่นแล้วเช่น VHDL 2006 และ มาตรฐาน IEEE 1076-2008 ถูกตีพิมพ์ในเดือนมกราคม 2009



รูปที่ 1-1 พัฒนาการของภาษา VHDL

1.2 ภาษา HDL (Hardware Description Languages)

HDL เป็นภาษาที่มีวัตถุประสงค์เพื่อใช้สำหรับการพัฒนาระบบอิเล็กทรอนิกส์ ซึ่งในปัจจุบันยังครอบคลุมเฉพาะระบบที่เป็นดิจิทัล ยังไม่ครอบคลุมระบบอะนาล็อก มาตรฐานของภาษาต้องมีความสามารถดังต่อไปนี้

- เขียนขึ้นเพื่อใช้ออกแบบระบบดิจิทัลได้
- ใช้จำลองการทำงานของวงจรได้ (Simulation)
- สามารถใช้สังเคราะห์วงจรได้ (Synthesis)
- สามารถทดสอบการทำงานได้ (Testing)
- ใช้เป็นเอกสารประกอบโครงการได้ (Documentation)

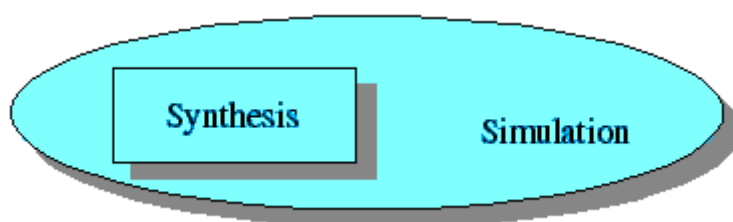
HDL เป็นภาษาที่ใช้ในการออกแบบทางด้านฮาร์ดแวร์ไม่ใช่ภาษาสำหรับการโปรแกรม (Program language) อย่างเช่นภาษา ซี เบสิก ADA หรือ ปาสคาล มีการพัฒนา HDL ขึ้นมาหลายภาษาที่สำคัญๆ ได้แก่ VHDL และ Verilog สำหรับ VHDL มีพื้นฐานมาจากภาษา ADA ส่วน Verilog มีพื้นฐานมาจากภาษาซี ทั้งสองภาษานี้มีผู้ใช้กันอย่างกว้างขวางดังนั้นผู้ที่พัฒนาเครื่องมือสำหรับการออกแบบระบบดิจิทัลจึงทำให้เครื่องมือรองรับการทำงานได้ทั้งสองภาษา

1.2.1 ข้อกำหนดของภาษา VHDL

เครื่องมือเพื่อการออกแบบระบบอิเล็กทรอนิกส์แบบอัตโนมัติ หรือ EDA (Electronic Design Automation) ส่วนใหญ่รองรับการทำงานของ VHDL ได้ ซึ่งสามารถนำไปประยุกต์ใช้กับการพัฒนาฮาร์ดแวร์ระบบดิจิทัลได้หลายระดับตั้งแต่ใช้พัฒนาเป็นระบบ (System) ระดับบอร์ด (Boards) หรือการออกแบบให้อยู่ในรูปของไอซี ซึ่งก็ทำได้หลายๆชนิดเช่นกัน คือ ไอซีชนิด ASIC หรือไอซีประเภทโปรแกรมได้ (Programmable Logic Device PLD) ได้แก่ CPLD และ FPGA เป็นต้น ดังนั้น ภาษา VHDL จึงมีความสามารถดังต่อไปนี้

- สามารถออกแบบได้หลายระดับจากระดับพฤติกรรมจนถึงระดับเกต (Behavioral to Gate Level)
- สนับสนุนการออกแบบแบบลำดับชั้น (Hierarchy Design)
- สนับสนุนระบบไลบรารี (Library Support)
- สามารถควบคุมเวลาได้
- สามารถทำงานได้ทั้งแบบขนานและแบบลำดับ (Concurrent และ Sequential)
- สามารถกำหนดชนิด (Type) ของสัญญาณหรือข้อมูลได้

ภาษา VHDL มีความสามารถของ HDL ทุกประการเพียงแต่ความสามารถในการสังเคราะห์ เป็นวงจรจริง (Synthesis) ยังได้ไม่เท่ากับความสามารถในการจำลองการทำงานของวงจร (Simulation)

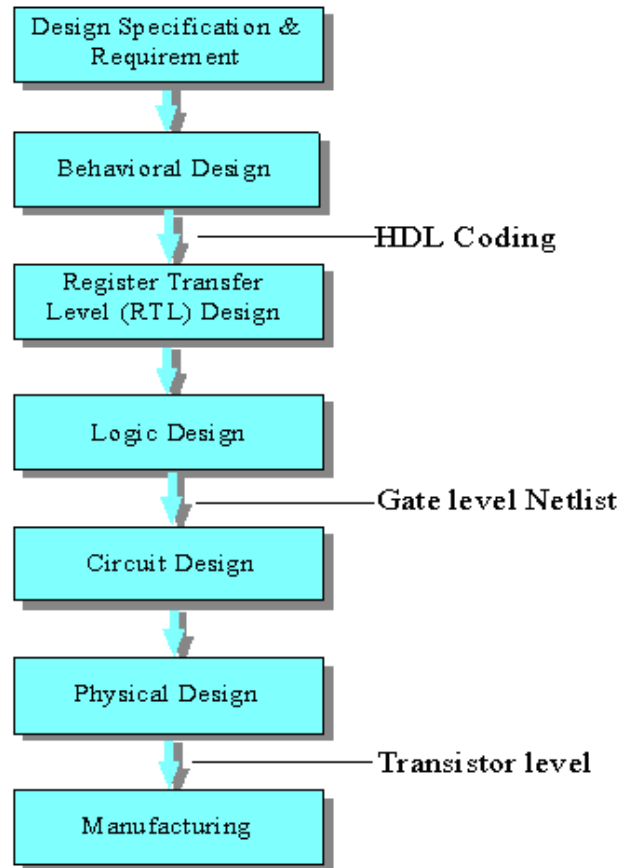


รูปที่ 1-2 แสดงขอบเขตของการจำลองการทำงานและการสังเคราะห์เป็นวงจรของภาษา VHDL

1.3 การออกแบบระบบดิจิทัลแบบจากบนลงล่าง (Top-Down)

กระบวนการออกแบบลักษณะจากบนลงล่าง มีขั้นตอนตามรูปที่ 1-3 โดยเริ่มต้นด้วยการกำหนดขอบเขตของงานที่ต้องการออกแบบ จากขอบเขตที่ได้จึงกำหนดเป็นฟังก์ชันการทำงานหรือพฤติกรรมการทำงานของระบบ ในขั้นตอนนี้สามารถทดสอบการทำงานได้แล้ว โดยการเขียนเป็นภาษา HDL แล้วทดสอบว่าฟังก์ชันดังกล่าวเป็นไปตามขอบเขตที่วางไว้หรือไม่ อีกทั้ง ในขั้นตอนนี้สามารถกำหนดค่าเวลาต่างๆของวงจรได้ เพื่อตรวจสอบการตอบสนองของระบบว่าอยู่ในขอบเขตของเวลาที่วางไว้หรือไม่ แต่ต้องไม่ลืมว่าการเขียนเป็นภาษาในขั้นตอนนี้อาจจะนำไปสังเคราะห์เป็นของจริงไม่ได้ แต่ก็ทำให้ทราบได้ว่าฟังก์ชันที่ออกแบบไว้สามารถให้ผลการทำงานตรงกับที่ต้องการหรือไม่ ขั้นตอนต่อไปเป็นการแปลงฟังก์ชันให้มีรายละเอียดมากขึ้น จนถึงระดับรีจิสเตอร์ ระดับหน่วยความจำ ระดับการประมวลผล และ ระดับ State machine ขั้นตอน

ต่อไปจะเป็นการแปลงลงไปในรายละเอียดมากขึ้นเป็นระดับลอจิกเกต ซึ่งทั้งสองขั้นตอนข้างต้นนี้สามารถจะเขียนและทดสอบด้วยภาษา HDL ได้ และการสังเคราะห์เป็นของจริงก็ทำได้มากกว่าในขั้นตอนแรก จากขั้นตอนนี้ไปจะเป็นขั้นตอนสำหรับการนำไปสังเคราะห์เป็นไอซี ASIC โดยการลงรายละเอียดของเกตให้ไปสู่ระดับวงจรรานซิสเตอร์และระดับกายภาพ (Physical Design)



รูปที่ 1-3 ขั้นตอนการออกแบบระบบดิจิทัลแบบจากบนลงล่าง

การออกแบบตามขั้นตอนที่กล่าวมานี้ เรียกว่า “การออกแบบจากบนลงล่าง หรือ Top-down Design” ซึ่งมีข้อดีที่สามารถทดสอบการทำงานของระบบได้ก่อนว่าถูกต้องตรงกับความต้องการหรือไม่ อีกทั้งในแต่ละขั้นตอนยังสามารถปรับปรุงแก้ไขรายละเอียดเพิ่มเติมได้ ส่วนการออกแบบอีกลักษณะหนึ่งเรียกว่า “การออกแบบจากล่างขึ้นบน หรือ Bottom-up Design” ซึ่งเริ่มด้วยการเขียนลอจิกไดอะแกรมแล้วประกอบเป็นวงจรเสร็จแล้วจึงทดสอบการทำงาน การออกแบบลักษณะนี้ถ้าเป็นระบบขนาดเล็กสามารถทำได้สะดวกและรวดเร็ว แต่ถ้าเป็นระบบขนาดใหญ่กว่าจะรู้ผลว่าระบบทำงานถูกต้องหรือไม่ต้องใช้เวลาอย่างมากและอาจมีความผิดพลาดได้ง่าย ดังนั้นการออกแบบระบบขนาดใหญ่จึงนิยมใช้วิธี Top-Down Design หรือใช้ทั้งสองวิธีร่วมกันก็ได้

แบบฝึกหัด

- 1.1 คำว่า VHDL ย่อมาจากคำว่าอะไร และหมายถึงอะไร
- 1.2 VHDL กับภาษาซี ต่างกันอย่างไร
- 1.3 ข้อดีของการออกแบบระบบดิจิทัลด้วย HDL คืออะไร
- 1.4 จงอธิบายถึงความแตกต่างระหว่างการออกแบบจากบนลงล่างกับการออกแบบจากล่างขึ้นบน