

บทที่ 6

อุปกรณ์ลอจิกแบบโปรแกรมได้ (Programmable Logic Device)

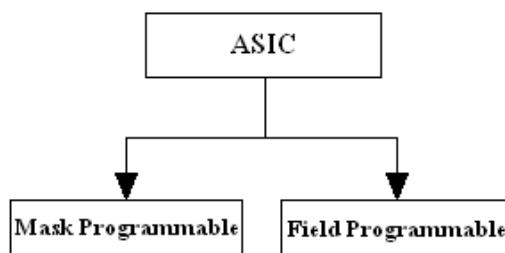
6.1 บทนำ

จากที่ได้กล่าวถึงพื้นฐานการออกแบบวงจรดิจิทัลโดยใช้ภาษา VHDL มาแล้ว ในบทนี้จะกล่าวถึงการแปลงจากภาษา VHDL ให้กลายเป็นวงจรจริงด้วยอุปกรณ์ ซีพีแอลดี (CPLD) และเอฟพีจีเอ (FPGA) โดยจะเริ่มจากการทำความเข้าใจเกี่ยวกับตัวอุปกรณ์ซีพีแอลดีและเอฟพีจีเอ ซึ่งต่างก็เป็นวงจรรวมประเภทหนึ่งเสียก่อน

วงจรรวม หรือไอซี (IC หรือ Integrated Circuit) นั้นหมายถึง อุปกรณ์อิเล็กทรอนิกส์ที่ประกอบขึ้นจากการนำเอาสารกึ่งตัวนำที่อยู่ในรูปของไดโอด, ทรานซิสเตอร์, ตัวต้านทาน, ตัวเก็บประจุ และองค์ประกอบอื่นๆ มาประกอบรวมกันเป็นวงจรบนแผ่นซิลิคอนขนาดเล็ก หรือที่เรียกกันทั่วไปว่า “ชิพ (Chip)” ชิพในปัจจุบันนี้สามารถผลิตให้มีความจุเมื่อคิดเป็นจำนวนทรานซิสเตอร์แล้วได้หลายล้านตัว เช่น ไมโครโปรเซสเซอร์ จากความจุจำนวนมหาศาลนี้เองที่ทำให้การผลิตไอซี สามารถผลิตได้เฉพาะเจาะจงตามความต้องการของลูกค้า โดยไม่จำเป็นต้องผลิตเป็นไอซีมาตรฐานเพียงอย่างเดียว ไอซีที่ผลิตในลักษณะเฉพาะเจาะจงนี้ มีชื่อว่า เอซิค (ASIC หรือ Application-Specific Integrated Circuit) ตัวอย่างของเอซิคที่สามารถพบเห็นได้ทั่วไปได้แก่ ไอซีที่ทำเป็นเครื่องคิดเลข หรือไอซีที่ทำเป็นเครื่องเล่นเพลง MP3

6.1.1 ประเภทของเอซิค (ASIC)

เอซิคจะแบ่งตามการสร้างออกเป็น 2 กลุ่ม คือ Mask Programmable และ Field Programmable ในกลุ่ม Mask Programmable นี้ยังสามารถแบ่งตามขบวนการผลิตได้เป็น 3 แบบได้แก่ Full-custom Standard-Cell และ Gate-Array แต่ในกลุ่มนี้ไอซีแต่ละเบอร์มีหน้าที่เฉพาะเจาะจงอย่างใดอย่างหนึ่ง การใช้งานก็เป็นไปตามหน้าที่ของไอซีนั่นๆ ไม่สามารถเปลี่ยนแปลงแก้ไขได้ ดังนั้นผู้ใช้ต้องรู้ก่อนว่า ต้องการใช้อีซีเพื่อทำหน้าที่ใด แล้วจึงเลือกหาไอซีเบอร์ที่มีหน้าที่นั้นๆ



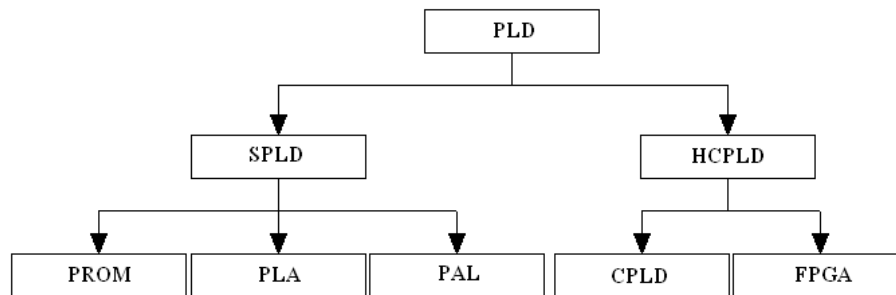
รูปที่ 6-1 วงจรรวมประเภทต่างๆ

6.1.2 เอฟพีแอลดี (FPLD หรือ Field Programmable Logic Device)

FPLD หรือบางทีก็เรียกว่า พีแอลดี (PLD หรือ Programmable Logic Device) เอซิคในกลุ่มที่ 2 นี้เป็นไอซีแบบโปรแกรมได้โดยผู้ใช้ คือผู้ใช้สามารถจัดวงจรของอุปกรณ์ให้เป็นไปตามที่ต้องการได้ สำหรับในปัจจุบันส่วนใหญ่ไอซีประเภทนี้เป็นแบบดิจิทัล ในที่นี้จะกล่าวเฉพาะไอซีแบบลอจิกหรือแบบดิจิทัลเท่านั้น

ภายในอุปกรณ์พีแอลดีถูกเตรียมเป็นวงจรพื้นฐานทางด้านลอจิกต่อกันอยู่เป็นกลุ่มมีทั้งวงจรคอมบินชัน (Combination) และแบบซีควENTIAL (Sequential) เทคโนโลยีของวงจรที่ใช้สร้างพีแอลดีมีทั้ง ทีทีแอล (TTL) อีซีแอล (ECL) และ ซีเอ็มอส (CMOS) พีแอลดีแบ่งออกเป็นประเภทใหญ่ๆ ได้ 2 ประเภทคือ SPLD และ

HCPLD ตามรูปที่ 6-2 โดยในกลุ่ม HCPLD (High Capacity Programmable Logic Device) เป็นกลุ่มที่มีขนาดความจุมากกว่ากลุ่ม SPLD และแบ่งตามโครงสร้างได้เป็น 2 แบบ คือ CPLD และ FPGA



รูปที่ 6-2 วงจรรวมแบบโปรแกรมได้

6.2 เอสพีแอลดี (SPLD หรือ Simple Programmable Logic Devices)

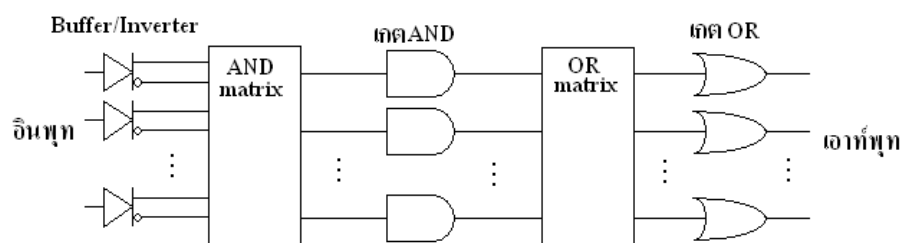
เอสพีแอลดีเป็นอุปกรณ์ไอซีที่โปรแกรมได้ที่มีโครงสร้างแบบง่ายมีขนาดเล็ก โดยมีจำนวนมาโครเซลล์ไม่เกิน 30 มาโครเซลล์ เอสพีแอลดีนี้มีชื่อเรียกอีกหลายชื่อเช่น ถ้าเป็นของบริษัท Vantis และ Cypress เรียกว่า PAL (Programmable Array Logic) ถ้าเป็นของบริษัท Lattice เรียกว่า GAL (Generic Array Logic) และบางบริษัท ก็มีชื่อลักษณะเดียวกันนี้แต่เป็นอีกประเภทหนึ่งเรียกว่า PLA (Programmable Logic Array) และ PROM (Programmable Read Only Memory)

วงจรรภายในของเอสพีแอลดี ประกอบด้วยชุดลำดับการ AND (AND array) และชุดลำดับการ OR (OR array) ดังรูปที่ 6-3 ชุดลำดับทั้งสองชุดหรือชุดใดชุดหนึ่ง สามารถจัดหรือโปรแกรมให้เป็นตามที่ต้องการได้ สัญญาณอินพุตป้อนเข้าที่ชุด AND เพื่อทำเป็นฟังก์ชันการ AND หรือ Product Term หลังจากนั้นสัญญาณก็ถูกส่งเข้าชุดการ OR ดังนั้นฟังก์ชันของวงจรจึงอยู่ในรูปของ SOP (Sum of Product)

ถ้าจัดแบบเอสพีแอลดี ตามลักษณะการโปรแกรมสามารถแบ่งออกได้เป็น 3 ชนิดคือ

- พรอม (PROM หรือ Programmable Read Only Memory)
- พีเอแอล (PAL หรือ Programmable Array Logic)
- พีแอลเอ (PLA หรือ Programmable Logic Array)

ทั้งสามชนิดนี้มีโครงสร้างพื้นฐานเหมือนกันต่างกันตรงส่วนที่โปรแกรมได้และโปรแกรมไม่ได้ดังรายละเอียดในตารางที่ 6-1



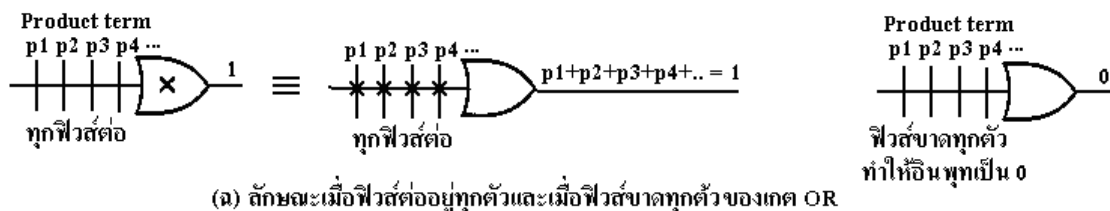
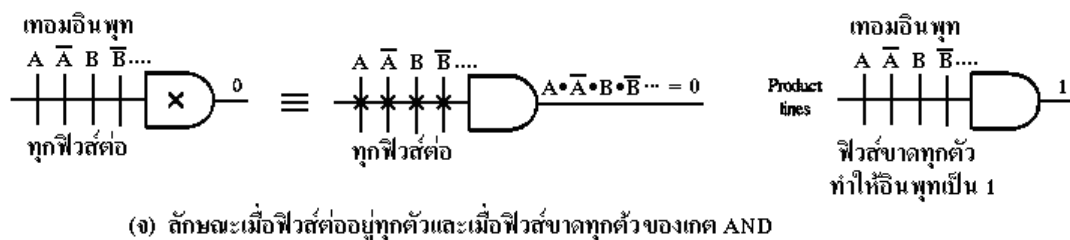
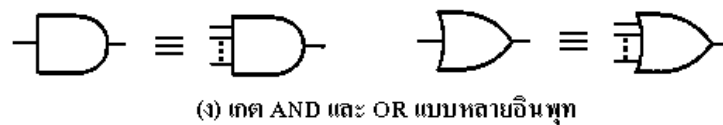
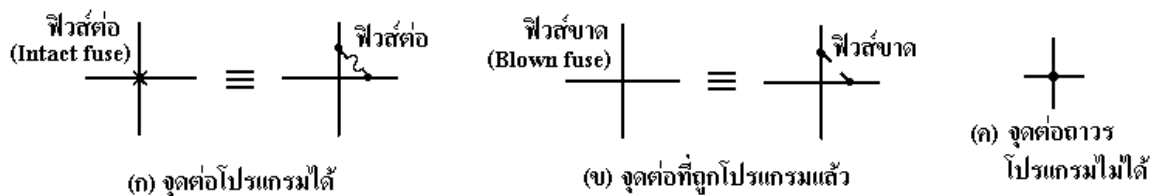
รูปที่ 6-3 โครงสร้างของเอสพีแอลดี

ตารางที่ 6-1 รูปลักษณะของอุปกรณ์ฟิวส์แต่ละชนิด

อุปกรณ์	ส่วนการ AND	ส่วนการ OR
พรอม	คงที่	โปรแกรมได้
ฟิวส์แอล	โปรแกรมได้	คงที่
ฟิวส์เอ	โปรแกรมได้	โปรแกรมได้

6.2.1 สัญลักษณ์ที่ใช้ในวงจร ฟิวส์แอล

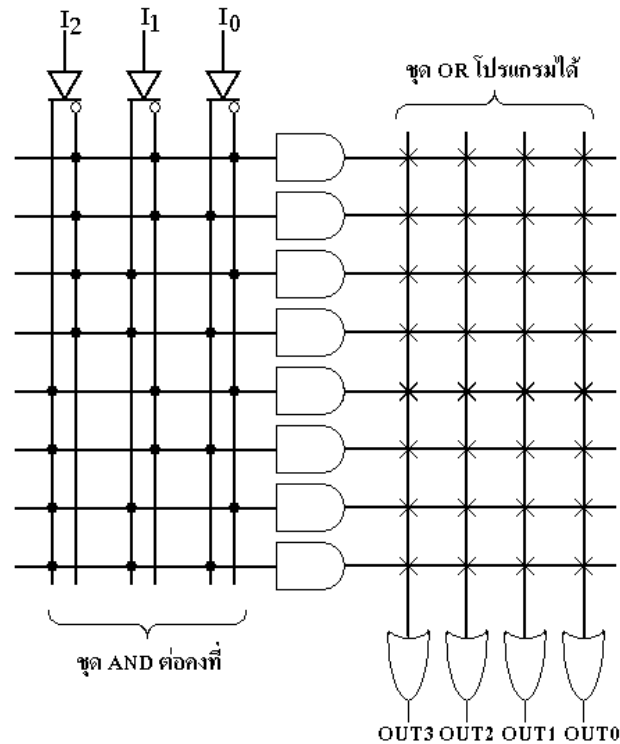
เนื่องจากอุปกรณ์ฟิวส์แอลมีการต่อสายเป็นจำนวนมากดังนั้นเพื่อให้ดูง่ายขึ้นจึงได้กำหนดลักษณะการต่อสายไว้ตามรูปที่ 6-4 รูป (ก) หมายถึงจุดต่อที่เป็นฟิวส์สามารถทำให้ขาดได้ ส่วนรูป (ค) เป็นจุดต่อที่ทำให้ขาดไม่ได้ รูป (ง) เป็นสัญลักษณ์ของเกตที่มีหลายอินพุต รูป (จ) เมื่ออินพุตของเกต AND ถูกโปรแกรมให้ขาด อินพุตนั้นจะมีค่าลอจิกเป็น 1 และรูป (ฉ) ถ้าเป็นกรณีของเกต OR เมื่ออินพุตถูกโปรแกรมให้ขาดทำให้อินพุตเป็นลอจิก 0



รูปที่ 6-4 สัญลักษณ์ในวงจรเอสฟิวส์แอล

6.2.2 พรอม (Programmable Read Only Memory หรือ PROM)

โครงสร้างของพรอม สามารถโปรแกรมได้ในชุดลำดับการ OR ในรูปที่ 6-5 เป็นพรอมขนาดอินพุต 3 บิต และเอาต์พุต 4 บิต



รูปที่ 6-5 พรอมขนาด อินพุต 3 บิต เอาต์พุต 4 บิต

ตัวอย่างที่ 6.1 จงออกแบบโดยใช้ PROM ในรูปที่ 6-5 ให้ทำงานได้ตามฟังก์ชัน $F = A + BC$

วิธีทำ

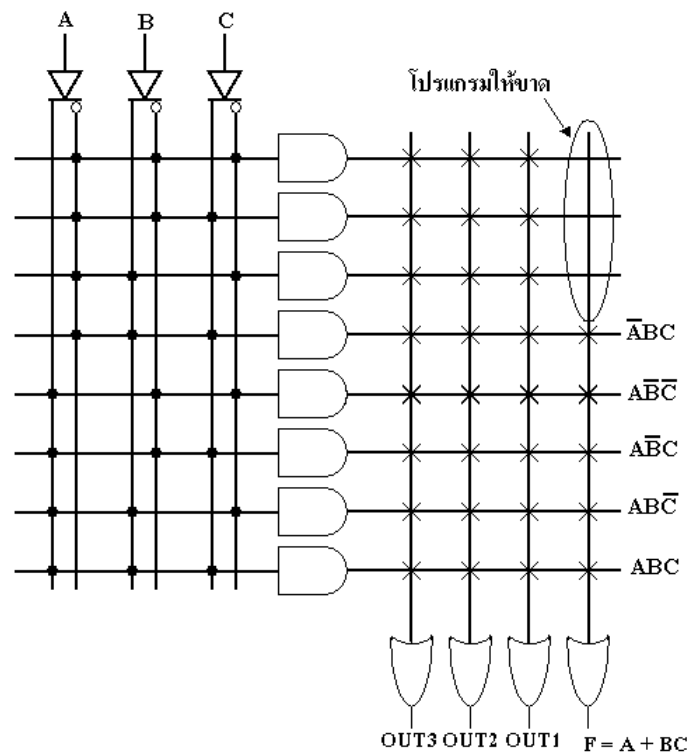
เนื่องจากอินพุตของการ AND ต่อคงที่ และต้องมีตัวแปรครบทุกตัวในเทอมที่ AND กัน ดังนั้นต้องเปลี่ยนฟังก์ชัน F ให้อยู่ในรูปที่แต่ละเทอมของการ AND มีสัญญาณอินพุตครบทุกตัว

$$F = A + B.C$$

$$F = A.(B.C + \overline{B.C} + B.C + \overline{B.C}) + (A + \overline{A}).B.C$$

$$F = A.B.C + A.\overline{B.C} + A.B.C + A.\overline{B.C} + \overline{A}.B.C$$

จากฟังก์ชันสามารถนำมาต่อลงใน PROM ได้ดังรูปที่ 6-4



รูปที่ 6-6 PROM ที่โปรแกรมเป็นฟังก์ชัน $F = A + BC$

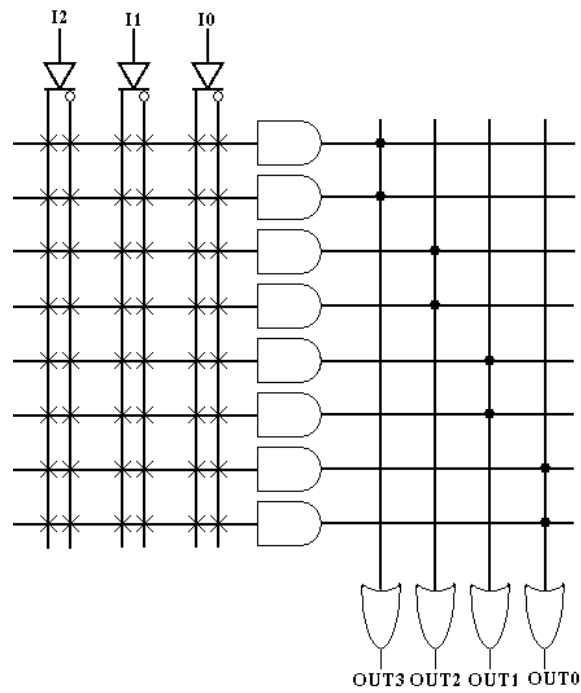
6.2.3 ฟิเอแอล (Programmable Array Logic หรือ PAL)

ฟิเอแอลพัฒนาขึ้นโดย John Birkner ที่ Monolithic Memories Inc. ในปี 1976 โครงสร้างของฟิเอแอลโปรแกรมได้ในชุดลำดับการ AND และต่อคงที่ในชุด OR ในรูปที่ 6-7 เป็นฟิเอแอลขนาดอินพุต 3 บิต และเอาต์พุต 4 บิต

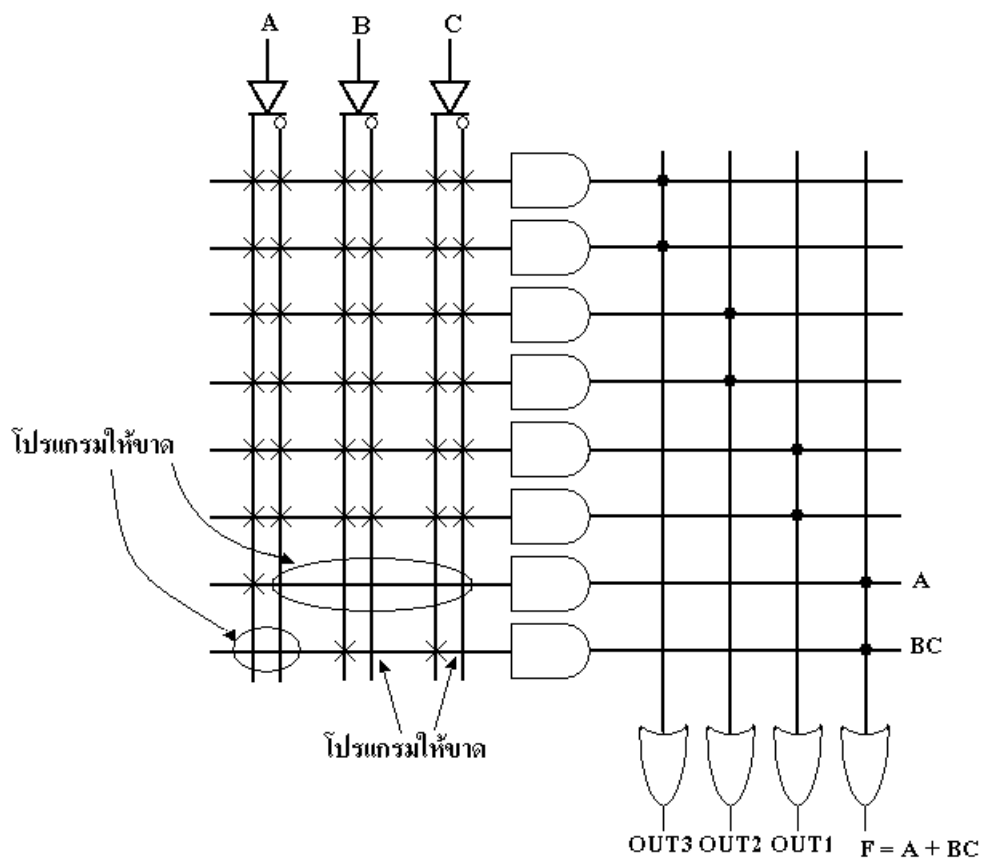
ตัวอย่างที่ 6.2 จงออกแบบโดยใช้ฟิเอแอลในรูปที่ 6-5 ให้ทำงานได้ตามฟังก์ชัน $F = A + BC$

วิธีทำ

เนื่องจากอินพุตของการ AND สามารถโปรแกรมได้ จะต่ออินพุตที่ตัวก็ได้ ดังนั้นฟังก์ชันไม่จำเป็นต้องให้แต่ละเทอมมีสัญญาณอินพุตครบทุกตัว สามารถต่อเข้าได้เลย ดังรูปที่ 6-8



รูปที่ 6-7 พีเอแอลขนาดอินพุต 3 บิต และเอาต์พุต 4 บิต



รูปที่ 6-8 พีเอแอลที่โปรแกรมเป็นฟังก์ชัน $F = A + BC$

ตัวอย่างที่ 6.3 จงออกแบบวงจรพีเอแอลเพื่อให้ทำงานตามผังคาร์โนห์ในรูปที่ 6-7 โดยใช้ PAL ในรูปที่ 6-7

A	BC			
	00	01	11	10
0	0	1	1	0
1	1	1	1	1

F1

A	BC			
	00	01	11	10
0	1	1	0	0
1	1	1	0	1

F2

A	BC			
	00	01	11	10
0	0	1	0	1
1	0	1	0	0

F3

A	BC			
	00	01	11	10
0	1	1	1	0
1	0	0	1	0

F4

วิธีทำ

จากผังคาร์โนห์ลดทอนฟังก์ชันได้เป็น

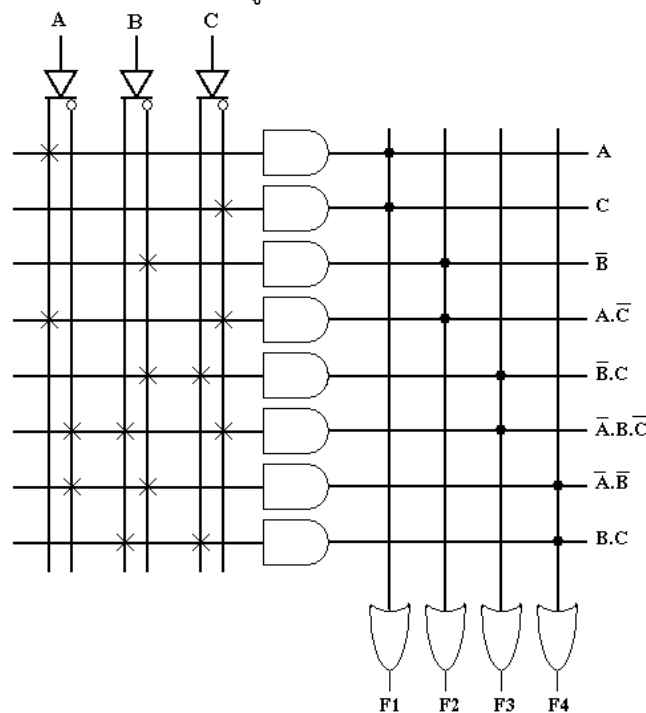
$$F1 = A + C$$

$$F2 = \bar{B} + A\bar{C}$$

$$F3 = \bar{B}.C + \bar{A}.B.\bar{C}$$

$$F4 = \bar{A}.\bar{B} + B.C$$

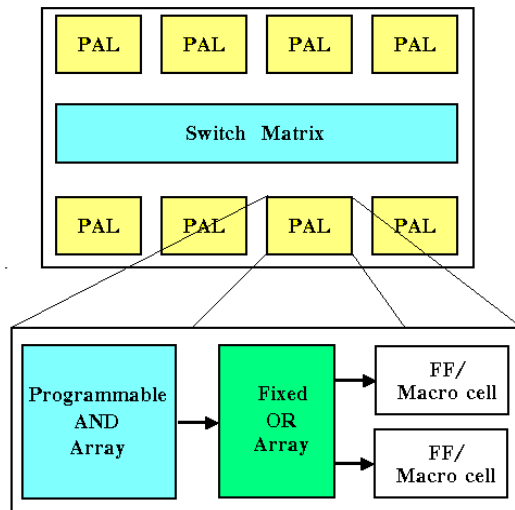
เมื่อโปรแกรมลงในพีเอแอลได้วงจรตามรูปที่ 6-9



รูปที่ 6-9 วงจรพีเอแอลของ F1 F2 F3 และ F4

6.3 ซีพีแอลดี (CPLD หรือ Complex programmable Logic Devices)

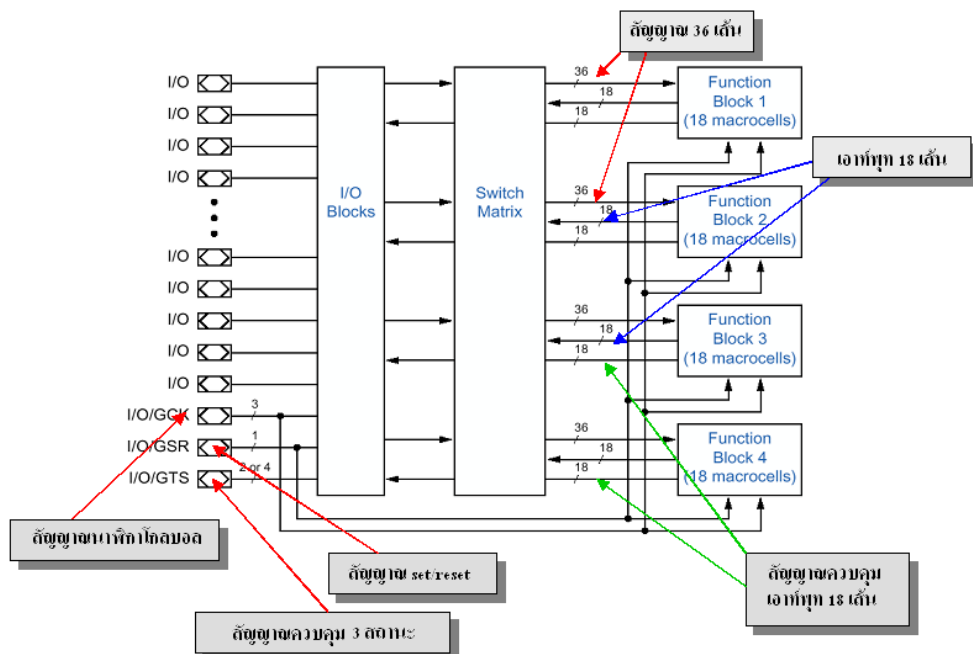
ซีพีแอลดีจะคล้ายกับกลุ่มเอสพีแอลดีมาก เหมือนกับว่านำเอาเอสพีแอลดีหลายๆตัวมาประกอบอยู่ด้วยกัน เช่น ซีพีแอลดีตระกูล XC6500 ของบริษัท Xilinx ที่มีบล็อกไดอะแกรมโครงสร้างตามรูปที่ 6-10



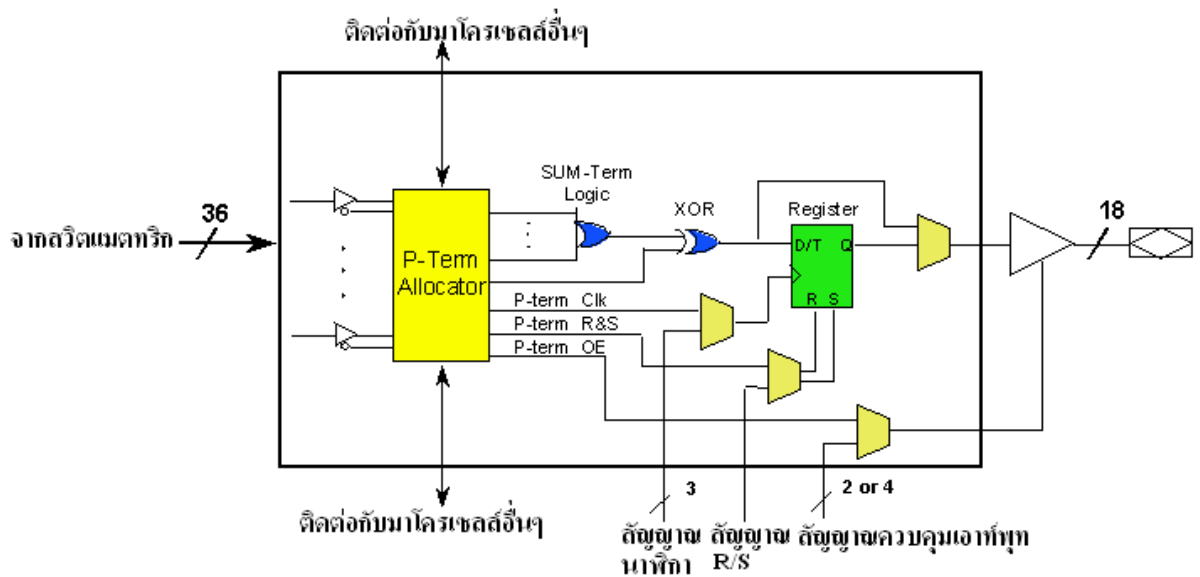
รูปที่ 6-10 โครงสร้างของซีพีแอลดีตระกูล XC9500

6.3.1 ซีพีแอลดีตระกูล XC9500

ซีพีแอลดีตระกูล XC9500 เป็นของบริษัท Xilinx มีโครงสร้างตามรูปที่ 6-11 ซึ่งภายในประกอบด้วย พีเอแอลหลายตัว ที่เชื่อมต่อกันด้วยแมตริกสวิช (Switch matrix) และในพีเอแอลแต่ละตัว ก็ประกอบด้วย ส่วนของ AND Array ที่โปรแกรมได้ และส่วนของ OR array ที่ตายตัว ด้านเอาต์พุตเป็นกลุ่มวงจรที่เรียกว่า “มาโครเซล (macrocell)” ในแต่ละมาโครเซล ประกอบด้วย วงจรเกตและฟลิปฟล็อป ตามรูปที่ 6-12 โดยทั่วไปซีพีแอลดี 1 ตัวเทียบเท่ากับ SPLD 64 ตัว หรือถ้าคิดเป็นจำนวนมาโครเซล (macrocell) ก็จะมีตั้งแต่ 10 ถึง 100 มาโครเซล และมักจะจับมาโครเซลตั้งแต่ 8 ถึง 16 ตัวรวมกลุ่มกันเป็นหนึ่งกลุ่ม



รูปที่ 6-11 โครงสร้างของซีพีแอลดีตระกูล XC9500



รูปที่ 6-12 โครงสร้างมาโครเซลล์ของซีพีแอลดี XC9500 ของบริษัท Xilinx

ตัวอย่างคุณสมบัติทั่วไปของ XC9572

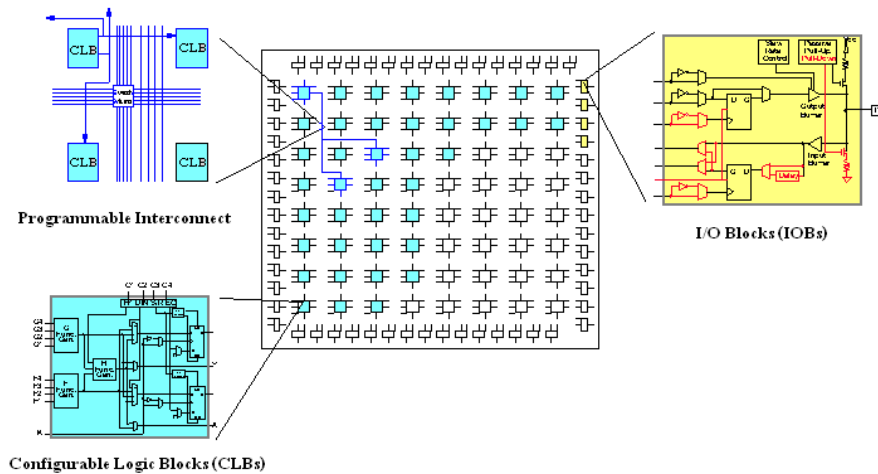
- ใช้ไฟเลี้ยง 5 volt
- มีขนาดความจุตั้งแต่ 36 ถึง 288 macrocells (6400 gates)
- โปรแกรมได้ด้วยระบบ In-System Programmable (ISP)
- โปรแกรมและลบได้ไม่น้อยกว่า 10,000 ครั้ง
- มีระบบป้องกันการอ่าน/เขียน
- แต่ละขา I/O รับกระแสไฟฟ้าได้ 24 mA

6.4 เอฟพีจีเอ (FPGA หรือ Field-Programmable Gate Arrays)

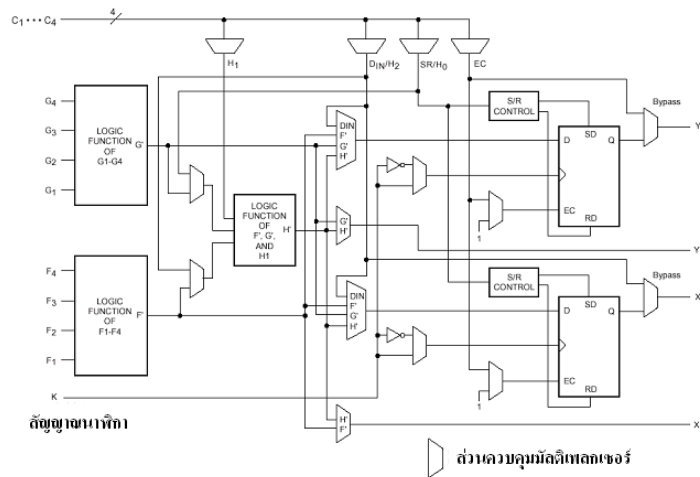
เป็นอุปกรณ์ที่ถูกพัฒนาต่อจากซีพีแอลดีเพื่อให้มีประสิทธิภาพการทำงาน และมีปริมาณความหนาแน่นของเกตสูงกว่า โดยทั่วไปมีความจุตั้งแต่ 1000 เกตจนถึง 1000000 เกต สามารถกำหนดฟังก์ชันการทำงานได้ความต้องการของผู้ใช้โดยผ่านการโปรแกรม ตัวอย่างสถาปัตยกรรมภายในของเอฟพีจีเอตระกูล XC4000 ตามรูปที่ 6-13 ได้แบ่งส่วนสำคัญๆออกเป็น 3 ส่วน คือ

- CLB (Configuration Logic Block) ใช้สำหรับทำเป็นวงจรลอจิกแบบคอมไบเนชันนอลและ แบบซีควนเชียล
- IOB (Input Output Block) เป็นกลุ่มลอจิกบล็อกที่ทำหน้าที่สำหรับการเชื่อมต่อกับวงจรภายนอก
- Interconnect ทำหน้าที่เป็นสายไฟที่ใช้เชื่อมต่อลอจิกบล็อกต่างๆเข้าด้วยกัน

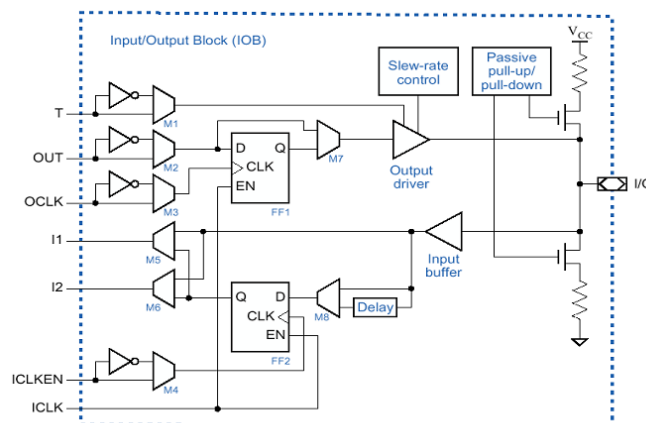
ทั้งสามส่วนนี้ผู้ใช้สามารถโปรแกรมได้ว่าจะให้การทำงานเป็นอย่างไร



(ก) สถาปัตยกรรมของเอฟพีจีเอตระกูล XC4000 ของบริษัท Xilinx



(ข) โครงสร้าง Configuration Block ของ FPGA ตระกูล XC4000 ของบริษัท Xilinx

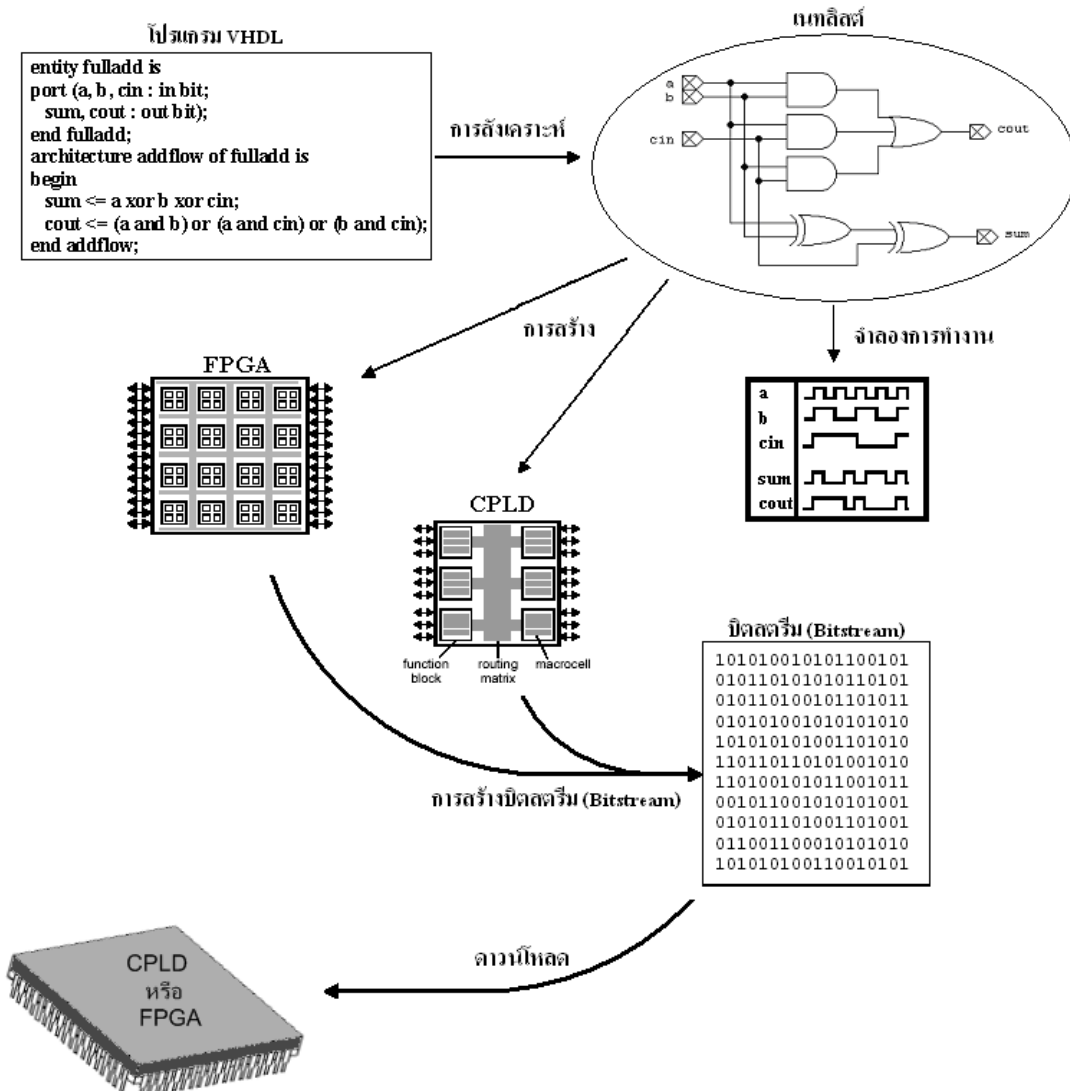


(ค) โครงสร้าง I/O Block ของ FPGA ตระกูล XC4000 ของบริษัท Xilinx

รูปที่ 6-13 สถาปัตยกรรมของเอฟพีจีเอตระกูล XC4000 ของบริษัท Xilinx

6.5 การออกแบบวงจรโลจิกด้วยอุปกรณ์ซีพีแอลดีและเอฟพีจีเอ

หลังจากได้เขียนรหัสของวีเอชดีแอล แล้ว เมื่อจะนำมาสร้างเป็นวงจรจริงจะมีขั้นตอนคร่าวๆดังนี้

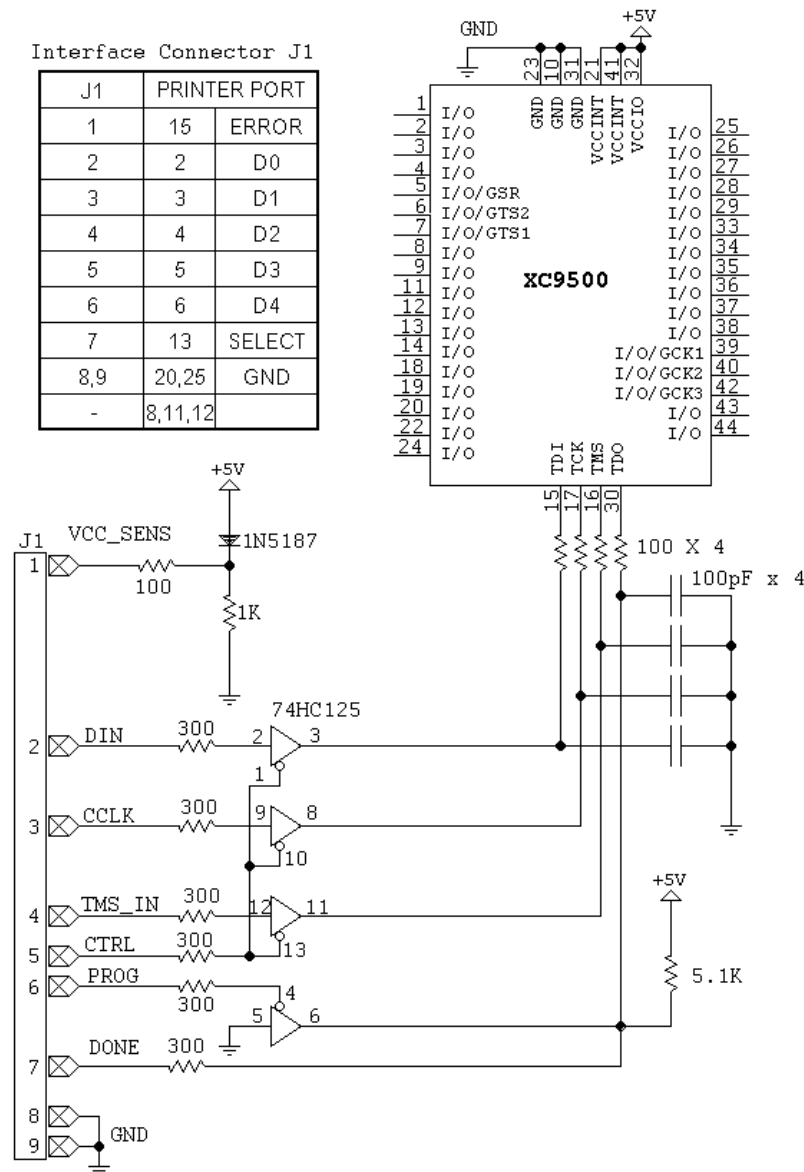


รูปที่ 6-14 แผนผังแสดงขั้นตอนการแปลงจาก VHDL เป็นวงจรจริงด้วยซีพีแอลดีและเอฟพีจีเอ

- ขั้นตอนการสังเคราะห์ (Synthesize) ขั้นตอนนี้เป็นการแปลงจากคำสั่งของวีเอชดีแอลให้กลายเป็นวงจรระดับ รีจิสเตอร์หรือระดับเกต ผลที่ได้จากขั้นตอนนี้เรียกว่า เนทลิสต์ (Netlist) สำหรับ เนทลิสต์นี้สามารถนำไปจำลองการทำงาน (Simulate) เพื่อดูผลการทำงานก่อนที่จะไปสร้างเป็นวงจรจริงได้
- ขั้นตอนการสร้าง (Implement) เป็นขั้นตอนการแปลงจากวงจรระดับรีจิสเตอร์ให้เข้ากับซีพียูที่ต้องการใช้ ผลที่ได้จากขั้นตอนนี้จะเป็นข้อมูลบิตที่ใช้สำหรับโปรแกรมลงซีพียูต่อไป ข้อมูลนี้เรียกว่า บิตสตรีม (Bitstream)
- ขั้นตอนการดาวน์โหลด เป็นขั้นตอนการนำเอาบิตสตรีมบันทึกลงในซีพียูที่ต้องการ หลังจากขั้นตอนนี้จะได้วงจรที่ออกแบบไว้ในรูปของไอซี พร้อมให้นำไปทดสอบการทำงานจริงต่อไป

ขั้นตอนต่างๆที่กล่าวถึงมาทั้งหมดนี้ สามารถทำได้โดยใช้โปรแกรมหรือเครื่องมือ เช่น Xilinx Integrated Software Environment หรือ ISE ของบริษัท Xilinx

สำหรับการดาวน์โหลดข้อมูลบิตสตรีมลงชิพนั้นสามารถศึกษาจากคู่มือของชิพเบอร์นั้นๆได้ ตัวอย่างวงจรดาวน์โหลดข้อมูลลงชิพตระกูล XC9500 แสดงอยู่ในรูปที่ 6-15 ซึ่งเป็นการดาวน์โหลดผ่านทางพอร์ตขนาน (พอร์ตเครื่องพิมพ์) ของคอมพิวเตอร์พีซี



รูปที่ 6-15 วงจรดาวน์โหลดสำหรับซีพียูตระกูล XC9500 ของบริษัท Xilinx

แบบฝึกหัด

- 6.1 จงอธิบายถึงโครงสร้างของซีพียูตระกูลอื่นนอกจากที่ปรากฏในบทนี้
- 6.2 จงอธิบายถึงโครงสร้างของเอฟพีจีเอตระกูลอื่นนอกจากที่ปรากฏในบทนี้