

Cyclone® IV 器件结合了片上资源与外部接口，这有助于提高性能、减少系统成本，以及降低数字信号处理 (DSP) 系统的功耗。Cyclone IV 器件本身，或者作为 DSP 器件的协处理器，都可用于提高 DSP 系统的性价比。Cyclone IV 器件的优化已成为重中之重，主要针对那些受益于大量丰富的并行处理资源的应用，其中包括视频与图像处理，应用在无线通信系统的中频 (IF) 调制解调器，以及多通道通信与视频系统。

本章节包含以下几部分内容：

- 嵌入式乘法器模块概述 (第 4-1 页)
- 体系结构 (第 4-2 页)
- 操作模式 (第 4-4 页)

嵌入式乘法器模块概述

图 4-1 显示了一个嵌入式乘法器列以及相邻的逻辑阵列模块 (LAB)。嵌入式乘法器可以配置成一个 18×18 乘法器，或者配置成两个 9×9 乘法器。对于那些大于 18×18 的乘法运算，Quartus® II 软件会将多个嵌入式乘法器模块级联在一起。虽然没有乘法器数据位宽的限制，但数据位宽越大，乘法运算就会越慢。

图 4-1. 与 LAB 相邻的按列排列的嵌入式乘法器

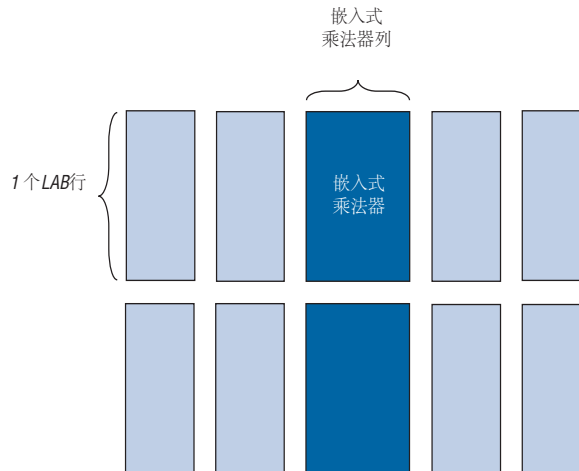


表 4-1 列出了每一个 Cyclone IV 器件所支持的嵌入式乘法器的数量以及乘法器模式。

表 4-1. Cyclone IV 器件中的嵌入式乘法器数量

器件系列	器件型号	嵌入式乘法器	9 × 9 乘法器 (注释 1)	18 × 18 乘法器 (注释 1)
Cyclone IV GX	EP4CGX15	0	0	0
	EP4CGX22	40	80	40
	EP4CGX30	80	160	80
	EP4CGX50	140	280	140
	EP4CGX75	198	396	198
	EP4CGX110	280	560	280
	EP4CGX150	360	720	360
Cyclone IV E	EP4CE6	15	30	15
	EP4CE10	23	46	23
	EP4CE15	56	112	56
	EP4CE22	66	132	66
	EP4CE30	66	132	66
	EP4CE40	116	232	116
	EP4CE55	154	308	154
	EP4CE75	200	400	200
	EP4CE115	266	532	266

表 4-1 注释:

(1) 这一列显示了每一个器件中 9 × 9 或者 18 × 18 乘法器的数量。

除了 Cyclone IV 器件中的嵌入式乘法器，通过将 M9K 存储器模块用作查找表 (LUT) 可以实现软乘法器。LUT 中存储了输入数据同系数乘积的部分结果，针对低成本、高性能的 DSP 应用，实现了可变深度与宽度的高性能软乘法器。软乘法器的可用性增加了器件中可用乘法器的数量。

要了解关于 M9K 存储器模块的更多信息，请参考 *Memory Blocks in Cyclone IV Devices* 章节。

要了解关于软乘法器的更多信息，请参考 *AN 306: Implementing Multipliers in FPGA Devices*。

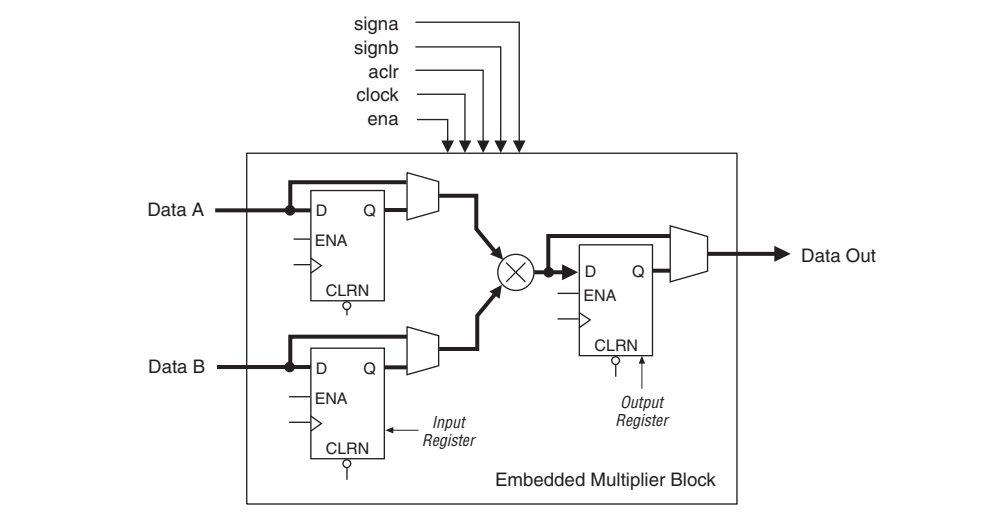
体系结构

每个嵌入式乘法器均由以下几个单元组成：

- 乘法器级
- 输入与输出寄存器
- 输入与输出接口

图 4-2 显示了乘法器模块的体系结构。

图 4-2. 乘法器模块的体系结构



输入寄存器

根据乘法器的操作模式，您可以将每个乘法器输入信号连接到输入寄存器，或直接以 9 bit 或 18 bit 的形式连接到内部乘法器。您可以单独地设置乘法器的每个输入是否使用输入寄存器。例如，将乘法器 Data A 信号连接到输入寄存器，并且将 Data B 信号直接连接到内部乘法器。

下列控制信号可用于嵌入式乘法器中的每一个输入寄存器：

- 时钟
- 时钟使能
- 异步清零

同一个嵌入式乘法器中的所有输入与输出寄存器均由同一时钟信号、时钟使能信号以及异步清零信号驱动。

乘法器级

嵌入式乘法器模块的乘法器级支持 9×9 或者 18×18 乘法器，并支持这些配置之间的其它乘法器。根据乘法器的数据宽度或者操作模式，单一嵌入式乘法器能够同时执行一个或者两个乘法运算。关于乘法器的相关信息，请参考第 4-4 页的“[操作模式](#)”。


乘法器的每一个操作数都是一个唯一的有符号或者无符号数。signa 与 signb 信号控制乘法器的输入，并决定值是有符号的还是无符号的。如果 signa 信号为高电平，则 Data A 操作数是一个有符号数值。反之，Data A 操作数便是一个无符号数值。

表 4-2 列出了不同符号类型的操作数的乘积结果对应的符号类型。如果任何一个操作数为有符号数，则乘积的结果为有符号数。

表 4-2. 乘法器符号表示

Data A		Data B		结果
signa 值	逻辑电平	signb 值	逻辑电平	
无符号	低	无符号	低	无符号
无符号	低	有符号	高	有符号
有符号	高	无符号	低	有符号
有符号	高	有符号	高	有符号

每一个嵌入式乘法器模块只有一个 signa 信号和一个 signb 信号，用于控制模块输入数据的符号表示。如果嵌入式乘法器有两个 9×9 乘法器，那么这两个乘法器的 Data A 输入与 Data B 输入将分别共享同一个 signa 信号和同一个 signb 信号。您可以在运行时动态改变 signa 和 signb 信号，以修改输入操作数的符号表示。您可以通过专用的输入寄存器发送 signa 以及 signb。不管符号表示如何，乘法器都会支持全精度。

 当 signa 与 signb 信号未使用时，Quartus II 软件会将乘法器默认设置成执行无符号乘法运算。

输出寄存器

根据乘法器的操作模式，您可以用 18 bit 或 36 bit 的形式来使用输出寄存器对嵌入式乘法器的输出进行寄存。下面的控制信号可用于嵌入式乘法器中的每一个输出寄存器：


- 时钟
- 时钟使能
- 异步清零

同一个嵌入式乘法器中的所有输入与输出寄存器均由同一时钟信号、时钟使能信号以及异步清零信号驱动。

操作模式

根据不同的应用需要，您可以选择如下两种的乘法器工作模式的一种：

- 一个 18×18 乘法器
- 最多两个 9×9 独立的乘法器

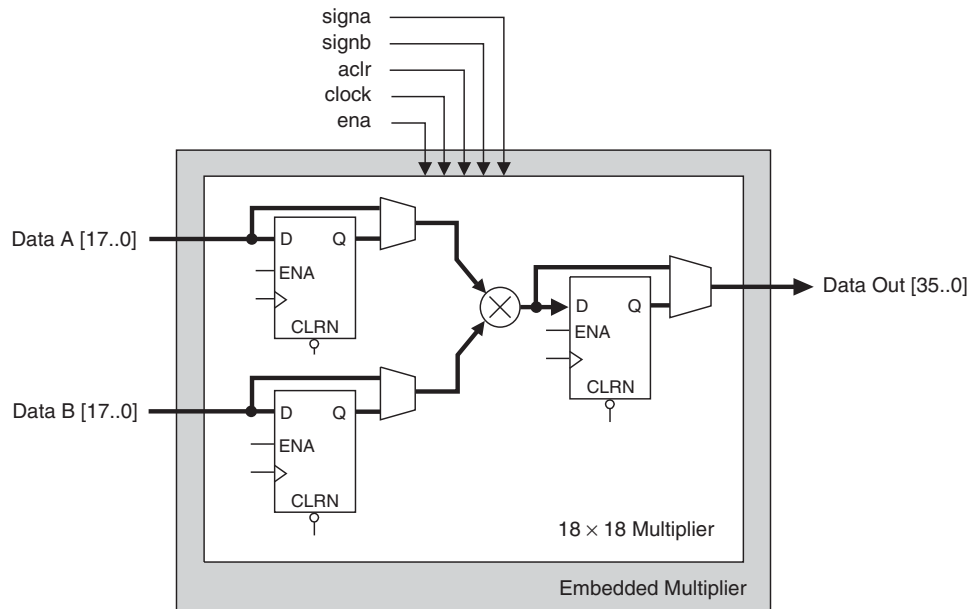
 通过使用 Cyclone IV 器件的嵌入式乘法器，可以实现乘法加法器和乘法累加器功能，这一功能的乘法器部分由嵌入式乘法器来实现，而加法器或者累加器功能则在逻辑单元 (LE) 中实现。

18 位乘法器

通过配置每一个嵌入式乘法器，来支持 10 到 18 位输入位宽的单一 18×18 乘法器。

图 4-3 显示了配置后的嵌入式乘法器，以支持一个 18 位乘法器。

图 4-3. 18 位乘法器模式



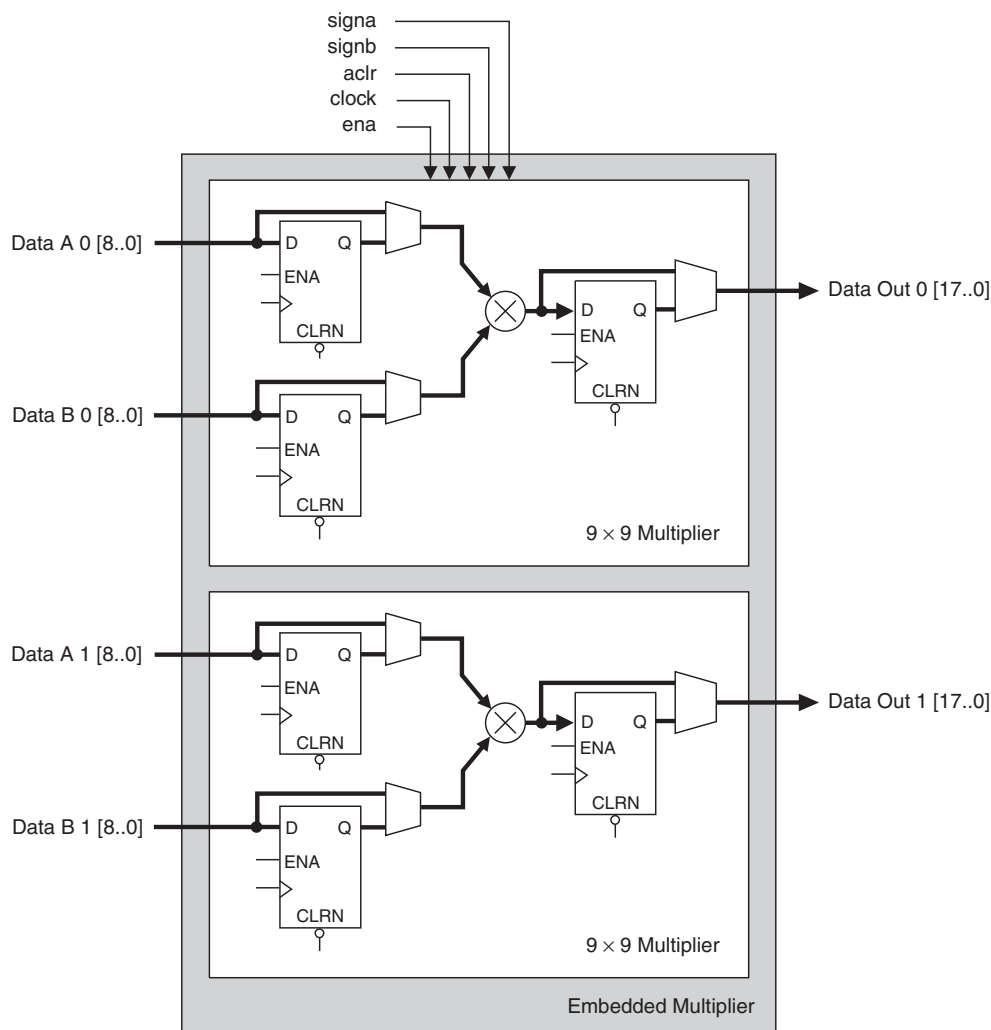
所有的 18 位乘法器输入数据与结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数，或者两者的组合。另外，您也可以动态修改 **signa** 与 **signb** 信号，并且通过专用的输入寄存器发送这些信号。

9 位乘法器

通过配置每一个嵌入式乘法器，以支持最多 9 位输入位宽的两个 9×9 乘法器。

图 4-4 显示了配置后的嵌入式乘法器，以支持两个 9 位乘法器。

图 4-4. 9 位乘法器模式



所有的 9 位乘法器输入数据与结果均被独立地发送至寄存器。乘法器输入数据可以是有符号整数、无符号整数，或者两者的组合。同一嵌入式乘法器模块中的两个 9×9 乘法器共享同一个 signa 和 signb 信号。因此，用于驱动同一嵌入式乘法器的所有 Data A 输入数据必须要有相同的符号表示。同样，用于驱动同一嵌入式乘法器的所有 Data B 输入数据也必须要要有相同的符号表示。

文档修订历史

表 4-3 显示了本章节的文档修订历史

表 4-3. 文档修订历史

日期	版本	修订内容
2010 年 2 月	1.1	针对 Quartus II 9.1 SP1 的发布，在表 4-1 中添加了 Cyclone IV E 器件的相关内容。
2009 年 11 月	1.0	首次发布。

