


本章对 Cyclone IV 器件的外部电源要求、热插拔规范、上电复位 (POR) 要求以及它们的实现作了相关的介绍。

本章涵盖以下几方面内容：

- 外部电源要求 (第 11-1 页)
- 热插拔规范 (第 11-2 页)
- 热插拔功能的实现 (第 11-3 页)
- 上电复位电路系统 (第 11-3 页)

外部电源要求

这一部分介绍了 Cyclone IV 器件供电所需要的各种外部电源。表 11-1 和表 11-2 分别列出了 Cyclone IV GX 和 Cyclone IV E 器件的外部电源管脚的说明。

 欲了解关于 Altera 建议的每个电源操作条件的详细信息，请参考 *Cyclone IV Device Datasheet* 章节。

 欲了解关于电源管脚连接指南和电源稳压器共享的详细信息，请参考 *Cyclone IV Device Family Pin Connection Guidelines*。

表 11-1. Cyclone IV GX 器件的电源说明 (1/2)

电源管脚	名义电压电平 (V)	说明
VCCINT	1.2	内核电压、PCI Express (PCIe) 硬核 IP 模块和收发器物理编码子层 (PCS) 电源
VCCA (1)	2.5	PLL 模拟电源
VCCD_PLL	1.2	PLL 数字电源
VCCIO (2)	1.2, 1.5, 1.8, 2.5, 3.0, 3.3	I/O 供电电源
VCC_CLKIN (3), (4)	1.2, 1.5, 1.8, 2.5, 3.0, 3.3	差分时钟输入管脚电源
VCCH_GXB	2.5	收发器输出 (TX) 缓冲器电源
VCCA_GXB	2.5	收发器物理介质附加子层 (PMA) 及辅助电源

表 11-1. Cyclone IV GX 器件的电源说明 (2/2)

电源管脚	名义电压电平 (V)	说明
VCCL_GXB	1.2	收发器 PMA 及辅助电源

表 11-1 注释：

- (1) 即使没有使用锁相环 (PLL)，也必须上电 VCCA。
- (2) I/O bank 3、8 和 9 包含配置管脚。您只能将 I/O bank 3 和 9 的 V_{CCIO} 电平上电至 1.5 V、1.8 V、2.5 V、3.0 V 或者 3.3 V。对于快速被动并行 (FPP) 配置模式，您必须将 I/O bank 8 的 V_{CCIO} 电平上电至 1.5 V、1.8 V、2.5 V、3.0 V 或者 3.3 V。
- (3) 所有器件封装中的 EP4CGX15、EP4CGX22 和器件封装 F169 和 F324 中的 EP4CGX30 器件均有两个位于 bank 3A 和 8A 上的 VCC_CLKIN 专用时钟输入 I/O。器件封装 F484 中的 EP4CGX30、所有器件封装中的 EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件均有四个位于 bank 3A、3B、8A 和 8B 上的 VCC_CLKIN 专用时钟输入 I/O。
- (4) 如果 CLKIN 被用作高速串行接口 (HSSI) refclk，那么必须将 VCC_CLKIN 设置成 2.5 V。位于 I/O bank 3B 和 8B 上的 VCC_CLKIN 仅支持 2.5 V 电压的电平，用于 LVDS 输入功能，因为它们专用于 HSSI refclk。对于 EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件，单端输入 CLK 支持适用于位于 I/O bank 3B 和 8B 上的专用输入 CLK 管脚。

表 11-2. Cyclone IV E 器件的电源说明

电源管脚	名义电压电平 (V)	说明
VCCINT	1.0, 1.2	内核电压电源
VCCA (1)	2.5	PLL 模拟电源
VCCD_PLL	1.0, 1.2	PLL 数字电源
VCCIO (2)	1.2, 1.5, 1.8, 2.5, 3.0, 3.3	I/O 供电电源

表 11-2 注释：

- (1) 即使没有使用锁相环 (PLL)，也必须上电 VCCA。
- (2) I/O bank 1、6、7 和 8 包含配置管脚。

热插拔规范

Cyclone IV 器件支持热插拔的特性，而无需任何的外部组件或特殊的设计要求。
Cyclone IV 器件对热插拔的支持具有下面两个优点：


- 您能够在上电前对器件进行驱动，同时又不会对器件造成损坏。
- I/O 管脚在上电期间保持在三态。器件不会在上电前或上电期间驱动信号。因此，它不会对操作中的其它总线产生影响。

上电前驱动器件

您可以在上电或关断之前或期间，将信号驱动至 Cyclone IV E 的普通 I/O 管脚和 Cyclone IV GX 的收发器 I/O 管脚当中。Cyclone IV 器件支持上电或关断排序，以简化系统级设计。

上电期间 I/O 管脚保持在三态

Cyclone IV 器件的输出缓冲器在系统上电或关断期间被关闭。直到器件被配置并在推荐的操作条件下运行时，Cyclone IV 器件才会驱动信号。I/O 管脚在器件进入用户模式前始终处于三态。

 用户 I/O 管脚和两用 I/O 管脚均有弱上拉电阻，这些弱上拉电阻在配置前或期间始终处于使能状态（上电复位后），但在上电复位前是禁用的。


半导体器件关于热插拔可能存在的问题是潜在的闕锁效应的发生。当在活动系统中对电气子系统进行热插拔时，会出现闕锁效应。热插拔期间，电源提供电流给器件的 V_{CC} 和接地平面之前，信号管脚可能被活动系统连接并驱动。这一情况能够产生闕锁效应，并导致从器件中 V_{CC} 到 GND 的低阻抗路径。因此，器件产生大量的电流，从而可能会导致电损伤。

I/O 缓冲器与热插拔电路系统的设计确保了 Cyclone IV 器件在热插拔期间避免闕锁效应的发生

 要了解关于热插拔规范的详细信息，请参考 *Cyclone IV Device Datasheet* 章节和 *Hot-Socketing and Power-Sequencing Feature and Testing for Altera Devices* 白皮书。

热插拔功能的实现

热插拔电路不包括 CONF_DONE、nCEO 和 nSTATUS 管脚，从而确保这些管脚能够在配置期间正常操作。这些管脚的预期行为是在上电和关断顺序期间驱动信号。

 Altera 使用 GND 作为热插拔操作和 I/O 缓冲器设计的参考。为确保正确的操作，Altera 建议在连接电源之前，先连接电路板之间的 GND。这样可以防止通过电路板上的其它组件的电源路径意外地上拉电路板上的 GND。否则，上拉的 GND 能够导致 Altera 器件出现一个规范以外的 I/O 电压或者电流情况。

上电复位电路系统

Cyclone IV 器件包含上电复位 (POR) 电路系统，使器件保持在复位状态，直到上电期间电源电平变得稳定。上电复位期间，在电源到达推荐的操作电平以前，所有的用户 I/O 管脚均处于三态。此外，POR 电路系统也确保了配置管脚触发以前，内嵌配置管脚的 I/O bank 的 V_{CCIO} 电平能够达到一个可接受的电平。

Cyclone IV 器件中的 POR 电路在上电期间监控含有配置管脚的 V_{CCINT} 、 V_{CCA} 和 V_{CCIO} 。您能够以任何顺序上电或关断 V_{CCINT} 、 V_{CCA} 和 V_{CCIO} 管脚。 V_{CCINT} 、 V_{CCA} 和 V_{CCIO} 管脚必须有一个达到稳态电平的单调上升。所有的 V_{CCA} 管脚必须供电到 2.5 V（即使是在没有使用 PLL 的情况下），并且必须同时上电及关断。

Cyclone IV 器件进入用户模式后，POR 电路继续监控 V_{CCINT} 和 V_{CCA} 管脚，以便检测用户模式期间掉电情况的发生。如果 V_{CCINT} 或者 V_{CCA} 电压在用户模式期间下降到 POR 跳变点以下，那么 POR 电路将对器件复位。如果 V_{CCIO} 电压在用户模式期间下降，那么 POR 电路不会对器件复位。

在某些应用中，迅速唤醒器件开始运作是非常必要的。Cyclone IV 器件支持快速接通 (Fast-On) 的特性，用于快速唤醒时间的应用。MSEL 管脚的设置决定了器件的 POR 时间 (t_{POR})。

- 欲了解关于 MSEL 管脚设置的详细信息，请参考 *Configuration and Remote System Upgrades in Cyclone IV Devices* 章节。
- 欲了解关于 POR 规范的详细信息，请参考 *Cyclone IV Device Datasheet* 章节。

文档修订历史

表 11-3 列出了本章节的修订历史。

表 11-3. 文档修订历史

日期	版本	修订内容
2010 年 7 月	1. 2	<ul style="list-style-type: none">■ 针对 Quartus II 10.0 的发布所进行的更新。■ 更新了 “ 上电期间 I/O 管脚保持在三态 ” 部分。■ 更新了表 11-1。
2010 年 2 月	1. 1	针对 Quartus II 9.1 SP1 的发布，更新了表 11 - 1 和表 11 - 2。
2009 年 11 月	1. 0	首次发布。