

本章节介绍了 Cyclone® IV 器件所支持的 I/O 与高速 I/O 的性能和特性。

Cyclone IV 器件的 I/O 功能是由许多低成本应用中的多样化 I/O 标准所驱动的，大幅度提高了 I/O 的性能要求。Altera 的目标是创建一个可以轻松而灵活地容纳您的主模块设计要的器件。

自从在上一代低成本 FPGA 中实现了在所有的 I/O 块中可以选择所有的 I/O 标准，使得 Cyclone IV 器件的 I/O 灵活性相应增加。改进了片上端接 (OCT) 的支持，另外真差分缓冲器也已消除了许多应用中所需的外部电阻，例如显示系统 接口。

高速差分 I/O 标准在高速接口中已经很普遍，这是由于它们在单端 I/O 标准中具有显著的优势。Cyclone IV 器件支持 LVDS、BLVDS、RSDS、mini-LVDS 和 PPDS。收发器参考时钟和现有的通用 I/O (GPIO) 时钟输入功能也支持 LVDS I/O 标准。

Quartus® II 软件完成了具有强大的管脚计划功能的解决方案。实现在您得到设计文件之前，对 I/O 系统设计的计划和优化。

这一章节包括以下几部分内容：

- “Cyclone IV 的 I/O 单元 ” 第 6-2 页
- “I/O 单元特性 ” 第 6-3 页
- “OCT 支持 ” 第 6-6 页
- “I/O 标准 ” 第 6-11 页
- “I/O 标准的匹配方案 ” 第 6-13 页
- “I/O 块 ” 第 6-16 页

- “ 垫布局 and 直流指南 ” 第 6-22 页
- “ 时钟管脚功能 ” 第 6-23 页
- “ 高速 I/O 接口 ” 第 6-23 页
- “ 高速 I/O 标准支持 ” 第 6-27 页
- “ 真差分输出缓冲器功能 ” 第 6-34 页
- “ 高速 I/O 时序 ” 第 6-35 页
- “ 设计指南 ” 第 6-36 页
- “ 软件概述 ” 第 6-37 页

Cyclone IV 的 I/O 单元

Cyclone IV 的 I/O 单元 (IOE) 包含一个双向 I/O 缓冲器和五个寄存器，用以寄存输入，输出，输出使能信号和完成嵌入式双向单数据速率的传送。I/O 管脚支持各种单端和差分 I/O 标准。

IOE 包含一个输入寄存器，两个输出寄存器和两个输出使能 (OE) 寄存器。两个输出寄存器和两个 OE 寄存器被用于 DDR 的运用。您可以使用输入寄存器实现较快的建立时间，使用输出寄存器实现快速的输出时间 (clock-to-output) 时间。此外，您可以使用 OE 寄存器于快速时钟至输出 (clock-to-output) 使能时间。您可以使用 IOE 于输入，输出或双向数据路径。

图 6-1 显示了 Cyclone IV 器件 IOE 结构为单数据速率 (SDR) 的操作。

图 6-1. 对于 SDR 模式的 Cyclone IV IOE 的一个双向 I/O 配置

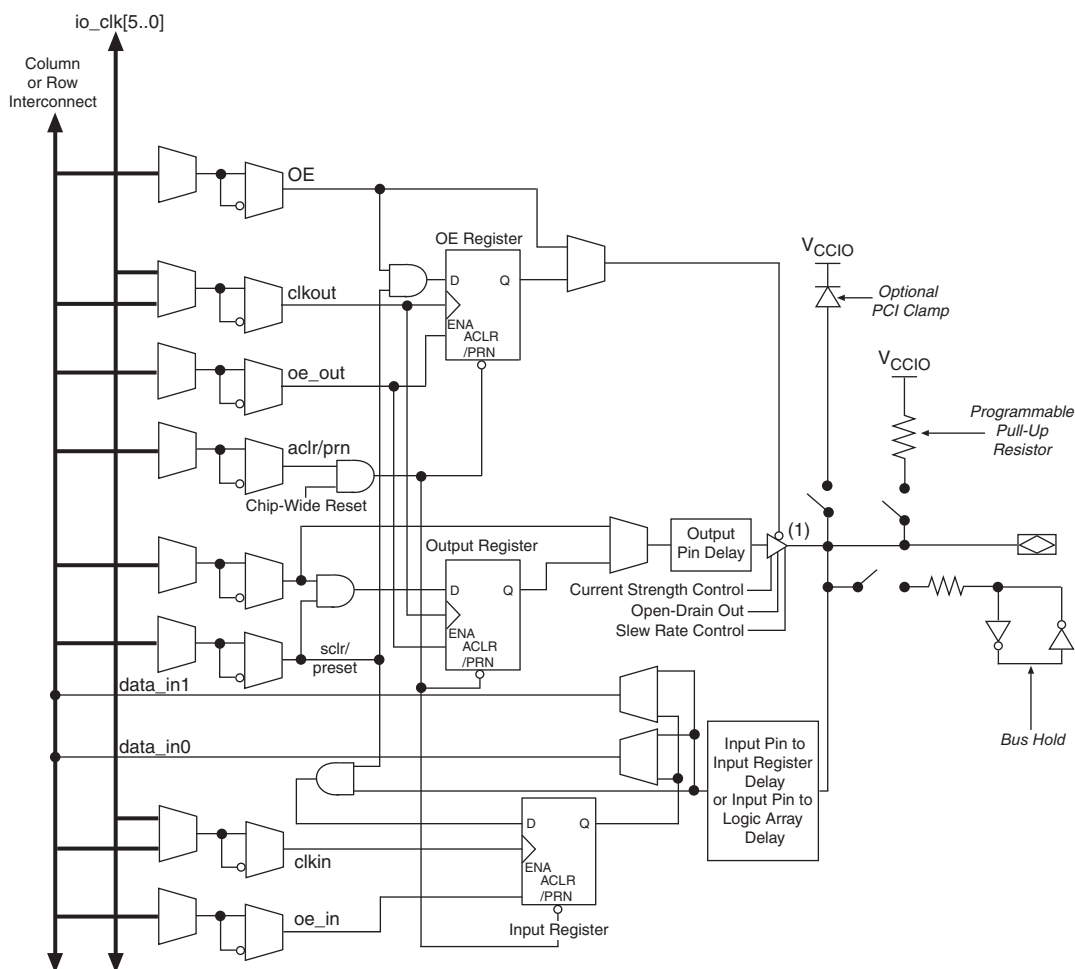


图 6-1 注释：

(1) 三态控制不可用于真差分 I/O 标准的输出配置。

I/O 单元特性

Cyclone IV IOE 提供了 I/O 管脚的一系列可编程的特性。这些特性增加了 I/O 利用率的灵活性，并提供了一个方法以减少外部分立元器件的利用率，例如上拉电阻和二极管。

可编程电流强度

每个 Cyclone IV I/O 管脚上的输出缓冲器对于某些 I/O 标准有一个可编程电流强度控制。

LVTTTL、LVCMOS、SSTL-2 Class I 和 II、SSTL-18 Class I 和 II、HSTL-18 Class I 和 II、HSTL-15 Class I 和 II 以及 HSTL-12 Class I 和 II I/O 标准有几个层次的电流强度您可以控制。

第 6-7 页表 6-2 显示对电流强度控制的 I/O 标准的可能设置。这些可编程电流强度设置对帮助降低同步切换输出（SSO）的影响结合减少系统噪声是一种很有价值的工具。支持的设置确保器件驱动符合在相应的 I/O 标准中 IOH 和 IOL 的规范。



当您使用可编程电流强度时，片上串行匹配电阻 (R_S OCT) 是不可用的。

摆率控制

每个 Cyclone IV I/O 管脚的输出缓冲器提供可选的可编程输出摆率控制。第 6-7 页表 6-2 显示了可能的摆率选项和在 Quartus II 默认的摆率设置。然而，这些快速跳变可能引进系统中的噪声跳变。一个较慢的摆率可以减少系统的噪声，但却增加了上升沿和下降沿的标称延迟。由于每个 I/O 管脚都有一个单独的摆率控制，您可以逐一为每个引脚指定摆率。摆率控制影响上升沿和下降沿。摆率控制在 8 毫安或更高的电流强度中可用于单端 I/O 标准。



当使用 OCT 校准时，您不能使用可编程摆率功能。



当使用 3.0-V PCI、3.0-V PCI-X、3.3-V LVTTTL 或 3.3-V LVCMOS I/O 标准时，您不能使用可编程摆率功能。只有快速摆率（默认）设置是可用的。

开漏输出

Cyclone IV 器件为每个管脚提供一个可选的开漏输出（相当于一个集电极开路）。这个开漏输出使能器件以提供系统级的控制信号（比如：中断和写入使能信号），且被您系统中的多器件置位。

总线保持

每个 Cyclone IV 器件的用户 I/O 管脚提供了一个可选的总线保持功能。总线保持电路保存其最后驱动状态的 I/O 管脚上的信号。由于总线保持功能保存了最后驱动状态的管脚直到下一个输入信号出现，一个外部上拉或者下拉电阻是没有必要保持信号水平，在总线状态为三态时。

总线保持电路也把未驱动的管脚从输入阈值电压中拉离，其噪声可能会导致意想不到的高频切换。您可以单独为每个 I/O 管脚选择这项功能。总线保持的输出驱动不可高过 V_{CCI0} 以防止过驱信号。





假如您启用总线保持功能，那么器件不能使用可编程的上拉电阻选项。当 I/O 管脚配置为差分信号时，禁用总线保持的功能。总线保持电路在专用的时钟管脚中是不可用的。

总线保持电路只有在配置完成后才有效。当进入用户模式时，总线保持电路采集呈现在最后配置的管脚上的值。

 有关每个 V_{CCIO} 电压电平驱动电阻的特定的维持电流和过驱电流用于确定下一个驱动输入电平，请参阅 *Cyclone IV Device Datasheet* 章节。

可编程的上拉电阻

每个 Cyclone IV 器件 I/O 管脚在用户模式中提供一个可选的可编程上拉电阻。如果你为 I/O 管脚启用这一功能，那么上拉电阻保持输出到输出管脚块中的 V_{CCIO} 电平。

-  如果您启用可编程上拉电阻，那么该器件无法使用总线保持的功能。可编程上拉电阻不支持专用配置，JTAG 和专用时钟管脚。
-  当可选的 DEV_OE 信号被驱动至低时，所有 I/O 管脚保持三态，尽管可编程上拉选项被启用。

可编程的延迟

Cyclone IV 的 IOE 包括可编程延迟以确保零保持时间，最小化建立时间，增加时钟至输出时间和延迟时钟输入信号。

一个管脚中的一条路径直接驱动一个寄存器可能需要一个可编程延迟以确保零保持时间，然而一个管脚的一条路径通过组合逻辑驱动一个寄存器则可能不需要延迟。可编程延迟最小化建立时间。Quartus II 编译器可编程这些延迟以自动最小化建立时间，同时提供一个零保持时间。可编程延迟可以增加输出寄存器的寄存至管脚（register-to-pin）的延迟。每个复用时钟输入管脚提供一个可编程延迟到全局时钟网络。

表 6-1 显示了对 Cyclone IV 器件的可编程延迟

表 6-1. Cyclone IV 器件可编程延迟链

可编程延迟	Quartus II 逻辑选项
输入 pin-to-logic 阵列延迟	从管脚到内部单元的输入延迟
输入 pin-to-input 寄存器延迟	从管脚到输入寄存器的输入延迟
输出管脚延迟	从输出寄存器到输出管脚的延迟
复用时钟输入管脚延迟	从复用时钟管脚到扇出目的地的输入延迟

在 IOE 中有两条路径用于实现输入数据以到达逻辑阵列。每一条路径各有不同的延迟。这允许您对位于器件中的两个不同区域的管脚至内部逻辑单元 (LE) 寄存器的延迟进行调整。您必须设置两个组合输入延迟，其输入延迟和管脚到 Quartus II 软件中的内部单元逻辑选项的两条路径一起。如果管脚使用输入寄存器，其中一个延迟被忽视，而这个延迟与 Quartus II 软件中的管脚至输入寄存器逻辑选项的输入延迟设置在一起。

IOE 寄存器在每个 I/O 模块的预置或清零功能上共享相同的资源。您可以为每个独立的 IOE 编程预置或清零功能，但您不可以同时使用这两项功能。您也可以在完成配置后，编程寄存器上电到高电平或低电平。如果编程到低电平，异步清零可以控制寄存器。如果编程到高电平，异步预置可以控制寄存器。此功能可以防止无意中激活另一个器件上电后的低电平有效的输入。如果 IOE 中的一个寄存器使用预置或清零信号，那么在 IOE 中的所有寄存器在他们需要预置或清零信号时必须使用这个相同的信号。此外，一个同步复位信号在 IOE 寄存器中是可用的。



要了解关于输入和输出管脚延迟设置的详细信息，请参阅 *Quartus II Handbook* 第2卷 *Area and Timing Optimization* 章节。

PCI 钳位二极管

Cyclone IV 器件为每个 I/O 管脚提供一个可选的 PCI-clamp 二极管使能输入和输出。复用配置管脚在用户模式中支持二极管，如果在选定的配置方案中不使用特定的管脚作为配置管脚。例如，如果您正使用主动串行（AS）模式配置方案，您不可以使用在用户模式下的 ASDO 和 nCSO 管脚的钳位二极管。专用的配置管脚不支持片上二极管。

PCI-clamp 二极管在以下 I/O 标准中是可用的：

- 3.3-V LVTTL
- 3.3-V LVCMOS
- 3.0-V LVTTL
- 3.0-V LVCMOS
- 2.5-V LVTTL/LVCMOS
- PCI
- PCI-X

如果输入 I/O 标准是列表标准中的其中一个，PCI-clamp 二极管在 Quartus II 软件中默认为使能状态。

OCT 支持

Cyclone IV 器件的 OCT 特性提供 I/O 阻抗匹配和终端能力。OCT 帮助防止反射和保持信号的完整性，同时最大限度地减少外部电阻高管脚量的球栅阵列（BGA）封装的需求。Cyclone IV 器件为单端输出和双向管脚提供 I/O 驱动片上的阻抗匹配和 R_S OCT。



当使用 R_S OCT 时，可编程电流强度是不具备的。

有两种方法可以在 Cyclone IV 器件中实现 OCT：

- 具校准的 OCT
- 无校准的 OCT

表 6-2 列出支持阻抗匹配和串行匹配的 I/O 标准。

表 6-2. Cyclone IV 器件的 I/O 特性支持 (Part 1 of 2)


I/O 标准	IOH/IOL 电流强度设置（毫安） (1)		具校准的 R _S OCT 设置，（欧姆）		不具校准的 R _S OCT 设置，（欧姆）		Cyclone IV E 的I/O 块支持	Cyclone IV GX 的 I/O 块 支持	摆率 选项 (6)	PCI- clamp 二极 管支 持
	列 I/O	行 I/O	列 I/O	行 I/O (8)	列 I/O	行 I/O (8)				
3.3-V LVTTTL	4, 8	4, 8	—	—	—	—	1, 2, 3, 4, 5, 6, 7, 8	3, 4, 5, 6, 7, 8, 9	—	✓
3.3-V LVC MOS	2	2	—	—	—	—			—	✓
3.0-V LVTTTL	4, 8, 12, 16	4, 8, 12, 16	50, 25	50, 25	50, 25	50, 25			0, 1, 2	✓
3.0-V LVC MOS	4, 8, 12, 16	4, 8, 12, 16	50, 25	50, 25	50, 25	50, 25				✓
3.0-V PCI/PCI-X	—	—	—	—	—	—			—	✓
2.5-V LVTTTL/LVC MOS	4, 8, 12, 16	4, 8, 12, 16	50, 25	50, 25	50, 25	50, 25			0, 1, 2	✓
1.8-V LVTTTL/LVC MOS	2, 4, 6, 8, 10, 12, 16	2, 4, 6, 8, 10, 12, 16	50, 25	50, 25	50, 25	50, 25				—
1.5-V LVC MOS	2, 4, 6, 8, 10, 12, 16	2, 4, 6, 8, 10, 12, 16	50, 25	50, 25	50, 25	50, 25				—
1.2-V LVC MOS	2, 4, 6, 8, 10, 12	2, 4, 6, 8, 10	50, 25	50	50, 25	50		4, 5, 6, 7, 8		—
SSTL-2 Class I	8, 12	8, 12	50	50	50	50		3, 4, 5, 6, 7, 8, 9		—
SSTL-2 Class II	16	16	25	25	25	25				—
SSTL-18 Class I	8, 10, 12	8, 10, 12	50	50	50	50				—
SSTL-18 Class II	12, 16	12, 16	25	25	25	25				—
HSTL-18 Class I	8, 10, 12	8, 10, 12	50	50	50	50				—
HSTL-18 Class II	16	16	25	25	25	25				—
HSTL-15 Class I	8, 10, 12	8, 10, 12	50	50	50	50			—	
HSTL-15 Class II	16	16	25	25	25	25			—	
HSTL-12 Class I	8, 10, 12	8, 10	50	50	50	50		4, 5, 6, 7, 8	—	
HSTL-12 Class II	14	—	25	—	25	—	3, 4, 7, 8	4, 7, 8	—	
差分SSTL-2 Class I (2)· (7)	8, 12	8, 12	50	50	50	50	1, 2, 3, 4, 5, 6, 7, 8	3, 4, 5, 6, 7, 8	0, 1, 2	—
差分 SSTL-2 Class II (2)· (7)	16	16	25	25	25	25				—
差分 SSTL-18 (2)· (7)	8, 10, 12	—	50	—	50	—				—
差分 HSTL-18 (2)· (7)	8, 10, 12	—	50	—	50	—				—
差分 HSTL-15 (2)· (7)	8, 10, 12	—	50	—	50	—				—
差分 HSTL-12 (2)· (7)	8, 10, 12	—	50	—	50	—	3, 4, 7, 8	4, 7, 8	—	

表 6-2. Cyclone IV 器件的 I/O 特性支持 (Part 2 of 2)

I/O 标准	IOH/IOL 电流强度设置 (毫安) (1)		具校准的 R_S OCT 设置, (欧姆)		不具校准的 R_S OCT 设置, (欧姆)		Cyclone IV E 的 I/O 块支持	Cyclone IV GX 的 I/O 块支持	摆率 选项 (6)	PCI-clamp 二极管支持
	列 I/O	行 I/O	列 I/O	行 I/O (8)	列 I/O	行 I/O (8)				
BLVDS	8, 12, 16	8, 12, 16	—	—	—	—	1, 2, 3, 4, 5, 6, 7, 8	3, 4, 5, 6, 7, 8	0, 1, 2	—
LVDS (3)	—	—	—	—	—	—		5, 6	—	—
PPDS (3) (4)	—	—	—	—	—	—			—	—
RSDS 和 mini-LVDS (3) (4)	—	—	—	—	—	—			—	—
差分 LVPECL (5)	—	—	—	—	—	—		3, 4, 5, 6, 7, 8	—	—

表 6-2 注释:

- (1) 在 Quartus II 软件中所有无电压参考和 HSTL/SSTL Class I I/O 标准的默认电流强度设置为 50 欧姆无校准串行匹配 (OCT)。HSTL/SSTL Class II I/O 标准的默认设置为 25 欧姆) 无校准串行匹配 (OCT)。
- (2) 差分 SSTL-18 和 SSTL-2、差分 HSTL-18、HSTL-15 和 HSTL-12 I/O 标准仅支持时钟输入管脚和 PLL 输出时钟管脚。
- (3) 真差分 (PPDS、LVDS、mini-LVDS 和 RSDS I/O 标准) 输出仅支持 Cyclone IV E 器件的 I/O 块行 1、2、5 和 6, 仅支持 Cyclone IV GX 的右边的 I/O 块 5 和 6。在 I/O 块列中的差分输出需要一个外部电阻器网络。
- (4) 此 I/O 标准仅支持输出。
- (5) 此 I/O 标准仅支持时钟输入。
- (6) 所有 I/O 标准的支持摆率选项的默认 Quartus II 摆率设置为粗体 2。
- (7) 差分 SSTL-18、差分 HSTL-18, HSTL-15 和 HSTL-12 I/O 标准不支持 Class II 输出。
- (8) Cyclone IV GX 器件仅支持右边的 I/O 管脚。

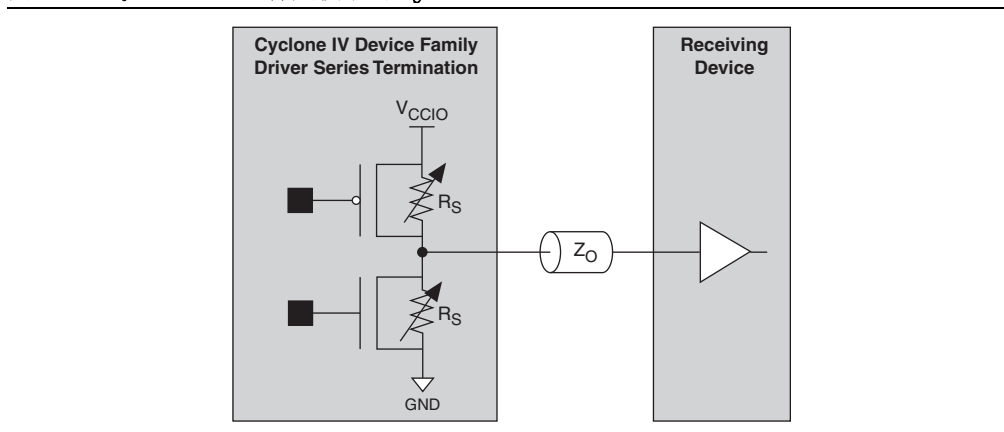
 有关Cyclone IV I/O块支持的差分 I/O标准的详细信息, 请参阅 “ “高速 I/O 接口” 第 6-23 页 ” (第 23 页)

具校准的片上串行匹配电阻

Cyclone IV 器件支持顶部, 底部和右边的 I/O 块具校准的 R_S OCT。具校准的 R_S OCT 电路比较 I/O 缓冲器的总阻抗和外部的 25- Ω \pm 1% 或 50- Ω \pm 1% 的电阻连接到 RUP 和 RDN 管脚, 并动态调整 I/O 缓冲器阻抗直到与之相匹配。(如图 6-2 所示)。

显示在图 6-2 的 R_S 是晶体管内在阻抗，它构成 I/O 缓冲器。

图 6-2. Cyclone IV 器件具校准的 R_S OCT



具校准的 OCT 是通过使用具校准的 OCT 模块电路来实现的。有一个具校准的 OCT 模块在每个 I/O 块的 2、4、5 和 7 中用在 Cyclone IV E 器件；I/O 块的 4、5 和 7 的用在 Cyclone IV GX 器件。每个校准模块支持 I/O 块的各个边。因为有两个 I/O 块共享同一个校准模块，在这两个 I/O 块使能 OCT 校准的情况下，都必须具有相同的 V_{CCI0} 。如果两个相关的 I/O 块有不同的 V_{CCI0} ，那么只有校准模块所在的 I/O 块可以使能 OCT 校准。

第 6-18 页图 6-10 显示 OCT 校准模块安置的顶层视图。

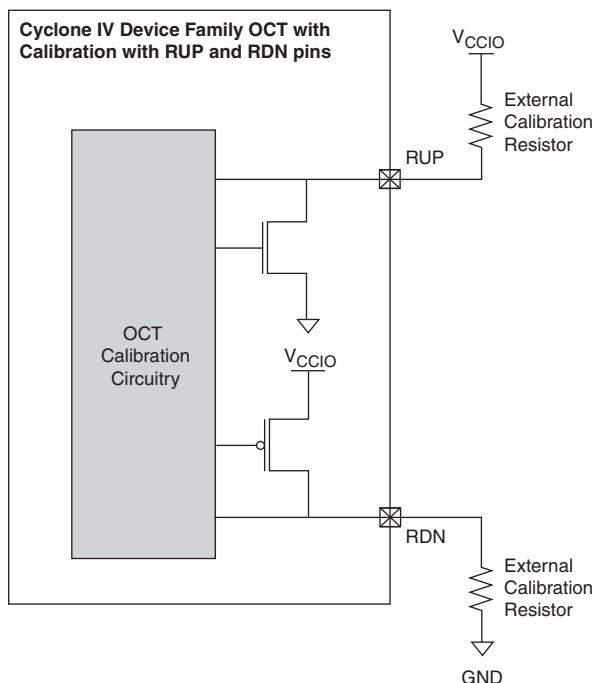
每个校准模块带有一对 RUP 和 RDN 管脚。当用于校准时，RUP 管脚连接到 V_{CCI0} ，通过 $25\text{-}\Omega \pm 1\%$ 或 $50\text{-}\Omega \pm 1\%$ 的外部电阻分别连接到 $25\text{ }\Omega$ 或 $50\text{ }\Omega$ 的 R_S OCT。RDN 管脚连接到 GND，通过 $25\text{-}\Omega \pm 1\%$ 或 $50\text{-}\Omega \pm 1\%$ 的外部电阻分别连接到 $25\text{ }\Omega$ 或 $50\text{ }\Omega$ 的 R_S OCT。外部电阻与内部电阻使用比较器进行相比较。比较器所产生的输出被用于 OCT 校准模块以动态调整缓冲器阻抗。



在校准期间，RUP 和 RDN 管脚的电阻是有所不同的。

图 6-3 显示在 RUP 和 RDN 管脚和相关的 OCT 校准电路的外部校准电阻设置。

图 6-3. Cyclone IV 器件具校准的 R_S OCT 设置



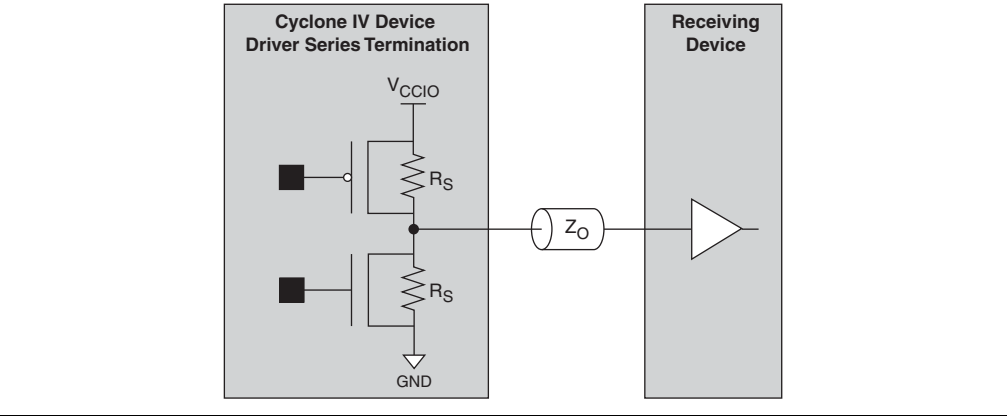
当校准已完成或没有运行时，RUP 和 RDN 管脚进入三态状态。这两个管脚是复用的 I/O 却作为普通 I/O 功能，如果您不使用校准电路。

无校准的片上串行匹配电阻

Cyclone IV 器件支持驱动阻抗匹配，通常与传输线上 25 或 50 Ω 的阻抗相匹配。当和输出器件一起使用时，OCT 设置输出驱动阻抗到 25 或 50 Ω 。Cyclone IV 器件也支持 SSTL-2 和 SSTL-18 的 I/O 驱动串行匹配电阻 ($R_S = 50 \Omega$)。

图 6-4 显示无校准的 OCT 的单端 I/O 标准。R_S 显示内在晶体管阻抗。

图 6-4. Cyclone IV 器件无校准的 R_S OCT



所有 I/O 块和 I/O 管脚支持阻抗匹配和串行匹配。专有配置的管脚和 JTAG 管脚不支持阻抗匹配和串行匹配。

R_S OCT 支持任何 I/O 块。V_{CCIO} 和 V_{REF} 必须兼容所有的 I/O 管脚，以便在一个给定的 I/O 块中使能 R_S OCT。支持不同 R_S 值的 I/O 标准可以存储于相同的 I/O 块中，只要 V_{CCIO} 和 V_{REF} 不相冲突。

使用输出驱动器的能力来实现阻抗匹配，它会受到一定程度的变化，这取决于工艺，电压和温度的变化。

 要了解关于容限范围的详细信息，请参阅 *Cyclone IV Device Datasheet* 章节。

I/O 标准

Cyclone IV 器件支持多个单端和差分 I/O 标准。Cyclone IV 器件支持 3.3-、3.0-、2.5-、1.8-、1.5- 和 1.2-V 的 I/O 标准。

表 6-3 总结了由 Cyclone IV 器件支持的 I/O 标准和所支持的 I/O 管脚。

表 6-3. Cyclone IV 器件支持 I/O 标准和限制 (Part 1 of 3)

I/O 标准	类型	标准支持	V _{CCIO} 电平 (in V)		I/O 管脚列			I/O 管脚行 (1)	
			输入	输出	CLK, DQS	PLL_OUT	用户 I/O 管 脚	CLK, DQS	用户 I/O 管 脚
3.3-V LVTTTL, 3.3-V LVCMOS (2)	单端	JESD8-B	3.3/3.0/ 2.5 (3)	3.3	✓	✓	✓	✓	✓
3.0-V LVTTTL, 3.0-V LVCMOS (2)	单端	JESD8-B	3.3/3.0/ 2.5 (3)	3.0	✓	✓	✓	✓	✓
2.5-V LVTTTL / LVCMOS	单端	JESD8-5	3.3/3.0/ 2.5 (3)	2.5	✓	✓	✓	✓	✓
1.8-V LVTTTL / LVCMOS	单端	JESD8-7	1.8/1.5 (3)	1.8	✓	✓	✓	✓	✓

表 6-3. Cyclone IV 器件支持 I/O 标准和限制 (Part 2 of 3)

I/O 标准	类型	标准支持	V _{CCIO} 电平 (in V)		I/O 管脚列			I/O 管脚行 (1)	
			输入	输出	CLK, DQS	PLL_OUT	用户 I/O 管 脚	CLK, DQS	用户 I/O 管 脚
1.5-V LVC MOS	单端	JESD8-11	1.8/1.5 (3)	1.5	✓	✓	✓	✓	✓
1.2-V LVC MOS (4)	单端 d	JESD8-12A	1.2	1.2	✓	✓	✓	✓	✓
SSTL-2 Class I, SSTL-2 Class II	电压参考	JESD8-9A	2.5	2.5	✓	✓	✓	✓	✓
SSTL-18 Class I, SSTL-18 Class II	电压参考	JESD815	1.8	1.8	✓	✓	✓	✓	✓
HSTL-18 Class I, HSTL-18 Class II	电压参考	JESD8-6	1.8	1.8	✓	✓	✓	✓	✓
HSTL-15 Class I, HSTL-15 Class II	电压参考	JESD8-6	1.5	1.5	✓	✓	✓	✓	✓
HSTL-12 Class I	电压参考	JESD8-16A	1.2	1.2	✓	✓	✓	✓	✓
HSTL-12 Class II (9)	电压参考	JESD8-16A	1.2	1.2	✓	✓	✓	—	—
PCI 和 PCI-X	单端	—	3.0	3.0	✓	✓	✓	✓	✓
差分 SSTL-2 Class I 或 Class II	差分 (5)	JESD8-9A	—	2.5	—	✓	—	—	—
			2.5	—	✓	—	—	✓	—
差分 SSTL-18 Class I 或 Class II	差分 (5)	JESD815	—	1.8	—	✓	—	—	—
			1.8	—	✓	—	—	✓	—
差分 HSTL-18 Class I 或 Class II	差分 (5)	JESD8-6	—	1.8	—	✓	—	—	—
			1.8	—	✓	—	—	✓	—
差分 HSTL-15 Class I 或 Class II	差分 (5)	JESD8-6	—	1.5	—	✓	—	—	—
			1.5	—	✓	—	—	✓	—
差分 HSTL-12 Class I 或 Class II	差分 (5)	JESD8-16A	—	1.2	—	✓	—	—	—
			1.2	—	✓	—	—	✓	—
PPDS (6)	差分	—	—	2.5	—	✓	✓	—	✓
LVDS (10)	差分	ANSI/TIA/ EIA-644	2.5	2.5	✓	✓	✓	✓	✓
RSDS 和 mini-LVDS (6)	差分	—	—	2.5	—	✓	✓	—	✓
BLVDS (8)	差分	—	2.5	2.5	—	—	✓	—	✓


表 6-3. Cyclone IV 器件支持 I/O 标准和限制 (Part 3 of 3)

I/O 标准	类型	标准支持	V _{CCIO} 电平 (in V)		I/O 管脚列			I/O 管脚行 ⁽¹⁾	
			输入	输出	CLK, DQS	PLL_OUT	用户 I/O 管 脚	CLK, DQS	用户 I/O 管 脚
LVPECL ⁽⁷⁾	差分	—	2.5	—	✓	—	—	✓	—

表 6-3 注释:

- (1) Cyclone IV GX 器件仅支持右边的 I/O 管脚。
- (2) 必须使能 3.3-V/3.0-V LVTTTL/LVCMOS 的 PCI-clamp 二极管。
- (3) Cyclone IV 体系结构支持 MultiVolt I/O 接口功能，以实现所有封装的 Cyclone IV 器件与不同供电电压的 I/O 系统接口。
- (4) Cyclone IV GX 器件不支持块 3 和块 9 中的 1.2-V V_{CCIO}。在块 9 中的 I/O 管脚为复用 I/O 管脚，用于配置或 GPIO 管脚。配置方案不支持于 1.2 V，因此块 9 不可能在 1.2-V V_{CCIO} 中上电。
- (5) 差分 HSTL 和 SSTL 输出使用两个单端输出，其中第二个输出编程为反转输出。差分 HSTL 和 SSTL 输入把差分输入当作两个单端 HSTL 和 SSTL 输入，并仅对其中之一进行解码。差分 HSTL 和 SSTL 仅支持 CLK 管脚。
- (6) PPDS、mini-LVDS 和 RSDS 都仅支持输出管脚。
- (7) LVPECL 仅支持时钟输入。
- (8) 总线 LVDS (BLVDS) 输出使用两个单端输出，其中第二个输出编程为反转输出。BLVDS 输入使用 LVDS 输入缓冲器。
- (9) 1.2-V HSTL 支持 I/O 的列和行，无论是 Class I 或 Class II。
- (10) 真 LVDS、RSDS 和 mini-LVDS I/O 标准都支持右边的 I/O 管脚，而伪 LVDS、RSDS 和 mini-LVDS I/O 标准都支持顶部，底部和右边的 I/O 管脚。

Cyclone IV 器件在 3.0-V V_{CCIO} 中支持 PCI 和 PCI-X I/O 标准。3.0-V PCI 和 PCI-X I/O 与 3.3-V PCI 系统对于直接接口是完全兼容的，无需任何额外的组件。3.0-V PCI 和 PCI-X 的输出满足 3.3-V PCI 和 PCI-X 输入的 V_{IH} 和 V_{IL} 的需要在足够的噪声容限内。



要了解关于 3.3/3.0/2.5-V LVTTTL & LVCMOS multivolt I/O 支持的详细信息，请参考 *AN 447: Interfacing Cyclone III and Cyclone IV Devices with 3.3/3.0/2.5-V LVTTTL/LVCMOS I/O Systems*。

I/O 标准的匹配方案

这一部分介绍了电压参考和差分 I/O 标准所推荐的匹配方案。

3.3-V LVTTTL、3.0-V LVTTTL 和 LVCMOS、2.5-V LVTTTL 和 LVCMOS、1.8-V LVTTTL 和 LVCMOS、1.5-V LVCMOS、1.2-V LVCMOS、3.0-V PCI 和 PCI-X I/O 标准没有对每个 JEDEC 标准指定一个推荐的匹配方案。

电压参考 I/O 标准匹配

电压参考 I/O 标准需要一个输入参考电压 (V_{REF}) 和一个匹配电压 (V_{TT})。接收器件的参考电压跟踪发送器件的匹配电压，如图 6-5 和图 6-6 所示。

图 6-5. Cyclone IV 器件 HSTL I/O 标准的匹配

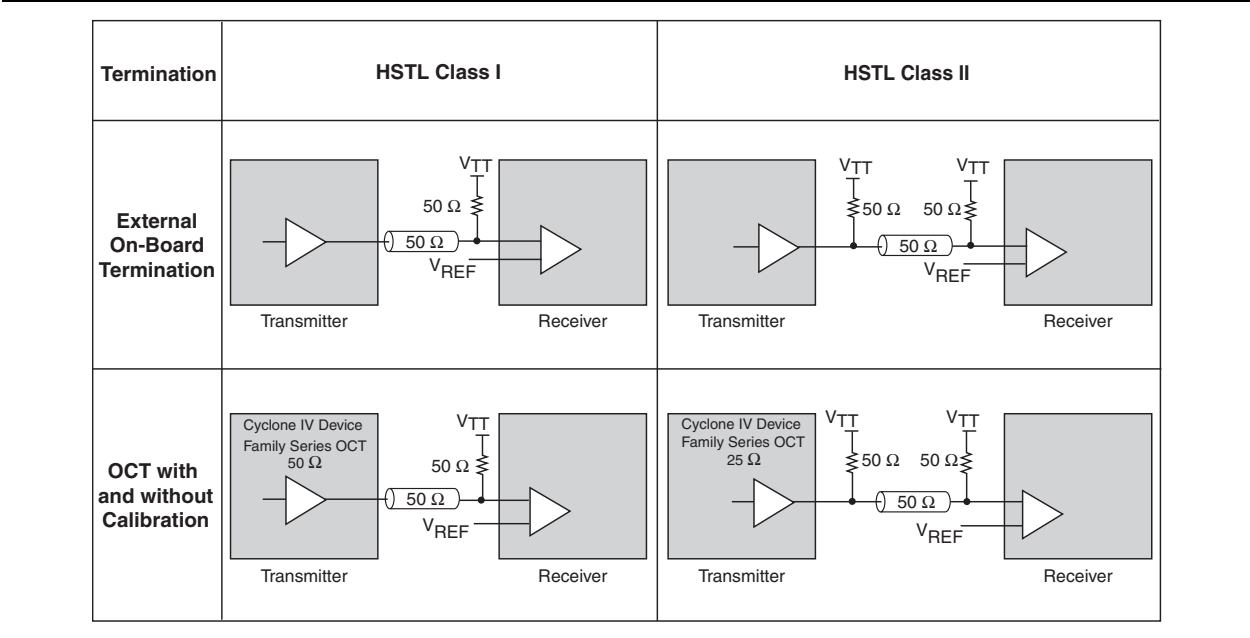
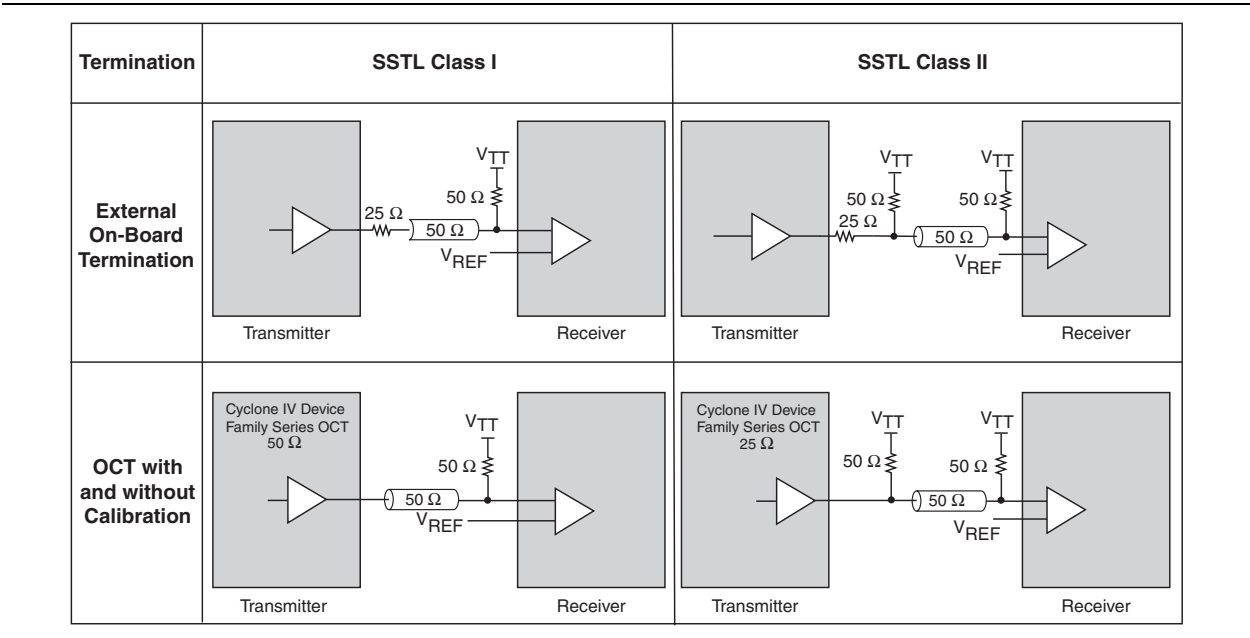


图 6-6. Cyclone IV 器件 SSTL I/O 标准的匹配



差分 I/O 标准匹配

差分 I/O 标准通常在接收器的两个信号之间需要一个匹配电阻器。此匹配电阻器必须与总线的差分负载抗阻相匹配（请参考图 6-7 和图 6-8）。

Cyclone IV 器件支持差分 SSTL-2 和 SSTL-18，差分 HSTL-18、HSTL-15 和 HSTL-12、PPDS、LVDS、RSDS、mini-LVDS 和差分 LVPECL。

图 6-7. Cyclone IV 器件差分 HSTL I/O 标准 Class I 和 Class II 的接口和匹配

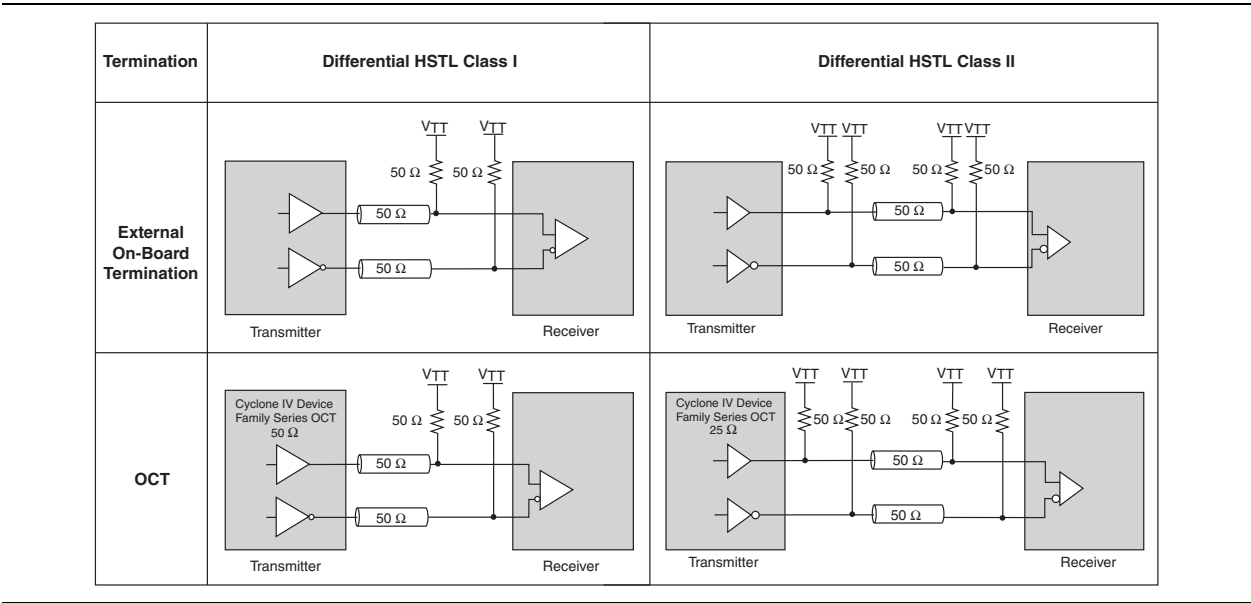


图 6-8. Cyclone IV 器件差分 SSTL I/O 标准 Class I 和 Class II 的接口和匹配 (1)

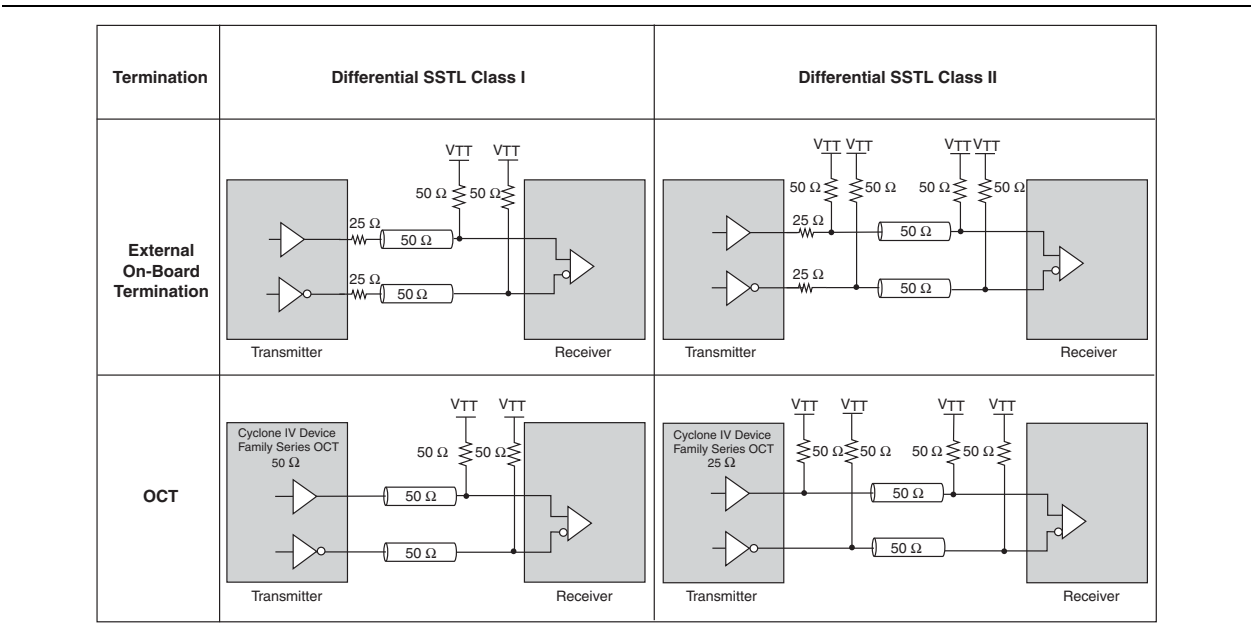


图 6-8 注释:

(1) 只有差分 SSTL-2 I/O 标准支持 Class II 的输出。

I/O 块

Cyclone IV 器件的 I/O 管脚组合成 I/O 块。每个 I/O 块都有一个独立的电源总线。

Cyclone IV E 器件有八个 I/O 块，如图 6-9 所示。每个器件 I/O 管脚与一个 I/O 块相关。支持所有 I/O 块中的单端 I/O 标准，除了 HSTL-12 Class II 仅支持 I/O 块列以外。支持所有 I/O 块中的差分 I/O 标准。唯一的例外是 HSTL-12 Class II，它仅支持 I/O 块列。

Cyclone IV GX 器件有多达 10 个 I/O 块和两个配置块，如第 6-18 页图 6-10 和第 6-19 页图 6-11 所示。Cyclone IV GX 配置 I/O 块包含三个用户 I/O 管脚，它们在没有被用于配置模式时可作为普通用户 I/O 管脚。每个器件 I/O 管脚与一个 I/O 块相关。支持所有的单端 I/O 标准，除了 HSTL-12 Class II 仅支持 I/O 块列以外。支持所有在顶部、底部和右边的 I/O 块中的差分 I/O 标准，唯一的例外是 HSTL-12 Class II，它仅支持 I/O 块列。

Cyclone IV GX 器件的整个左侧包含用于高速串行接口应用的专用高速收发器模块。对 Cyclone IV GX 器件共有 2、4 和 8 的收发器通道，这取决于器件的密度和封装。要了解关于支持的收发器通道的详细信息，请参考第 6-18 页图 6-10 和第 6-19 页图 6-11。

图 6-9 显示了 Cyclone IV E I/O 块的概述。

图 6-9. Cyclone IV E I/O 块 (1)、(2)

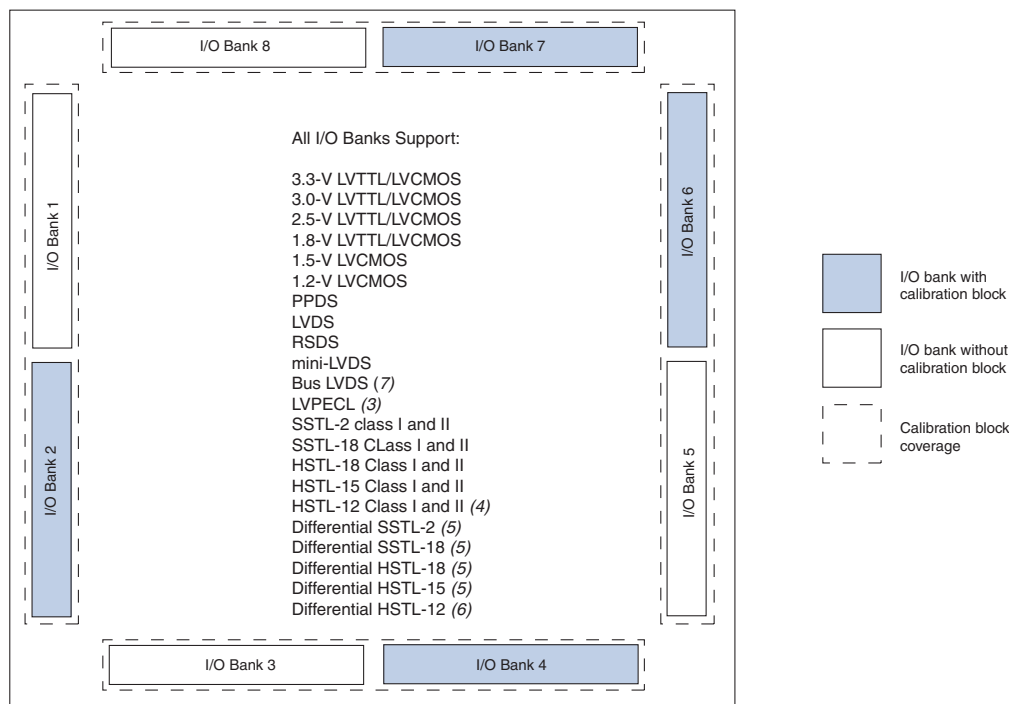


图 6-9 注释:

- (1) 这是硅芯片的顶层视图。这仅仅是一个图形化的表示。对于精确的管脚位置，请参考管脚列表和 Quartus II 软件。
- (2) 仅支持 I/O 块行 1、2、5 和 6 中的真差分（PPDS、LVDS、mini-LVDS 和 RSDS I/O 标准）输出。I/O 块列中的差分输出需要外部电阻器。
- (3) LVPECL I/O 标准仅支持时钟输入管脚。此 I/O 标准不支持输出管脚。
- (4) 支持 I/O 块列 3、4、7 和 8 中的 HSTL-12 Class II。
- (5) 差分 SSTL-18 和 SSTL-2、差分 HSTL-18 和 HSTL-15 I/O 标准，仅支持时钟输入管脚和锁相环 (PLL) 输出时钟管脚。差分 SSTL-18、差分 HSTL-18 和 HSTL-15 I/O 标准不支持 Class II 输出。
- (6) 仅支持时钟输入管脚和锁相环 (PLL) 输出时钟管脚的差分 HSTL-12 I/O 标准。仅支持 I/O 块列 3、4、7 和 8 中的差分 HSTL-12 Class II。
- (7) BLVDS 输出使用两个单端输出，其中第二个输出编程为反转输出。BLVDS 输入使用真 LVDS 输入缓冲器。

图 6-10 和图 6-11 显示了 Cyclone IV GX I/O 块的概述。

图 6-10. Cyclone IV GX I/O 块的 EP4CGX15、EP4CGX22 和 EP4CGX30 (1), (2), (9)

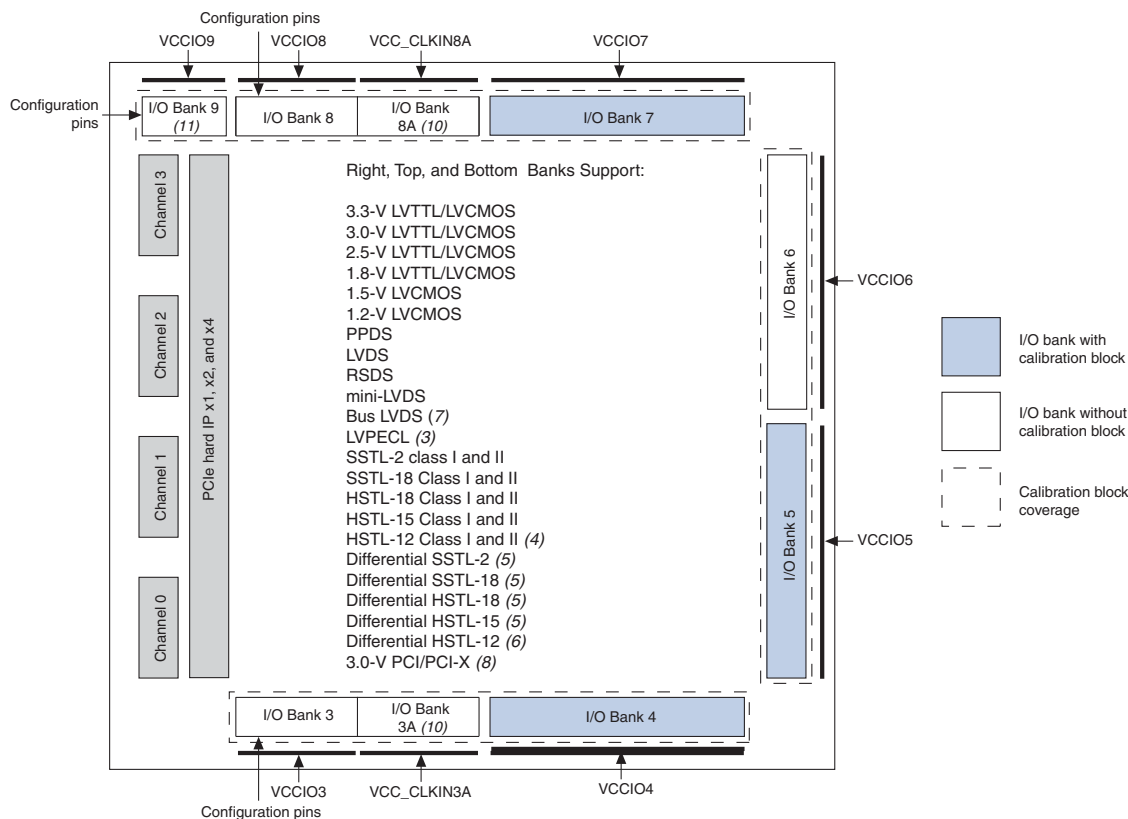


图 6-10 注释:

- (1) 这是硅芯片的顶层视图。对于精确的管脚位置，请参考管脚列表和 Quartus II 软件。通道 2 和 3 不可用于 EP4CGX22 和 P4CGX30 器件的 EP4CGX15 和 F169 封装类型。
- (2) 仅支持 I/O 块行 5 和 6 中的真差分（PPDS、LVDS、mini-LVDS 和 RSDS I/O 标准）输出。I/O 块列中的差分输出需要外部电阻器。
- (3) LVPECL I/O 标准仅支持时钟输入管脚。此 I/O 标准不支持输出管脚。
- (4) 支持 I/O 块列 4、7 和 8 中的 HSTL-12 Class II。
- (5) 差分 SSTL-18 和 SSTL-2、差分 HSTL-18 和 HSTL-15 I/O 标准，仅支持时钟输入管脚和锁相环 (PLL) 输出时钟管脚。锁相环 (PLL) 输出时钟管脚不支持差分 SSTL-18、HSTL-18、HSTL-15 和 HSTL-12 I/O 标准的 Class II 接口类型。
- (6) 仅支持时钟输入管脚和锁相环 (PLL) 输出时钟管脚的差分 HSTL-12 I/O 标准。仅支持 I/O 块列 4、7 和 8 中的差分 HSTL-12 Class II。
- (7) BLVDS 输出使用两个单端输出，其中第二个输出编程为反转输出。BLVDS 输入使用 LVDS 输入缓冲器。
- (8) PCI-X I/O 标准不符合线性区的 IV 曲线的要求。
- (9) OCT 模块位于荫蔽块 4、5 和 7 中。
- (10) 两个专用的时钟输入 I/O 块（I/O 块 3A 和 I/O 块 8A）可用于高速串行接口 (HSSI) 输入参考时钟管脚或时钟输入管脚。
- (11) 在 I/O 块 9 中有复用 I/O 管脚。如果这些复用 I/O 管脚在用户模式中使用 VREF I/O 标准的输入管脚，那么他们在块 8 中共享 VREF 管脚。这些块 9 中的用于用户模式中的复用 I/O 管脚也支持无校准的 R_S OCT，并且他们共享块 8 中的 OCT 模块。

图 6-11. Cyclone IV GX I/O 块的 EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 (1)、(2)、(9)

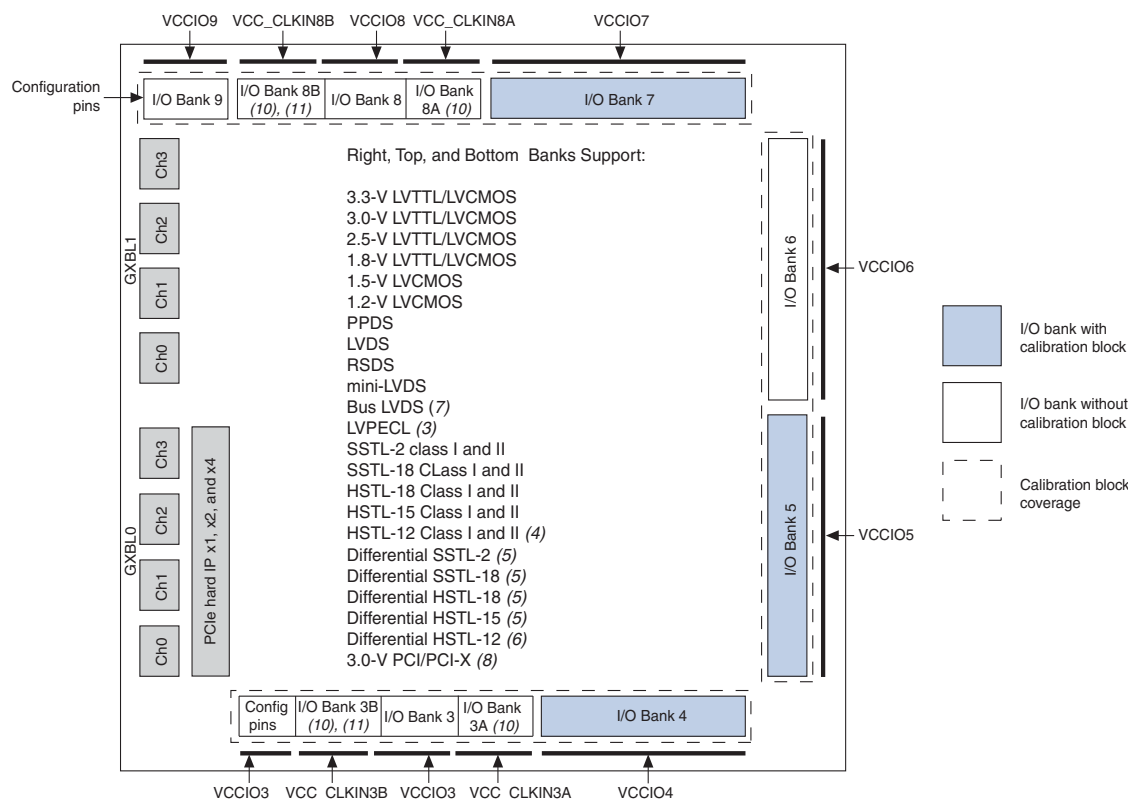




图 6-11 注释:

- (1) 这是硅芯片的顶层视图。对于精确的管脚位置，请参考管脚列表和 Quartus II 软件。
- (2) 仅支持 I/O 块行 5 和 6 中的真差分（PPDS、LVDS、mini-LVDS 和 RSDS I/O 标准）输出。I/O 块列中的差分输出需要外部电阻器。
- (3) LVPECL I/O 标准仅支持时钟输入管脚。此 I/O 标准不支持输出管脚。
- (4) 支持 I/O 块 4、7 和 8 中的 HSTL-12 Class II。
- (5) 差分 SSTL-18 和 SSTL-2、差分 HSTL-18 和 HSTL-15 I/O 标准，仅支持时钟输入管脚和锁相环（PLL）输出时钟管脚中受到支持。锁相环（PLL）输出时钟管脚不支持差分 SSTL-18、HSTL-18、HSTL-15 和 HSTL-12 I/O 标准的 Class II 接口类型。
- (6) 仅支持时钟输入管脚和锁相环（PLL）输出时钟管脚的差分 HSTL-12 I/O 标准。仅支持 I/O 块列 4、7 和 8 中的差分 HSTL-12 Class II。
- (7) BLVDS 输出使用两个单端输出，其中第二个输出编程为反转输出。BLVDS 输入使用 LVDS 输入缓冲器。
- (8) PCI-X I/O 标准不符合线性区的 IV 曲线的要求。
- (9) OCT 模块位于荫蔽块 4、5 和 7 中。
- (10) 专用的时钟输入 I/O 块 3A、3B、8A 和 8B 可用于 HSSI 输入参考时钟管脚或时钟输入管脚。
- (11) 单端时钟输入支持，可用于专用时钟输入的 I/O 块 3B 和 8B。

每个 Cyclone IV I/O 块有一个 VREF 总线，以适应电压参考 I/O 标准。每个 VREF 管脚是其 V_{REF} 组的参考源。如果您使用一个 V_{REF} 组于电压参考 I/O 标准，连接这个组中的 VREF 管脚到相应的电压电平。如果您使用 I/O 块中所有的 V_{REF} 组于电压参考 I/O 标准，您可以在未使用的电压参考组中使用 VREF 管脚作为 I/O 管脚。例如，如果您在 I/O 块 1 中有 SSTL-2 Class I 输入管脚并且它们全部放置在 VREFB1N[0] 组，VREFB1N[0] 组必须要有 1.25 V 的供电，剩余的 VREFB1N[1..3] 管脚（如果有的情况下）被用作 I/O 管脚。如果多个 V_{REF} 组被用在同一个 I/O 块中，那么 VREF 管脚必须全部使用相同的电压电平，这是因为 VREF 管脚被短接在同一个 I/O 块中。

 当 VREF 管脚作为普通的 I/O 使用时，它们有高于普通用户 I/O 管脚的电容。这对时间有影响，如果管脚用作输入和输出。

 要了解关于 VREF 管脚电容的详细信息，请参阅 *Cyclone IV Device Datasheet* 章节中的管脚电容部分。

 有关如何判断 V_{REF} 组的信息，请参考 Cyclone IV Device Pin-Out 文件或 Quartus II Pin Planner 工具。

表 6-4 和表 6-5 总结了在 Cyclone IV 器件系列中每个 I/O 块中的 VREF 管脚数量。

表 6-4. 在 Cyclone IV E 器件中每个 I/O 块中的 VREF 管脚数量

器件	EP4CE6			EP4CE10			EP4CE15					EP4CE22			EP4CE30		EP4CE40			EP4CE55			EP4CE75			EP4CE115	
I/O 块 (1)	144 - EQP F	256 - UBG A	256 - FBG A	144 - EQP F	256 - UBG A	256 - FBG A	144 - EQP F	164 - MBG A	256 - UBG A	256 - FBG A	484 - FBG A	144 - EQP F	256 - UBG A	256 - FBG A	484 - FBG A	780 - FBG A	484 - UBG A	484 - FBG A	780 - FBG A	484 - UBG A	484 - FBG A	780 - FBG A	484 - UBG A	484 - FBG A	780 - FBG A	484 - FBG A	780 - FBG A
1	1	1	1	1	1	1	2	2	2	2	2	1	1	1	4	4	4	4	4	2	2	2	3	3	3	3	3
2	1	1	1	1	1	1	2	2	2	2	2	1	1	1	4	4	4	4	4	2	2	2	3	3	3	3	3
3	1	1	1	1	1	1	2	2	2	2	2	1	1	1	4	4	4	4	4	2	2	2	3	3	3	3	3
4	1	1	1	1	1	1	2	2	2	2	2	1	1	1	4	4	4	4	4	2	2	2	3	3	3	3	3
5	1	1	1	1	1	1	2	2	2	2	2	1	1	1	4	4	4	4	4	2	2	2	3	3	3	3	3
6	1	1	1	1	1	1	2	2	2	2	2	1	1	1	4	4	4	4	4	2	2	2	3	3	3	3	3
7	1	1	1	1	1	1	2	2	2	2	2	1	1	1	4	4	4	4	4	2	2	2	3	3	3	3	3
8	1	1	1	1	1	1	2	2	2	2	2	1	1	1	4	4	4	4	4	2	2	2	3	3	3	3	3

表 6-4 注释:

(1) 用户 I/O 管脚用作输入和输出；时钟输入管脚仅用于输入，时钟输出管脚仅用于输出。

表 6-5. 在 Cyclone IV GX 器件中每个 I/O 块中的 VREF 管脚数量

器件	4CGX15		4CGX22		4CGX30		4CGX50		4CGX75		4CGX110			4CGX150		
I/O 块 (1)	148 — QFN	169 — FBG A	169 — FBG A	324 — FBG A	169 — FBG A	324 — FBG A	484 — FBG A	672 — FBG A	484 — FBG A	672 — FBG A	484 — FBG A	672 — FBG A	896 — FBG A	484 — FBG A	672 — FBG A	896 — FBG A
3	1		1		1		3		3		3					3
4	1		1		1		3		3		3					3
5	1		1		1		3		3		3					3
6	1		1		1		3		3		3					3
7	1		1		1		3		3		3					3
8 (2)	1		1		1		3		3		3					3

表 6-5 注释:


- (1) 用户 I/O 管脚用作输入和输出；时钟输入管脚仅用于输入，时钟输出管脚仅用于输出。
- (2) 块 9 中没有 VREF 管脚。如果在块 9 的用户模式中使用 VREF I/O 标准的输入管脚，那么它与块 8 共享 VREF 管脚。


每个 Cyclone IV I/O 块有其自身的 VCCIO 管脚。每个 I/O 块仅可以支持 1.2、1.5、1.8、3.0 和 3.3 V 当中的一种 V_{CCIO} 设置。任何支持的单端或差分标准数量可以同时支持在一个单一的 I/O 块，只要他们的输入和输出管脚使用相同的 V_{CCIO} 电平。

当设计 LVTTL/LVCMOS 输入与 Cyclone IV 器件时，请参考以下准则：

- 所有管脚接受输入电压 (V_I) 到最高范围 (3.6 V)，正如提供在 *Cyclone IV Device Datasheet* 章节中所说明的推荐操作条件。
- 只要输入电平高于 V_{CCIO} 块时，预期会有更高的泄漏电流。
- LVTTL/LVCMOS I/O 标准输入管脚只能满足 V_{IH} 和 V_{IL} 电平根据块电压电平。

支持 I/O 块中使用任何数量的单端或差分标准的电压参考标准，只要他们使用相同的 V_{REF} 和 V_{CCIO} 值。例如，如果您选择在您的 Cyclone IV 器件中实现 SSTL-2 和 SSTL-18，I/O 管脚使用这些标准 — 由于他们需要不同的 V_{REF} 值 — 必须来自彼此不同的块中。然而，相同的 I/O 块可以支持 SSTL-2 和 2.5-V LVCMOS，与 V_{CCIO} 设置为 2.5 V 和 V_{REF} 设置为 1.25 V 时。

 当使用 Cyclone IV 器件作为在 3.3-、3.0- 或者 2.5-V LVTTL/LVCMOS 系统的一个接收器时，您负责管理上冲或下冲以留在绝对最大额定值和推荐的操作条件，提供在 *Cyclone IV Device Datasheet* 章节。

 PCI 钳位二极管在 Quartus II 软件中为输入信号与在 2.5、3.0 或 3.3 V 的块 V_{CCIO} 默认为使能状态。

高速差分接口

Cyclone IV 器件通过 LVDS 信号可以发送与接收数据。对于 LVDS 发送器和接收器，Cyclone IV 器件的输入与输出管脚通过内部逻辑支持串因子和解串因子。

BLVDS 延伸了 LVDS 的优势来做多点运用，例如双向的背板运用。负载效应和匹配总线两端的多点运用需要 BLVDS 比 LVDS 驱动更高的电流以生成一个可比较的电压摆幅。所有 Cyclone IV 器件的 I/O 块支持用户 I/O 管脚的 BLVDS。

RSDS 和 mini-LVDS 标准是 LVDS 标准的衍生物。RSDS 和 mini-LVDS I/O 校准与 LVDS 的电气特征相类似，但有一个更小的电压摆幅，因此提供了增加功耗上的优势以及减少电磁干涉 (EMI)。

PPDS 标准是 RSDS 标准的下一代，由美国国家半导体公司 (National Semiconductor Corporation) 推出。Cyclone IV 器件符合美国国家半导体公司 PPDS 接口规范和仅支持 PPDS 标准的输出。Cyclone IV 器件的所有 I/O 块仅支持 PPDS 标准的输出管脚。

LVDS 标准不需要一个输入参考电压，但它在输入缓冲器的两个信号之间需要一个 100- Ω 的匹配电阻。在发送端的顶部和底部的 I/O 块上需要一个外部电阻网络。

外部存储器接口

Cyclone IV 器件支持的 I/O 标准要求与广泛的外部存储器接口相连接，例如 DDR SDRAM、DDR2 SDRAM 和 QDR II SRAM。



要了解关于 Cyclone IV 器件外部存储器接口支持的详细信息，请参阅 *External Memory Interfaces in Cyclone IV Devices* 章节。

垫布局和直流指南

您可以使用 Quartus II 软件来验证您的垫布局和管脚布局。

垫布局

Altera 建议您创建一个 Quartus II 设计，输入您的器件 I/O 约束以及编译您的设计以验证您的管脚布局。Quartus II 软件检查有关 I/O 约束和布局规则的管脚连接，以确保正确的器件操作。这些规则取决于设备密度、封装、I/O 约束、电压约束和那些不完全在本章节描述的其他因素。



要了解关于 Quartus II 软件如何检查 I/O 限定的详细信息，请参阅 *Quartus II* 手册第 2 卷中的 *I/O Management* 章节。

直流指南

Quartus II 软件根据 DC 指南自动检查违反置位的垫，在 **Electromigration Current** 任务栏上设置各个输出管脚的 DC 电流接收或源值连接到外部电阻负载。

可编程电流强度设置对 DC 电流量的影响在于输出管脚可以为源管脚或者接收管脚。确定电流强度设置在输出管脚上有足够的外部电阻负载条件。

时钟管脚功能

Cyclone IV 时钟管脚有多种用途，如列表为：

- CLK 管脚 — 输入支持单端和电压参考标准。对于 I/O 标准的支持，请参考第 6-11 页表 6-3。
- DIFFCLK 管脚 — 输入支持差分标准。对于 I/O 标准的支持，请参考第 6-11 页表 6-3。当作为 DIFFCLK 管脚时，直流（DC）或交流（AC）耦合可以使用，这取决于接口的要求和需要的外部匹配。要了解详细信息，请参考““高速 I/O 标准支持”第 6-27 页”（第 27 页）。
- REFCLK 管脚 — 输入支持用于 Cyclone IV GX 器件的收发器的高速差分参考时钟。对于 I/O 支持，耦合和匹配要求，请参考第 6-28 页表 6-10。

高速 I/O 接口

Cyclone IV E I/O 被分成 8 个 I/O 块，如第 6-17 页图 6-9 所示。Cyclone IV GX I/O 被分成 6 个用户 I/O 块，其中左侧的器件作为收发器模块，如第 6-18 页图 6-10 所示。每个块有一个独立的电源供电。真输出在右边的 I/O 块中驱动 LVDS、RSDS、mini-LVDS 和 PPDS。在 Cyclone IV E 的 I/O 块行和 Cyclone IV GX 的右侧的 I/O 块中，真输出驱动的一些差分管脚（p and n pins）不位于相邻的管脚上。在这种情况下，一个电源管脚位于管脚 p 和 n 之间。这些 I/O 标准也支持所有的 I/O 块使用两个单端输出，其中第二个输出编程为反转输出，以及一个外部电阻网络。这些 I/O 标准的真输入缓冲器支持顶部，底部和右边的 I/O 块，除了 I/O 块 9 以外。

表 6-6 和表 6-7 总结了在 Cyclone IV 器件系列中 I/O 块支持的 I/O 标准。

表 6-6. 在 Cyclone IV E I/O 块中支持差分 I/O 标准

差分 I/O 标准	I/O 块位置	发送器的外部电阻网络	发送 (TX)	接收 (RX)
LVDS	1, 2, 5, 6	不需要	✓	✓
	所有	三个电阻		
RSDS	1, 2, 5, 6	不需要	✓	—
	3, 4, 7, 8	三个电阻		
	所有	单个电阻		
mini-LVDS	1, 2, 5, 6	不需要	✓	—
	所有	三个电阻		
PPDS	1, 2, 5, 6	不需要	✓	—
	所有	三个电阻		
BLVDS (1)	所有	单个电阻	✓	✓
LVPECL (2)	所有	—	—	✓
差分 SSTL-2 (3)	所有	—	✓	✓
差分 SSTL-18 (3)	所有	—	✓	✓
差分 HSTL-18 (3)	所有	—	✓	✓
差分 HSTL-15 (3)	所有	—	✓	✓
差分 HSTL-12 (3), (4)	所有	—	✓	✓

表 6-6 注释:

- (1) 发送器和接收器的 f_{MAX} 取决于系统拓扑和性能要求。
- (2) LVPECL I/O 标准仅支持专用时钟输入管脚。
- (3) 差分 SSTL-2、SSTL-18、HSTL-18、HSTL-15 和 HSTL-12 I/O 标准仅支持时钟输入管脚和锁相环 (PLL) 输出时钟管脚，锁相环 (PLL) 输出时钟管脚不支持差分 SSTL-18、HSTL-18、HSTL-15 和 HSTL-12 的 I/O 标准的 Class II 接口类型。
- (4) 差分 HSTL-12 Class II 仅支持 I/O 块列。

表 6-7. 在 Cyclone IV GX I/O 块中支持差分 I/O 标准

差分 I/O 标准	I/O 块标准	发送器的外部电阻网络	发送 (TX)	接收 (RX)
LVDS	5, 6	不需要	✓	✓
	3, 4, 5, 6, 7, 8	三个电阻		
RSDS	5, 6	不需要	✓	—
	3, 4, 7, 8	三个电阻		
	3, 4, 5, 6, 7, 8	单个电阻		
mini-LVDS	5, 6	不需要	✓	—
	3, 4, 5, 6, 7, 8	三个电阻		
PPDS	5, 6	不需要	✓	—
	3, 4, 5, 6, 7, 8	三个电阻		
BLVDS (1)	3, 4, 5, 6, 7, 8	单个电阻	✓	✓
LVPECL (2)	3, 4, 5, 6, 7, 8	—	—	✓
差分 SSTL-2 (3)	3, 4, 5, 6, 7, 8	—	✓	✓
差分 SSTL-18 (3)	3, 4, 5, 6, 7, 8	—	✓	✓
差分 HSTL-18 (3)	3, 4, 5, 6, 7, 8	—	✓	✓
差分 HSTL-15 (3)	3, 4, 5, 6, 7, 8	—	✓	✓
差分 HSTL-12 (3)	4, 5, 6, 7, 8	—	✓	✓

表 6-7 注释:

- (1) 发送器和接收器的 f_{MAX} 取决于系统拓扑和性能要求。
- (2) LVPECL I/O 标准 I/O 标准仅支持专用时钟输入管脚。
- (3) 差分 SSTL-2、SSTL-18、HSTL-18、HSTL-15 和 HSTL-12 I/O 标准仅支持时钟输入管脚和锁相环 (PLL) 输出时钟管脚，锁相环 (PLL) 输出时钟管脚不支持差分 SSTL-18、HSTL-18、HSTL-15 和 HSTL-12 的 I/O 标准的 Class II 接口类型

您可以使用 I/O 管脚和内部逻辑实现 Cyclone IV 器件的高速差分接口。Cyclone IV 器件不包括专用的序列化和反序列化电路。因此，移位寄存器，内部锁相环 (PLL) 和 I/O 单元被用于执行串行并行变换器对数据的传入和并行串行变换器对数据的传出。ATLVDS 宏功能的核心逻辑单元 (LE) 在 Quartus II 软件自动构造差分接口数据串行解串器 (SERDES)。

表 6-8 和表 6-9 总结了在 Cyclone IV 器件系列中所支持的行和列差分通道的总数量。

表 6-8. Cyclone IV E I/O 和差分通道数

器件	EP4CE6			EP4CE10			EP4CE15					EP4CE22			EP4CE30		EP4CE40			EP4CE55			EP4CE75			EP4CE115	
差分通道数 (1), (2)	144 EQP F	256 UBG A	256 FBG A	144 EQP F	256 UBG A	256 FBG A	144 EQP F	164 MBG A	256 UBG A	256 FBG A	484 FBG A	144 EQP F	256 UBG A	256 FBG A	484 FBG A	780 FBG A	484 UBG A	484 FBG A	780 FBG A	484 UBG A	484 FBG A	780 FBG A	484 UBG A	484 FBG A	780 FBG A	484 FBG A	780 FBG A
用户 I/O (3)	91	179	179	91	179	179	81	89	165	165	343	79	153	153	328	532	328	328	532	324	324	374	292	292	426	280	528
用户 I/O 块	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8
LVDS (4), (6)	8	23	23	8	23	23	6	8	21	21	67	7	20	20	60	112	60	60	112	62	62	70	54	54	79	50	103
仿真 LVDS (5), (6)	13	43	43	13	43	43	12	13	32	32	70	10	32	32	64	112	64	64	112	70	70	90	56	56	99	53	127

表 6-8 注释:

- (1) 用户 I/O 管脚用作输入和输出; 时钟输入管脚仅用于输入, 时钟输出管脚仅用于输出。
- (2) 对于差分垫布局指南, 请参阅 “ “ 垫布局 ” 第 6-22 页 ”。
- (3) I/O 管脚数包括所有的 GPIO, 专用时钟管脚, 和双用配置管脚。专用配置管脚不包括在管脚数中。
- (4) 真 LVDS 数包括所有的 LVDS I/O 对, 差分时钟输入和时钟输出管脚在行 I/O 块 1、2、5 和 6。
- (5) 仿真 LVDS 数包括所有的 LVDS I/O 对, 差分时钟输入和时钟输出管脚在列 I/O 块 3、4、7 和 8。
- (6) LVDS 输入和输出缓冲器共享相同的 p 和 n 管脚。一个 LVDS I/O 通道一次只能作为发送器或者接收器。

表 6-9. Cyclone IV GX I/O, 差分 and XCVRs 通道数

器件	4CGX15		4CGX22		4CGX30			4CGX50		4CGX75		4CGX110			4CGX150		
差分通道数 (1), (2)	148 - QFN	169 - FBG A	169 - FBG A	324 - FBG A	169 - FBG A	324 - FBG A	484 - FBG A	484 - FBG A	672 - FBG A	484 - FBG A	672 - FBG A	484 - FBG A	672 - FBG A	896 - FBG A	484 - FBG A	672 - FBG A	896 - FBG A
用户 I/O (3)	72	72	72	150	72	150	290	290	310	290	310	270	393	475	270	393	475
用户 I/O 块	9 (4)	9 (4)	9 (4)	9 (4)	9 (4)	9 (4)	11 (5)	11 (5), (6)	11 (5), (6)	11 (5), (6)	11 (5), (6)	11 (5), (6)	11 (5), (6)	11 (5), (6)	11 (5), (6)	11 (5), (6)	11 (5), (6)
LVDS (7), (9)	9	9	9	16	9	16	45	45	51	45	51	38	52	63	38	52	63
仿真 LVDS (8), (9)	16	16	16	48	16	48	85	85	89	85	89	82	129	157	82	129	157
XCVRs	2	2	2	4	2	4	4	4	8	4	8	4	8	8	4	8	8

Notes to 表 6-9:

- (1) 用户 I/O 管脚用作输入和输出；时钟输入管脚仅用于输入，时钟输出管脚仅用于输出。
- (2) 对于差分垫布局指南，请参阅 “[“ 垫布局 ” 第 6-22 页](#)”。
- (3) I/O 管脚数包括所有的 GPIO，专用时钟管脚，和双用配置管脚。收发器管脚和专用配置管脚不包括在管脚数中。
- (4) HSSI 输入参考时钟包括一个配置 I/O 块和两个专用时钟输入 I/O 块。
- (5) HSSI 输入参考时钟包括一个配置 I/O 块和四个专用时钟输入 I/O 块。
- (6) 单端时钟输入支持专用时钟输入 I/O 块 3B（管脚 CLKIO20 和 CLKIO22）和 8B（管脚 CLKIO17 和 CLKIO19）。
- (7) 真 LVDS 数包括所有的 LVDS I/O 对，差分时钟输入和时钟输出管脚在右边的 I/O 块 5 和 6。
- (8) 仿真 LVDS 数包括所有的 LVDS I/O 对，差分时钟输入和时钟输出管脚在列 I/O 块 3、4、7 和 8。
- (9) LVDS 输入和输出缓冲器共享相同的 p 和 n 管脚。一个 LVDS I/O 通道一次只能作为发送器或者接收器。

高速 I/O 标准支持

本章节提供有关在 Cyclone IV 器件中支持高速 I/O 标准和 HSSI 输入参考时钟的信息。

支持高速串行接口（HSSI）的输入参考时钟

Cyclone IV GX 器件对于 GPIO 支持同一 I/O 功能，此外另有新功能即 3A 和 8B 组成双用时钟输入管脚 (CLKIN)，可用于通用时钟输入功能以及支持高速收发器输入参考时钟 (REFCLK) 的特性。I/O 块的 3B 和 8B 组成专用 CLKIN 仅专用于收发器输入 REFCLK。

EP4CGX15、EP4CGX22 和 EP4CGX30 器件包括两对位于 I/O 块 3A 和 8A 的 CLKIN/REFCLK 管脚对。I/O 块 3B 和 8B 在 EP4CGX15、EP4CGX22 和 EP4CGX30 器件中不可用。

EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件总共有四对位于 I/O 块 3A、3B、8A 和 8B 的 CLKIN/REFCLK 管脚对。I/O 块 3B 和 8B 也可以支持单端时钟输入。要了解关于 CLKIN/REFCLK 管脚位置的详细信息，请参考 [第 6-18 页图 6-10](#) 和 [第 6-19 页图 6-11](#)。


CLKIN/REFCLK 管脚由专用 $V_{CC_CLKIN3A}$ 、 $V_{CC_CLKIN3B}$ 、 $V_{CC_CLKIN8A}$ 和 $V_{CC_CLKIN8B}$ 供电，并且分别在各自的 I/O 块供电以避免 GPIO 在同一个 I/O 块中不同功率水平的要求。

表 6-10. Cyclone IV GX HSSI REFCLK I/O 标准支持使用 GPIO CLKIN 管脚 (1)， (2)

I/O 标准	HSSI 协议	耦合	匹配	VCC_CLKIN 水平		I/O 管脚类型		
				输入	输出	列 I/O	行 I/O	支持 I/O 块
LVDS	所有	差分 AC (需要芯片外电阻以恢复 V_{CM})	芯片外	2.5V	不支持	Yes	No	3A, 3B, 8A, 8B
LVPECL	所有		芯片外	2.5V	不支持	Yes	No	3A, 3B, 8A, 8B
1.2V, 1.5V, 3.3V PCML	所有		芯片外	2.5V	不支持	Yes	No	3A, 3B, 8A, 8B
	所有		芯片外	2.5V	不支持	Yes	No	3A, 3B, 8A, 8B
	所有		芯片外	2.5V	不支持	Yes	No	3A, 3B, 8A, 8B
HCSL	PCIe	差分 DC	芯片外	2.5V	不支持	Yes	No	3A, 3B, 8A, 8B

表 6-10 注释:


- (1) EP4CGX15、EP4CGX22 和 EP4CGX30 器件在 I/O 块 3A 和 8A 有两对为 HSSI 输入参考时钟的专用时钟输入管脚。I/O 块 3B 和 8B 在 EP4CGX15、EP4CGX22 和 EP4CGX30 器件中不可用。
- (2) EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件在 I/O 块 3A、3B、8A 和 8B 有四对为 HSSI 输入和单端时钟输入的专用时钟输入管脚。

 要了解关于 HSSI 参考时钟的交流耦合匹配方案的详细信息，请参阅 *Cyclone IV Transceivers Architecture* 章节。

支持在 Cyclone IV 器件的 LVDS I/O 标准

LVDS I/O 标准是一种高速，低电压摆幅，低功耗和 GPIO 接口标准。Cyclone IV 器件符合 ANSI/TIA/EIA-644 标准，但有以下例外：

- 最大差分输出电压 (V_{OD}) 提高到 600 mV。ANSI 规范的最大 V_{OD} 为 450 mV。
- 基于不同的频率范围，输入电压范围减少到 1.0 V 至 1.6 V、0.5 V 至 1.85 V，或 0 V 至 1.8 V 的范围。ANSI/TIA/EIA-644 规范支持的输入电压范围为 0 V 至 2.4 V。

 对于 LVDS I/O 标准在 Cyclone IV 器件的电气规范，请参阅 *Cyclone IV Device Datasheet* 章节。

与 LVDS 的设计

Cyclone IV I/O 块支持 LVDS I/O 标准。Cyclone IV GX 右边的 I/O 块支持真 LVDS 发送器，然而 Cyclone IV E 左右两边的 I/O 块支持真 LVDS 发送器。在 I/O 块的顶部和底部，仿真 LVDS 发送器支持使用两个单端输出缓冲器和外部电阻。其中一个单端输出缓冲器被编程到相反极性。LVDS 接收器在输入缓冲器的两个信号之间需要一个 $100\text{-}\Omega$ 的外部匹配电阻。

图 6-12 显示一个点对点的 LVDS 接口使用 Cyclone IV 器件真 LVDS 输出和输入缓冲器。

图 6-12. Cyclone IV 器件 LVDS 接口在右边的 I/O 块的真输出缓冲器

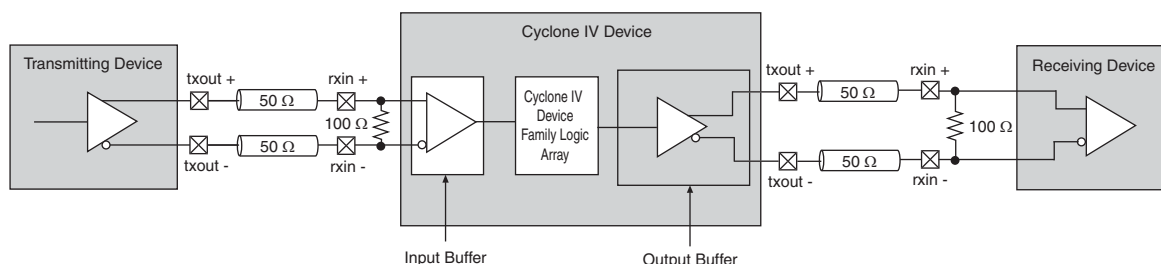


图 6-13 显示一个点对点的 LVDS 接口与 Cyclone IV 器件 LVDS 使用两个单端输出缓冲器和外部电阻。

图 6-13. 在 I/O 块的顶部和底部 LVDS 接口与外部电阻网络 (1)

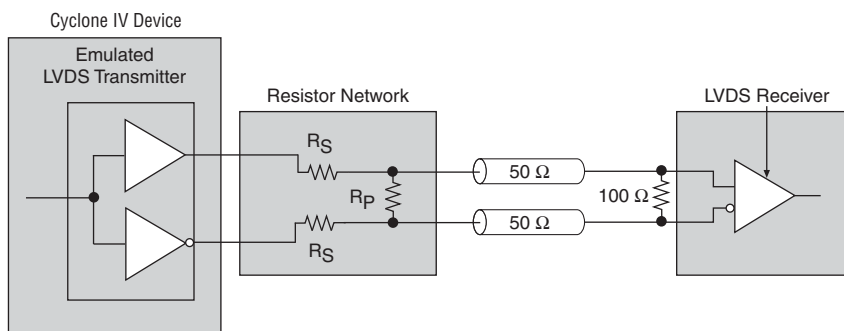


图 6-13 注释:

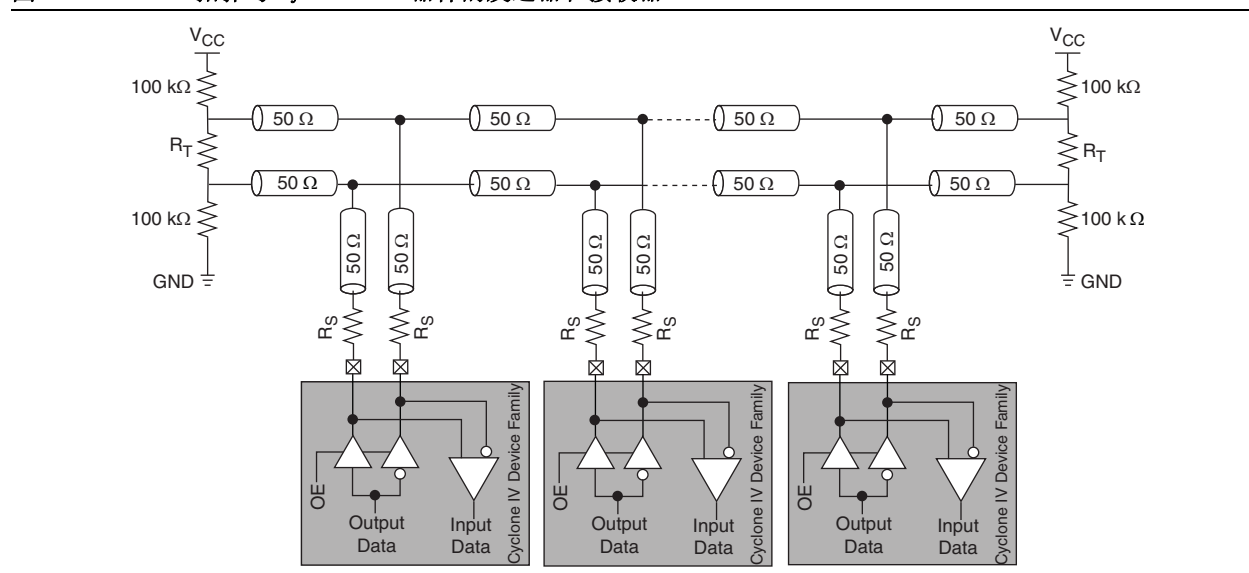
(1) $R_S = 120\text{-}\Omega$. $R_P = 170\text{-}\Omega$.

支持 Cyclone IV 器件的 BLVDS I/O 标准

BLVDS I/O 标准是一项高速差分数据传输技术，它延伸了标准点对点 LVDS 至支持双向半双工通信的多点配置的优势。BLVDS 不同于标准 LVDS，它提供了更高的驱动以实现接收器中的类似信号摆幅，同时总线两端的终端加载两个匹配。

图 6-14 显示了一个典型的 BLVDS 拓扑与多个发送器和接收器对。

图 6-14. BLVDS 拓扑与 Cyclone IV 器件的发送器和接收器



BLVDS I/O 标准支持 Cyclone IV 器件顶部，底部和右侧的 I/O 块。BLVDS 发送器使用其中第二个输出缓冲器编程为反转的两个单端输出缓冲器，而 BLVDS 接收器使用一个真 LVDS 输入缓冲器。发送器和接收器共享相同的管脚。一个输出使能 (OE) 信号是用来让输出缓冲呈现三态，在 LVDS 输入缓冲器接收一个信号时。

更多的信息，请参阅 *Cyclone IV Device Datasheet* 章节。

与 BLVDS 的设计

BLVDS 双向通信要求 BLVDS 的总线的两个终端要匹配。匹配电阻 (R_T) 必须符合总线差分阻抗，而这取决于总线上的加载。增加加载，降低总线差分阻抗。当总线的两个终端匹配，在输入缓冲器的两个信号之间的匹配是不需要的。输出缓冲器需要一个单一的串联电阻 (R_S) 用于输出设备缓冲阻抗与传输线阻抗相匹配。然而，这个串联电阻影响输入缓冲器的电压摆幅。最大数据速率的实现取决于许多因素。

Altera 建议您使用 IBIS 模型执行仿真，同时考虑因素，如总线加载，匹配值以及输出和输入缓冲器在总线上的位置以确保达到所需的性能。

要了解关于 BLVDS 接口对 Altera 器件支持的详细信息，请参阅 *AN 522: Implementing Bus LVDS Interface in Supported Altera Device Families*。

支持 Cyclone IV 器件的 RSDS、Mini-LVDS, 和 PPDS I/O 标准

RSDS、mini-LVDS, 和 PPDS I/O 标准用于显示面板上的时间控制器和列驱动器之间的芯片到芯片的应用程序, 如液晶显示器 (LCD) 和液晶电视。Cyclone IV 器件符合国家半导体公司的 RSDS 接口规范, 德州仪器 (Texas Instruments) mini-LVDS 接口规范以及国家半导体公司的 PPDS 接口规范, 分别支持 RSDS、mini-LVDS 和 PPDS 输出标准。

关于 Cyclone IV 器件 RSDS、mini-LVDS 和 PPDS 输出电气规范, 请参阅 *Cyclone IV Device Datasheet* 章节。

要了解关于 RSDS I/O 标准的详细信息, 请参阅国家半导体公司网页 (www.national.com) 中的 RSDS 规范部分。

与 RSDS、Mini-LVDS 和 PPDS 的设计

Cyclone IV I/O 块支持 RSDS、mini-LVDS 和 PPDS 输出标准。右侧的 I/O 块支持真 RSDS、mini-LVDS 和 PPDS 发送器。在顶部和底部的 I/O 块、RSDS、mini-LVDS 和 PPDS 发送器支持使用外部电阻的两个单端输出缓冲器。这两个单端输出缓冲器编程为极性相反。

图 6-15 显示了一个 RSDS、mini-LVDS 或者 PPDS 与一个真输出缓冲器的接口。

图 6-15. Cyclone IV 器件 RSDS、Mini-LVDS 或者 PPDS 接口与右侧 I/O 块的真输出缓冲器。

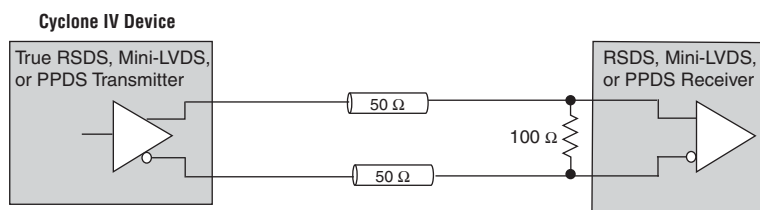


图 6-16 显示了一个 RSDS、mini-LVDS 或者 PPDS 与两个单端输出缓冲器和外部电阻的接口。

图 6-16. RSDS、Mini-LVDS 或者 PPDS 接口与顶部和底部的 I/O 块上的外部电阻网络。(1)

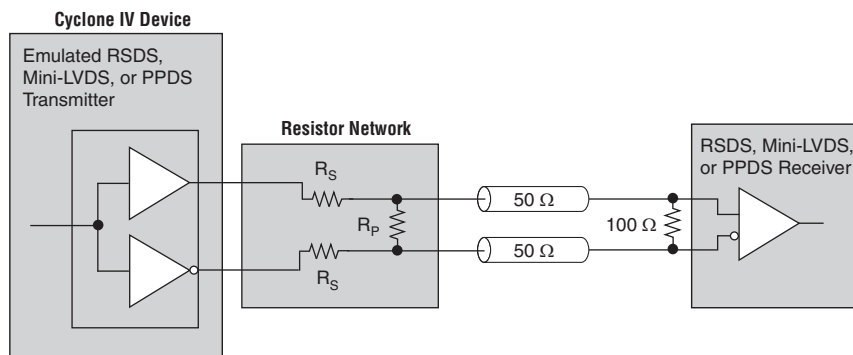


图 6-16. RSDS、Mini-LVDS 或者 PPDS 接口与顶部和底部的 I/O 块上的外部电阻网络。(1)

图 6-16 注释:

(1) R_S 和 R_P 值都有待表征。

当使用仿真发送器时，需要一个电阻网络衰减输出电压摆幅以符合 RSDS、mini-LVDS 和 PPDS 的规范。您可以修改电阻网络值以降低功耗或者改善噪声容限。

所选的电阻值必须满足公式 1。

公式 1. 电阻网络

$$\frac{R_S \times \frac{R_P}{2}}{R_S + \frac{R_P}{2}} = 50 \, \Omega$$



Altera 建议您使用 Cyclone IV 器件 IBIS 模型执行仿真，以验证自定义电阻值满足 RSDS、mini-LVDS 或者 PPDS 的要求。

它可以使用一个单一的外部电阻器，而不是在电阻网络的一个 RSDS 接口使用三个电阻器，如图 6-17 所示。外部单电阻器的解决方案降低外部电阻的数量，同时还实现了 RSDS 所需信号水平。然而，单电阻器的解决方案的性能低于三个电阻网络的性能。

图 6-17 显示了 RSDS 接口与一个在顶部和底部的 I/O 块的单电阻网络。

图 6-17. RSDS 接口与在顶部和底部 I/O 块的单电阻网络 (1)

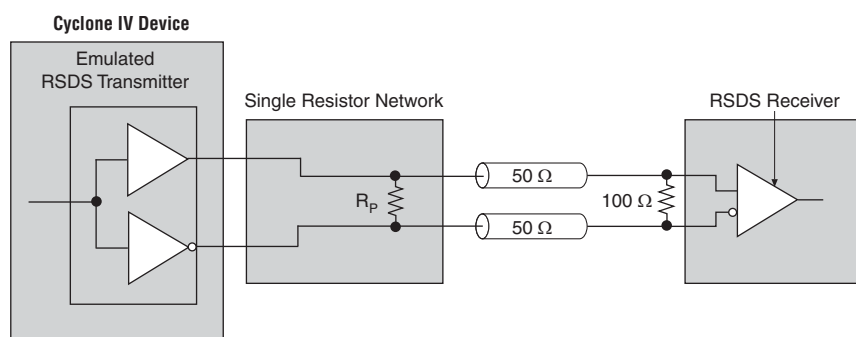


图 6-17 注释:

(1) R_P 值有待表征。

支持 Cyclone IV 器件的 LVPECL I/O

LVPECL I/O 标准是一个差分接口标准，需要一个 2.5-V 的 V_{CCIO} 。这一标准的使用涉及视频图形，电信，数据通信以及时钟分配的应用。Cyclone IV 器件仅支持 LVPECL 输入标准在专用时钟输入管脚。LVPECL 接收器在输入缓冲器的两个信号之间需要一个外部的 100- Ω 匹配电阻。

有关 LVPECL I/O 标准的电气规范，请参阅 *Cyclone IV Device Datasheet* 章节。

当输出缓冲器的 LVPECL 共模电压高于 Cyclone IV 器件的 LVPECL 输入共模电压时，交流（AC）耦合是需要的。

图 6-18 显示了交流耦合（AC-coupled）匹配方案。50- Ω 电阻用在接收器为外部的设备。如果 LVPECL 输出共模电压在 Cyclone IV 器件 LVPECL 输入缓冲器规范中，那么它支持 LVPECL 直流耦合（DC-coupled）（请参考图 6-19）。

图 6-18. LVPECL 交流耦合全匹配 (1)

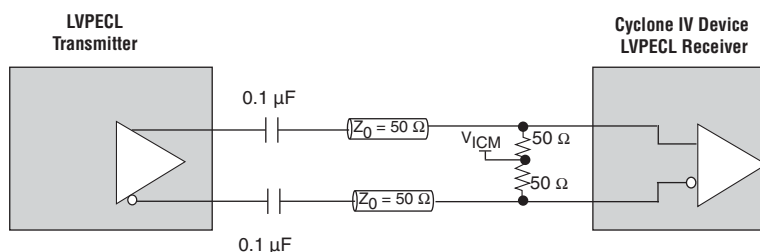


图 6-18 注释：

(1) LVPECL 的交流耦合匹配仅适用于 Altera FPGA 发射器的使用。

图 6-19 显示 LVPECL 直流耦合匹配。

图 6-19. LVPECL 直流耦合匹配 (1)

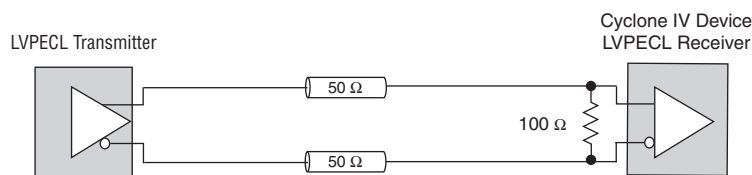


图 6-19 注释：

(1) LVPECL 的直流耦合匹配仅适用于 Altera FPGA 发射器时的使用。

支持 Cyclone IV 器件的差分 SSTL I/O 标准

差分 SSTL I/O 标准是一个内存总线标准用于如高速 DDR SDRAM 接口的应用。

Cyclone IV 器件支持差分 SSTL-2 和 SSTL-18 I/O 标准。差分 SSTL 输出标准只支持 PLL#_CLKOUT 管脚，使用两个单端 SSTL 输出缓冲器 (PLL#_CLKOUT_p 和 PLL#_CLKOUT_n)，其中第二个输出管脚编程为极性相反的管脚。GCLK 管脚只支持差分 SSTL 输入标准，把差分输入当作两个单端 SSTL，并且仅对其中之一进行解码。

差分 SSTL I/O 标准需要两个差分输入，一个外部参考电压 (VREF)，以及一个匹配电阻连接的电压为 $0.5 \times V_{CCIO}$ 的外部匹配电压 (VTT)。



有关差分 SSTL 的电气规范，请参阅““差分 I/O 标准匹配”第 6-15 页”和 *Cyclone IV Device Datasheet* 章节。



第 6-15 页图 6-8 显示了差分 SSTL Class I 和 Class II 接口。

支持 Cyclone IV 器件的差分 HSTL I/O 标准

差分 HSTL I/O 标准用于设计以操作在 0 V 至 1.2 V、0 V 至 1.5 V 或者 0 V 至 1.8 V HSTL 逻辑开关范围的应用。Cyclone IV 器件支持差分 HSTL-18、HSTL-15 和 HSTL-12 I/O 标准。差分 HSTL 输入标准仅在 GCLK 管脚可用，把差分输入当作两个单端 HSTL 并且仅对其中之一进行解码。差分 HSTL 输出标准只支持 PLL#_CLKOUT 管脚，使用两个单端 HSTL 输出缓冲器 (PLL#_CLKOUT_p 和 PLL#_CLKOUT_n)，其中第二个输出管脚编程为极性相反的管脚。

差分 HSTL I/O 标准需要两个差分输入，一个外部参考电压 (VREF)，以及一个匹配电阻连接的电压为 $0.5 \times V_{CCIO}$ 的外部匹配电压 (VTT)。



有关差分 HSTL 信号特征，请参阅““差分 I/O 标准匹配”第 6-15 页”和 *Cyclone IV Device Datasheet* 章节。



第 6-15 页图 6-7 显示了差分 HSTL Class I 和 Class II 接口。

真差分输出缓冲器功能

Cyclone IV 器件真差分发送器提供可编程预加重 — 您可以选择打开或关闭它，默认设置为打开状态。

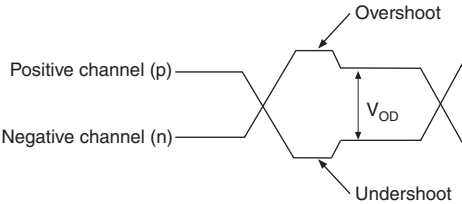
可编程预加重

可编程预加重提升高频率的输出信号，以补偿传输电路的依赖频率的衰减，从而最大限度地张开远端接收器的数据眼图。如果没有预加重，输出电流被 V_{OD} 规范和发送器的输出阻抗所限制。在高频率时，摆率可能不够快以在下一边缘中实现充分的 V_{OD} ；这可能会导致模板相关抖动。如果有预加重，在开关以提高输出摆率期间，输出电流瞬间提升。这个额外的开关电流所产生的过冲与从信号反射所造成的过冲不同。这一过冲只发生在开关过程中，而不会产生振铃。

Quartus II 软件允许两种可编程预加重控制的设置 — **0** 和 **1**，其中 **0** 为预加重关闭（off）状态，而 **1** 为预加重开户（on）状态。默认设置为 **1**。预加重所需的数量取决于沿传输线的高频分量的放大率。您必须调整设置以满足您的设计，因为预加重减少输出信号的低频分量的振幅。

图 6-20 显示预加重的差分输出信号。

图 6-20. 预加重的输出信号



高速 I/O 时序

本节讨论了时序规划，波形和 Cyclone IV 器件的源同步信号的规范。源同步信号的时序是基于数据和时钟信号的偏移。

高速差分数据传输需要 IC 供应商所提供的时序参数以及要求您考虑板倾斜，电缆偏斜和时钟抖动。本节提供了关于高速 I/O 标准在 Cyclone IV 器件的时序参数信息。

表 6-11 定义了时序图的参数，如图 6-21 所示。

表 6-11. 高速 I/O 时序定义

参数	符号	说明
发射器通道到通道偏移 (1)	TCCS	最快的和最慢的输出边缘之间的时序差异，包括 t _{CO} 的变化和时钟偏移。该时钟包含在 TCCS 测量。
采样窗口	SW	在时序期间，数据必须是有效的以便您捕捉正确的时间。建立和保持时间决定采样窗口中的理想闸门位置。T _{SW} = T _{SU} + T _{hd} + PLL 抖动。
时间单位间隔	TUI	TUI 是数据位时序规划所允许的倾斜，传播延迟和数据采样窗口。
接收器输入偏移余量	RSKM	RSKM 的定义是指占采样窗口和 TCCS 后留下的总数。RSKM 的方程为： $RSKM = \frac{(TUI - SW - TCCS)}{2}$
输入抖动容限（峰 - 峰）	—	允许对输入时钟到锁相环（PLL）的输入抖动。同时容限保持锁相环锁定。
输出抖动（峰 - 峰）	—	从 PLL 的峰间输出抖动。

表 6-11 注释:

(1) TCCS 规范适用于整个差分 I/O 块，只要 SERDES 逻辑放置在与输出管脚相邻的逻辑阵列块（LAB）上。

图 6-21. 高速 I/O 时序图

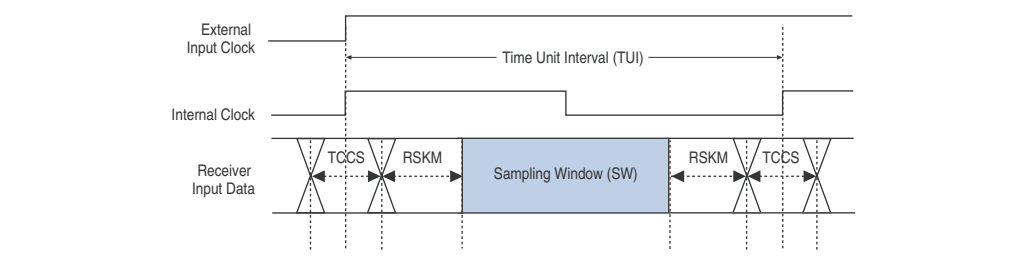


图 6-22 显示了 Cyclone IV 器件的高速 I/O 时序规划。

图 6-22. Cyclone IV 器件高速 I/O 时序规划 (1)

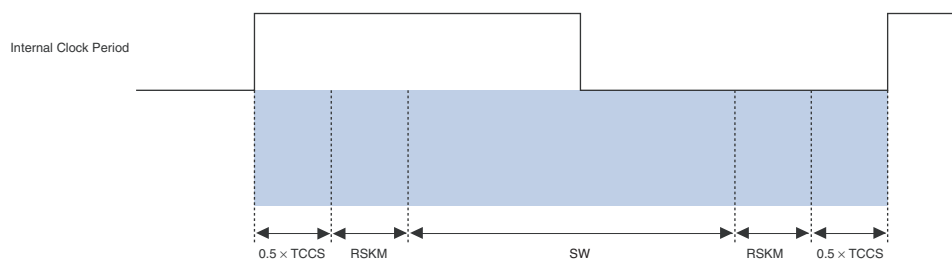


图 6-22 注释:

(1) 高速 I/O 时序规划方程式是:

$$\text{Period} = 0.5 \times \text{TCCS} + \text{RSKM} + \text{SW} + \text{RSKM} + 0.5 \times \text{TCCS}$$

要了解更多信息，请参阅 *Cyclone IV Device Datasheet* 章节。

设计指南

本节为 Cyclone IV 器件的设计提供指引。

差分垫布局指南

为了维持 V_{CCIO} 供电至可接受噪音水平，您必须在有关差分垫的单端 I/O 管脚布局上遵守一些限制。



对于在 Cyclone IV 器件关于差分垫的单端垫布局的指引，请参阅 “ “ 垫布局和直流指南 ” 第 6-22 页 ”。

电路板设计考量

本节说明了如何从一个 Cyclone IV I/O 接口实现最佳性能，并确保首次成功实现功能设计与最佳信号质量。您必须考虑受控阻抗的走线和连接器，差分路由和匹配方法的关键问题以便从 Cyclone IV 器件获得最佳性能。

使用以下的一般指导，以提高信号质量：

- 基于控制差分阻抗的电路板设计。计算和比较所有的参数，如走线宽度，走线厚度和两个差分走线之间的距离。
- 尽可能在差分 I/O 标准对的走线之间保持相同的距离。路由走线接近彼此以最大化共模抑制比 (CMRR)。
- 较长的走线有更多的电感和电容。这些走线必须尽可能短以限制信号完整性的问题。
- 匹配电阻放置在尽可能接近接收器输入管脚的地方。
- 使用表面贴装元件。
- 避免在电路板上使用 90° 角的走线。
- 使用高性能的连接器。
- 设计背板和卡的走线，以便走线的阻抗匹配连接器和匹配中的阻抗。
- 全部信号的走线，尽量保持通孔的数量相等。
- 创造相等的走线长度，以避免信号之间的偏移。不相等的走线长度导致错位的交叉点以及由于 TCCS 值的增加而减少系统可容忍值。
- 限制通孔以防止它们造成不连续性。
- 保持开关晶体管到晶体管逻辑 (TTL) 信号远离差分信号，以避免可能出现的噪音耦合。
- 不可路由 TTL 时钟信号到差分信号的下方或者上方的区域。
- 分析系统级信号。



有关 PCB 布局准则，请参阅 *AN 224: High-Speed Board Layout Guidelines* 和 *AN 315: Guidelines for Designing High-Speed FPGA PCBs*。

软件概述

Cyclone IV 器件高速 I/O 系统接口由 Quartus II 软件的宏功能创建在核心逻辑，这是因为它们没有专用的 SERDES 电路。Cyclone IV 器件使用 I/O 寄存器和 LE 寄存器以改进时序性能和支持 SERDES。Quartus II 软件允许您使用 ALTLVDS 宏功能设计您的高速接口。这个宏功能实现了一个高速解串接收器或者一个高速串化发送器。ALTLVDS 宏功能的参数列表，您可以根据您的设计需要自定义设置您的 SERDES。宏功能的优化，实现了使用 Cyclone IV 器件资源以最有效的方式创建高速 I/O 接口。

 当您使用 ALTLVDS 宏功能的 Cyclone IV 器件时，接口总是先发送并行数据的 MSB。

 有关使用 ALTLVDS 宏功能设计您的高速 I/O 系统接口的更多细节，请参阅 *ALTLVDS Megafunction User Guide* 和 *Quartus II Handbook*。

文档修订历史

表 6-12 列出了本章节的修订历史。

表 6-12. 文档修订历史

日期	版本	修订内容
2011 年 11 月	2.3	<ul style="list-style-type: none">■ 更新了“支持Cyclone IV 器件的差分SSTL I/O标准”和“支持Cyclone IV 器件的差分 HSTL I/O 标准”章节。■ 更新了表 6-1、表 6-8 和表 6-9。■ 更新了图 6-1。
2010 年 12 月	2.2	<ul style="list-style-type: none">■ 针对 Quartus II 软件版本 10.1 的发布进行的更新。■ 添加了 Cyclone IV E 新器件封装信息。■ 添加了“时钟管脚函数”章节。■ 更新了表 6-4 和表 6-8。■ 少许的文本编辑。
2010 年 7 月	2.1	<ul style="list-style-type: none">■ 更新了“Cyclone IV I/O单元”，“可编程上拉电阻”，“I/O块”，“高速 I/O 接口”和“与 BLVDS 的设计”章节。■ 更新了表 6-6 和表 6-7。■ 更新了图 6-19。
2010 年 2 月	2.0	<ul style="list-style-type: none">■ 针对 Quartus II 软件版本 SP1 的发布，添加了 Cyclone IV E 器件信息。■ 更新了表 6-2, 表 6-3 和表 6-10。■ 更新了“I/O 块”章节。■ 添加了图 6-9。■ 更新了图 6-10 和图 6-11。■ 添加了表 6-4, 表 6-6 和表 6-8。
2009 年 11 月	1.0	首次发布。