

Carné: _____ Nombre: _____ Nota: _____

INSTRUCCIONES GENERALES.

- Esta evaluación es individual y tiene una duración máxima de 2 horas.
- Responda de forma clara y ordenada.
- No se aceptarán reclamos en respuestas hechas en lápiz o lapicero borrable.
- Puede usar material impreso o escrito.
- No se permite el uso del celular o cualquier aparato digital para el desarrollo de este examen a excepción de la calculadora.
- Este examen es de 28.5 puntos.

Desarrollo. 28.5 puntos.

A continuación se le presentan una serie de preguntas que debe contestar de forma clara y concisa. Debe mostrar todo su procedimiento para obtener el puntaje en cada punto.

1. **(45 minutos)** Dado el siguiente programa en ensamblador para RV32I (Sugerencia: no copie todo el código):

```
1  .start :
2      ADDI t4 ,x0,#0xffff800
3      LW   t1 ,0(t4)
4      LI   t3,#0x12345      // Load Immediate
5      BNE  t3,$zero,ciclo
6      J    salida
7  ciclo :
8      BEQ  t3,$zero,salida
9      ADDI t4,t4,0x004
10     LW   t5,0(t4)
11     ADD  t6,t1,t5
12     ADD  t5,t1,t6
13     SW   t5,0(t4)
14     SRLI t3,t3,2          // Shift right logical Immediate
15     J    ciclo
16 salida :
17     LI   t4,#0x11         // Load Immediate
18     SW   t5,0(t4)
19     .end
```

Explique lo siguiente:

- 1.1. **Identifique y clasifique las dependencias presentes en este programa (3 pts).** Solo identifique dependencias que se encuentren dentro del rango de cinco líneas después de la actual. Use el siguiente formato para su respuesta:
Dep., Subtipo Dep. (opcional), REG(opcional), línea 1, línea 2 (opcional)

- 1.2. **En un contexto de ejecución en orden, identifique y clasifique los riesgos (3 pts).** Use el siguiente formato para su respuesta:
Riesgo, Subtipo riesgo (opcional), REG(opcional), línea 1, línea 2 (opcional)
- 1.3. **De forma estática con STALLS resuelva los riesgos en un pipeline balanceado de 5 etapas (3 pts).** La lectura y escritura se da en el flanco de subida. **Considere los efectos de latencia para asegurar una escritura y lectura exitosa. NO** hay unidad de adelantamiento y predicción de saltos. Indique entre cual y cual línea se hace la mejora. Sea eficiente y eficaz con su propuesta, se penalizarán ciclos de más que reduzcan el rendimiento.
- 1.4. **Calcule el WCET después de la mejora anterior (asuma un pipeline vacío al inicio) (1.5 pts).**
- 1.5. **Calcule el WCET si se aplica una política de salto tomado en el bloque básico ciclo. Indique el porcentaje de mejora con respecto al WCET de 1.4 (es un porcentaje, no calcule Amdahl). (1.5 pts).**
2. **(30 minutos)** Se desea mejorar la micro-arquitectura de un procesador DSP **muy viejo**. Las instrucciones de enteros y control de flujo están en el mismo hardware y usan los mismos aceleradores, por esa razón las mejoras son iguales **X** veces en ambos casos. Cuenta con un acelerador para procesamiento gráfico. Después de realizar un análisis del tipo de instrucciones y su frecuencia mediante un *benchmark* determinado se obtuvieron los siguientes datos:
- Las instrucciones de enteros son 25 % no paralelizables y son **X** veces más rápidas. Se ejecutan un 15 % del tiempo.
 - Las instrucciones de control de flujo son 15 % paralelizables y tiene una mejora de **X** veces. Se ejecutan un 15 % del tiempo.
 - Las instrucciones de acceso a memoria se ejecutan un 20 % del tiempo, son no paralelizables y no pueden mejorarse.
 - Las instrucciones de procesamiento gráfico son 90 % paralelizables y tiene una mejora de 100 veces. Se ejecuta un 50 % del tiempo.

Ninguna de las instrucciones se ejecutan simultáneamente (a pesar de que pueden), es decir, solo se ejecuta una a la vez.

- 2.1. **¿Cuántas veces deben mejorar las instrucciones de control de flujo para obtener un Speedup total del sistema de 5.25 (100 % del tiempo)? (6 pts).**
- 2.2. Se le contrata a usted como ingenier@ en computadores para analizar el sistema con estos datos presentados. Con base en esto conteste lo siguiente:
- **El sistema al ser muy viejo no es óptimo a nivel de consumo de potencia, sin embargo, a nivel de memoria es óptimo. Proponga usted alguna mejora al sistema, sabiendo que no puede proponer una ejecución simultánea de instrucciones y no puede cambiar el código de software (1.5 pts).**

3. **(30 minutos)** Dada la siguiente aplicación en un procesador basada en **RV64I**, tiene 64 registros que permite operaciones entre registros e inmediatos, el ISA tiene 4 tipos de instrucciones organizados de la siguiente manera:

- Tipo A: Instrucciones que emplean un registro de source, un registro de *destination* y un valor inmediato.
- Tipo B: Instrucciones que emplean 2 registros de source, un registro de *destination*.
- Tipo C: Instrucciones que emplean un valor inmediato de *source* y un registro de *destination*.
- Tipo D: Instrucciones que emplean un registro de source y un registro de *destination*.

Esta arquitectura tiene 250 instrucciones con la siguiente distribución: 20 % instrucciones tipo A, 20 % tipo B, 25 % tipo C y 35 % tipo D. El ISA pide que en instrucciones variables, estas tengan tamaño de múltiplo de 1 byte. Teniendo esto y lo anterior en cuenta, se le pide:

- 3.1. **Determinar el tamaño de cada tipo de instrucción si se tiene un tamaño variable (3 pts).**
 - 3.2. **Determinar el tamaño mínimo si tiene que usar tamaño fijo (no aplica la restricción de múltiplo de 1 byte) (3 pts).**
4. **(15 minutos)** De las siguientes direcciones cuales están alineadas en memoria. Evalúe dos escenarios por aparte para *double word* y *quad word*. En caso de que estén desalineadas coloque la siguiente dirección correcta:
- 4.1. 0x55938A5B (1.5 puntos).
 - 4.2. 0x48F04B6F (1.5 puntos).