

Solución de examen

1. RV32I

1.1. Dependencias:

- 1.1.1. Dependencia de datos, t4, línea 2, línea 3.
- 1.1.2. Dependencia de datos, t3, línea 4, línea 5.
- 1.1.3. Dependencia de nombre, dependencia de salida, t4, línea 2, línea 9.
- 1.1.4. Dependencia de control, línea 5.
- 1.1.5. Dependencia de control, línea 6.
- 1.1.6. Dependencia de control, línea 8.
- 1.1.7. Dependencia de datos, t3, línea 4, línea 8.
- 1.1.8. Dependencia de datos, t4, línea 9, línea 10.
- 1.1.9. Dependencia de datos, t5, línea 10, línea 11.
- 1.1.10. Dependencia de nombre, dependencia de salida, t5, línea 10, línea 12.
- 1.1.11. Dependencia de datos, t6, línea 11, línea 12.
- 1.1.12. Dependencia de datos, t4, línea 9, línea 13.
- 1.1.13. Dependencia de datos, t5, línea 12, línea 13.
- 1.1.14. Dependencia de datos, t3, línea 14, línea 8.
- 1.1.15. Dependencias de nombre, antidependencia, t5, línea 11, línea 12.
- 1.1.16. Dependencia de nombre, antidependencia, t4, línea 13, línea 9.
- 1.1.17. Dependencia de control, línea 15.
- 1.1.18. Dependencia de nombre, antidependencia, t4, línea 13, línea 17.
- 1.1.19. Dependencia de datos, t4, línea 17, línea 18.

1.2. Riesgos:

- 1.2.1. Riesgo de datos, RAW, t4, línea 2, línea 3.
- 1.2.2. Riesgo de datos, RAW, t3, línea 4, línea 5.
- 1.2.3. Riesgo de control, línea 5.
- 1.2.4. Riesgo de control, línea 8.
- 1.2.5. Riesgo de datos, RAW, t3, línea 4, línea 8.
- 1.2.6. Riesgo de datos, RAW, t4, línea 9, línea 10.
- 1.2.7. Riesgo de datos, RAW, t5, línea 10, línea 11.
- 1.2.8. Riesgo de datos, RAW, t6, línea 11, línea 12.
- 1.2.9. Riesgo de datos, RAW, t4, línea 9, línea 13.
- 1.2.10. Riesgo de datos, RAW, t5, línea 12, línea 13.
- 1.2.11. Riesgo de datos, RAW, t3, línea 14, línea 8.
- 1.2.12. Riesgo de datos, RAW, t4, línea 17, línea 18.

1.3. Stalls:

- 1.3.1. 3 stalls entre líneas 2 y 3.
- 1.3.2. 3 stalls entre líneas 4 y 5.
- 1.3.3. 2 stalls entre líneas 5 y 6.
- 1.3.4. 2 stalls entre líneas 8 y 9.
- 1.3.5. 3 stalls entre líneas 9 y 10.
- 1.3.6. 3 stalls entre líneas 10 y 11.
- 1.3.7. 3 stalls entre líneas 11 y 12.
- 1.3.8. 3 stalls entre líneas 12 y 13.

1.3.9. 2 stalls entre líneas 14 y 15. Para riesgo entre 14 y 8.

1.3.10. 3 stalls entre líneas 17 y 18.

1.4. WCET:

$$\begin{aligned}
 WCET &= \underbrace{\left(4 + \underbrace{3+3+2}_{\text{Stalls}}\right)}_{BB1} \times \underbrace{1}_{\text{Veces}} + \underbrace{(1)}_{BB2} \times \underbrace{0}_{\text{Veces}} + \underbrace{\left(1 + \underbrace{2}_{\text{Stalls}}\right)}_{BB3} \times \underbrace{10}_{\text{Veces}} \\
 &\quad + \underbrace{\left(7 + \underbrace{3+3+3+3+2}_{\text{Stalls}}\right)}_{BB4} \times \underbrace{9}_{\text{Veces}} + \underbrace{\left(2 + \underbrace{3}_{\text{Stalls}}\right)}_{BB5} \times \underbrace{1}_{\text{Veces}} \\
 &= 236 \text{ ciclos} + 4 \text{ ciclos} = 240 \text{ ciclos}
 \end{aligned}$$

$$\begin{aligned}
 1.5. \quad WCET &= \underbrace{\left(4 + \underbrace{3+3+2}_{\text{Stalls}}\right)}_{BB1} \times \underbrace{1}_{\text{Veces}} + \underbrace{(1)}_{BB2} \times \underbrace{0}_{\text{Veces}} + \underbrace{(1)}_{BB3} \times \underbrace{10}_{\text{Veces}} + \underbrace{2}_{\text{Stalls fallo}} \\
 &\quad + \underbrace{\left(7 + \underbrace{3+3+3+3+2}_{\text{Stalls}}\right)}_{BB4} \times \underbrace{9}_{\text{Veces}} + \underbrace{\left(2 + \underbrace{3}_{\text{Stalls}}\right)}_{BB5} \times \underbrace{1}_{\text{Veces}} = 218 \text{ ciclos} + 4 \text{ ciclos} = \\
 &222 \text{ ciclos}
 \end{aligned}$$

Es un 8,1% (241/223) más rápido.

2. Amdahl.

2.1. Speedup:

2.1.1. Opción 1:

- Instrucciones de enteros (15% del tiempo): $\frac{0.15}{0.25 + \frac{0.75}{X}}$
- Instrucciones de control de flujo (15% del tiempo): $\frac{0.15}{1 - 15\% + \frac{0.15}{X}} = \frac{0.15}{0.85 + \frac{0.15}{X}}$
- Instrucciones de acceso a memoria (20% del tiempo): $\frac{0.2}{1} = 0.2$
- Instrucciones de procesamiento gráfico (50% del tiempo): $\frac{0.5}{1 - 0.9 + \frac{0.9}{100}} = \frac{500}{109} = 4.587$

$$\text{Amdahl: } \frac{0.15}{0.25 + \frac{0.75}{X}} + \frac{0.15}{0.85 + \frac{0.15}{X}} + 0.2 + 4.587 = 5.25 \rightarrow X = 2.93 \approx 3$$

3 veces

2.1.2. Opción 2 (2 puntos menos pues esto implica una mejora simultánea):

$$\begin{aligned}
 \text{Amdahl: } &\frac{1}{0.25 \cdot 0.15 + 0.85 \cdot 0.15 + 1 \cdot 0.2 + 0.1 \cdot 0.5 + \frac{0.75 \cdot 0.15}{X} + \frac{0.15 \cdot 0.15}{X} + 0 + \frac{0.9}{100}} = 5.25 = \frac{1}{0.415 + \frac{0.135}{X} + 0.09} = \frac{1}{0.424 + \frac{0.135}{X}} \\
 &0.424 + \frac{0.135}{X} = \frac{4}{21} \rightarrow \frac{0.135}{X} = -0.2335 \rightarrow X = -0.5781
 \end{aligned}$$

2.2. Pasar a una arquitectura de Harvard Modificada.

3. Instrucciones:

3.1. Tamaño variable:

Definición de tipo:

A	B	OUT
0	0	Tipo A
0	1	Tipo B
1	0	Tipo C
1	1	Tipo D

Son 2 bits.

Registros:

- Tipo A: Registro source (6 bits para 64), registro destination (6 bits para 64), inmediato (64 bits): 76 bits.
- Tipo B: Registro source 1 (6 bits para 64), registro source 2 (6 bits para 64), registro destination (6 bits para 64): 18 bits.
- Tipo C: Inmediato (64 bits), registro de destination (6 bits para 64): 70 bits.
- Tipo D: Registro source (6 bits para 64), registro de Destination (6 bits para 64): 12 bits.

Instrucciones:

- Tipo A: $250 \times 20\% = 50$ instrucciones \Rightarrow 6 bits.
- Tipo B: $250 \times 20\% = 50$ instrucciones \Rightarrow 6 bits.
- Tipo C: $250 \times 25\% = 63$ instrucciones \Rightarrow 6 bits.
- Tipo D: $250 \times 35\% = 87$ instrucciones \Rightarrow 7 bits.

Final:

- Tipo A:

Tipo	Registros e inmediato	ID
2 bits	76 bits	6 bits

84 bits \Rightarrow 88 bits para que sea de 8 bits o un byte.

- Tipo B:

Tipo	Registros	ID
2 bits	18 bits	6 bits

26 bits \Rightarrow 32 bits para que sea de 8 bits o un byte.

- Tipo C:

Tipo	Registros e inmediato	ID
2 bits	70 bits	6 bits

78 bits => 80 bits para que sea de 8 bits o un byte.

- Tipo D:

Tipo	Registros	ID
2 bits	12 bits	7 bits

21 bits => 24 bits para que sea de 8 bits o un byte.

Sería:

- Tipo A: 88 bits u 11 bytes.
- Tipo B: 32 bits o 4 bytes.
- Tipo C: 80 bits o 10 bytes.
- Tipo D: 24 bits o 3 bytes.

3.2. Tamaño fijo:

Solo sería necesario eliminarle los 2 bits y mantener constante la cantidad de instrucciones:

Para 250 instrucciones se ocupan 8 bits o un byte.

Se debe tomar en cuenta que debe soportar entre 76 y 12 bits, por esa razón, debe ser de al menos 76 bits.

Registros e inmediatos	Opcode
76 bits	8 bits

En total sería 84 bits para los cuatro tipos.

4. Alineamiento.

- Double word: 8 bytes. Para que esté alineado con 8 bytes debe ser múltiplo, entonces, tiene que terminar en 8 o 0.
- Quad word: 16 bytes. Para que esté alineado con 16 bytes debe ser múltiplo, entonces, tiene que terminar en 0.

4.1. 0x55938A5B

4.1.1. Double word: No alineado, sería 0x55938A60.

4.1.2. Quad word: No alineado, sería 0x55938A60.

4.2. 0X48F04B6F

4.2.1. Double word: No alineado, sería 0x48F04B70.

4.2.2. Quad word: No alineado, sería 0x48F04B70.