

ΨΗΦΙΑΚΗ ΣΧΕΔΙΑΣΗ 2

5η Εργαστηριακή Άσκηση
Γκότσης Βασίλης 3206
Πρίφτη Ιωάννης 3321

ΜΕΡΟΣ 1ο

Ερώτημα 1ο

Αρχικά σχεδιάσαμε τον πολυπλέκτη 4 σε 1 στην γλώσσα περιγραφής υλικού vhdl όπως ακριβώς αναγράφεται στις διαφάνειες και στην συνέχεια εκτελώντας χρονική εξομοίωση όπου φαίνεται ότι λειτουργεί σωστά όπως επίσης και η μέγιστη καθυστέρηση που είναι ίση με 10.156ns

The screenshot shows the Quartus II software interface running on a Windows 7 system. The main window displays a VHDL code for a MUX4_1 entity. The code defines a port with four inputs (D0-D3) and one output (Y), and a selection input (SEL). The architecture RTL4_1 implements a switch based on SEL. The message window below shows a successful compilation with 0 errors and 4 warnings.

```
library IEEE;
use IEEE.std_logic_1164.all;

entity MUX4_1 is
    port( D:in std_logic_vector(3 downto 0);
          SEL:in std_logic_vector(1 downto 0);
          Y:out std_logic);
end MUX4_1;

architecture RTL4_1 of MUX4_1 is
begin
    Y<=D(0) when SEL="00" else D(1) when SEL="01" else D(2) when SEL="10" else D(3);
end RTL4_1;
```

Messages

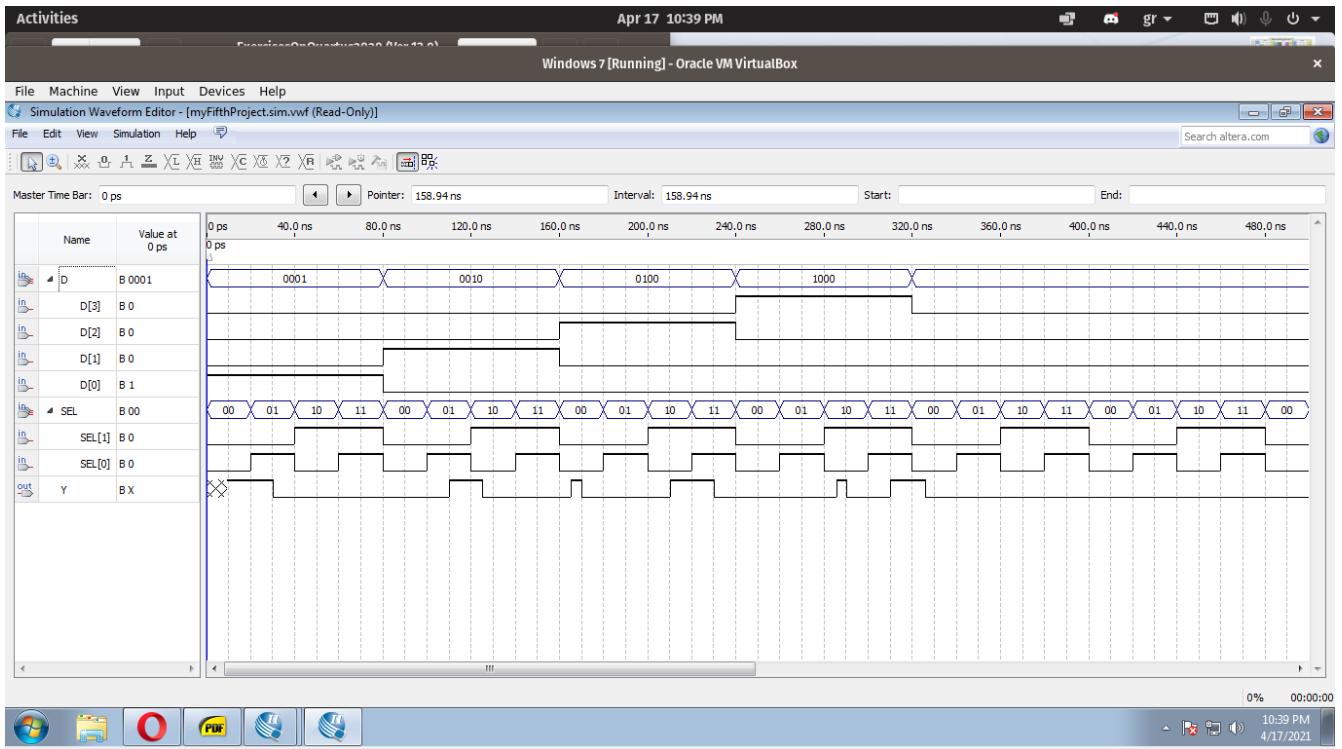
```
Quartus II 64-Bit TimeQuest Timing Analyzer was successful. 0 errors, 4 warnings
```

The screenshot shows the Quartus II software interface running on a Windows 7 system. The main window displays a propagation delay report for the MUX4_1 entity. The report table lists various signal paths with their corresponding setup, hold, and recovery times. The message window below shows a successful compilation with 0 errors and 4 warnings.

| Input Port | Output Port | RR | RF | FF |
|------------|-------------|--------|--------|--------|
| 1 D[0] | Y | 9.964 | 9.964 | 9.964 |
| 2 D[1] | Y | 10.094 | 10.094 | 10.094 |
| 3 D[2] | Y | 5.500 | | 5.500 |
| 4 D[3] | Y | 9.481 | | 9.481 |
| 5 SEL[0] | Y | 10.156 | 10.156 | 10.156 |
| 6 SEL[1] | Y | 6.046 | 6.046 | 6.046 |

Messages

```
Quartus II 64-Bit TimeQuest Timing Analyzer was successful. 0 errors, 4 warnings
```



Ερώτημα 20

Στην συνέχεια υλοποιήσαμε τον πολυπλέκτη 16 σε 1 χρησιμοποιώντας 5 πολυπλέκτες 4 σε 1, όπου οι 4 πρώτοι διαθέτουν από 4 εισόδους και οι έξοδοί τους συνδέονται στον πέμπτο πολυπλέκτη.

Το κύκλωμα φαίνεται στις παρακάτω εικόνες όπως επίσης το αποτέλεσμα της χρονικής εξομοίωσης όπου φαίνεται να λειτουργεί σωστά και επιπλέον η μέγιστη καθυστέρηση είναι ίση με 12.247ns

Activities

Apr 17 10:52 PM

Windows 7 [Running] - Oracle VM VirtualBox

File Machine View Input Devices Help

Quartus II 64-Bit - C:/altera/13.0sp1/lab_5/myFifthProject - myFifthProject

File Edit View Project Assignments Processing Tools Window Help

Project Navigator myfifthProject MUX16_1.vhd Compilation Report - myFifthProject

Files

```

library IEEE;
use IEEE.std_logic_1164.all;

entity MUX16_1 is
    port( D:in std_logic_vector(15 downto 0);
          SEL:in std_logic_vector(3 downto 0);
          Y:out std_logic);
end MUX16_1;

architecture RTL of MUX16_1 is
    component MUX4_1
        port( D:in std_logic_vector(3 downto 0);
              SEL:in std_logic_vector(1 downto 0);
              Y:out std_logic);
    end component;

    signal F:std_logic_vector(3 downto 0);
begin
    u0:MUX4_1 port map(D=>D(3 downto 0), SEL=>SEL(1 downto 0), Y=>F(0));
    u1:MUX4_1 port map(D=>D(7 downto 4), SEL=>SEL(1 downto 0), Y=>F(1));
    u2:MUX4_1 port map(D=>D(11 downto 8), SEL=>SEL(1 downto 0), Y=>F(2));
    u3:MUX4_1 port map(D=>D(15 downto 12), SEL=>SEL(1 downto 0), Y=>F(3));
    u4:MUX4_1 port map(D=>F(3 downto 0), SEL=>SEL(3 downto 2), Y=>Y);
end RTL;

```

Tasks

Flow: Compilat... Customize...

- Compile Design
- Analysis & S...
- Fitter (Place)
- Assembler (C...)
- TimeQuest T...
- EDA Netlist 1
- Program Device

100% 00:00:19

Activities

Apr 17 10:53 PM

Windows 7 [Running] - Oracle VM VirtualBox

File Machine View Input Devices Help

Quartus II 64-Bit - C:/altera/13.0sp1/lab_5/myFifthProject - myFifthProject

File Edit View Project Assignments Processing Tools Window Help

Project Navigator myfifthProject MUX16_1.vhd Compilation Report - myFifthProject

Files

Table of Contents

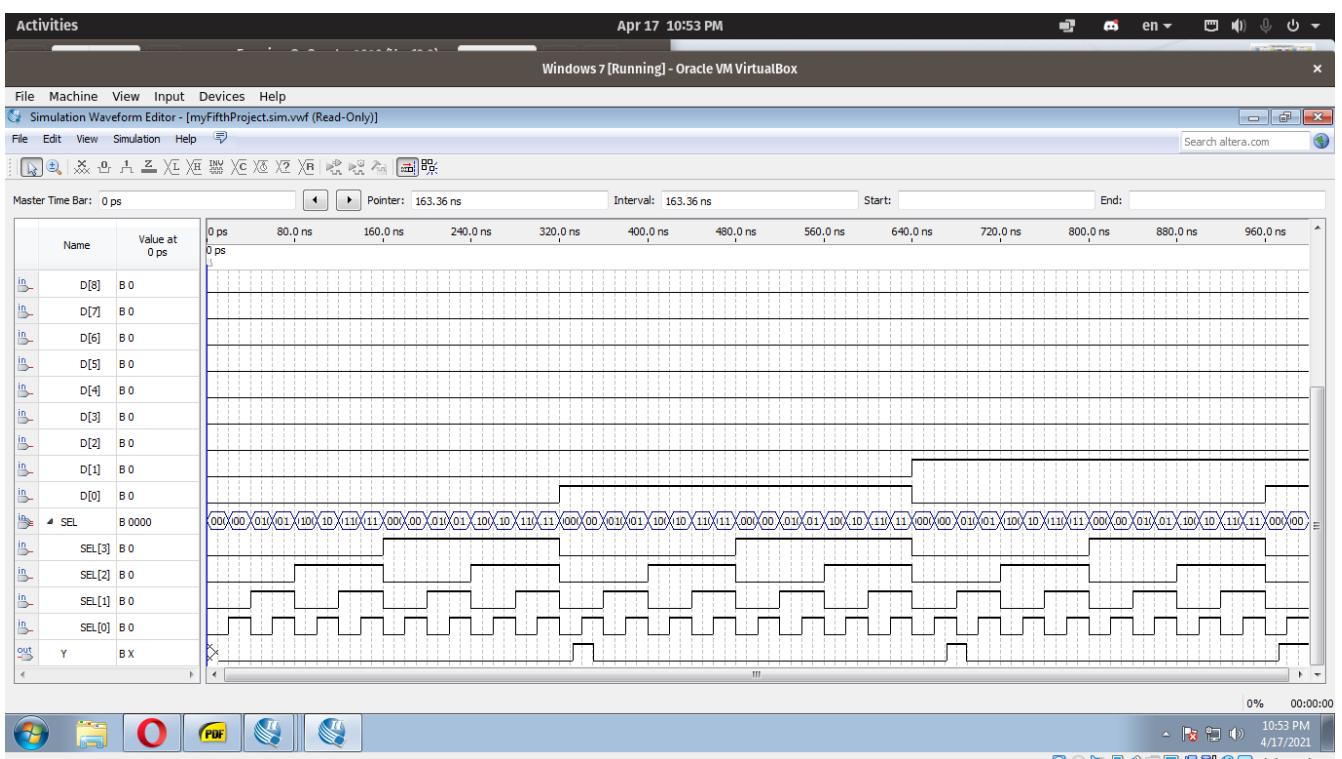
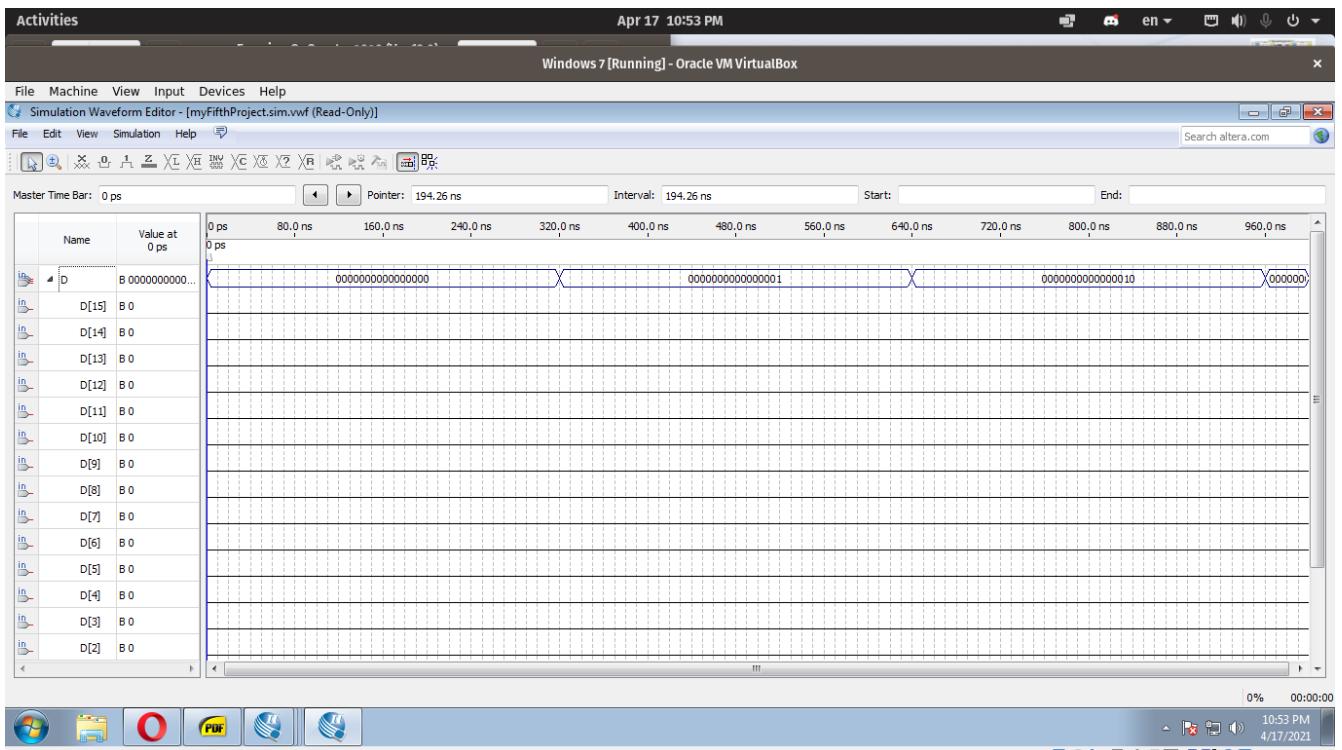
| | Input Port | Output Port | RR | RF | FR | FF |
|----|------------|-------------|--------|--------|--------|--------|
| 1 | D[0] | Y | 11.859 | 11.859 | 11.859 | 11.859 |
| 2 | D[1] | Y | 11.451 | | | 11.451 |
| 3 | D[2] | Y | 11.673 | 11.673 | 11.673 | 11.673 |
| 4 | D[3] | Y | 11.170 | | | 11.170 |
| 5 | D[4] | Y | 11.852 | 11.852 | 11.852 | 11.852 |
| 6 | D[5] | Y | 12.155 | 12.155 | 12.155 | 12.155 |
| 7 | D[6] | Y | 8.937 | | | 8.937 |
| 8 | D[7] | Y | 11.743 | | | 11.743 |
| 9 | D[8] | Y | 11.621 | 11.621 | 11.621 | 11.621 |
| 10 | D[9] | Y | 11.452 | | | 11.452 |
| 11 | D[10] | Y | 11.756 | | | 11.756 |
| 12 | D[11] | Y | 11.090 | | | 11.090 |
| 13 | D[12] | Y | 11.636 | 11.636 | 11.636 | 11.636 |
| 14 | D[13] | Y | 11.813 | | | 11.813 |
| 15 | D[14] | Y | 11.957 | | | 11.957 |
| 16 | D[15] | Y | 11.809 | | | 11.809 |
| 17 | SEL[0] | Y | 12.247 | 12.247 | 12.247 | 12.247 |
| 18 | SEL[1] | Y | 9.476 | 9.476 | 9.476 | 9.476 |
| 19 | SEL[2] | Y | 11.246 | 11.246 | 11.246 | 11.246 |
| 20 | SEL[3] | Y | 11.221 | 11.707 | 11.707 | 11.221 |

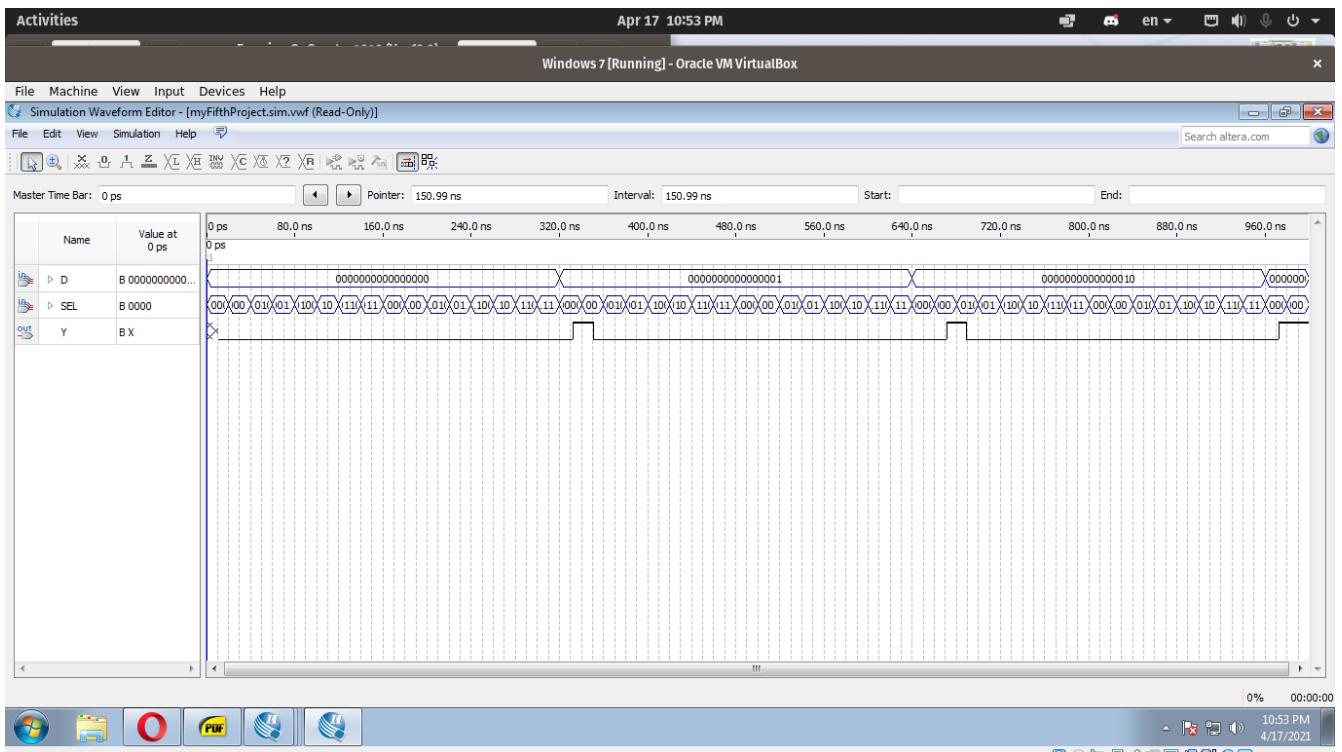
Tasks

Flow: Compilat... Customize...

- Compile Design
- Analysis & S...
- Fitter (Place)
- Assembler (C...)
- TimeQuest T...
- EDA Netlist 1
- Program Device

100% 00:00:19





Ερώτημα 3ο

Σε αυτό το υλοποιήσαμε για αρχή έναν πλήρη αθροιστή του ενός bit των οποίο και στην συνέχεια χρησιμοποιήσαμε για να υλοποιήσουμε τον πλήρη αθροιστή των 8 bit, όπου η λογική είναι ακριβώς η ίδια με προηγούμενο όπου η μόνη διαφορά είναι ότι υλοποιήθηκε στην γλώσσα περιγραφής υλικού vhdl.
Τα κυκλώματα φαίνονται στις παρακάτω εικόνες.

Activities

ExercisesOnQuartus2020 (Ver 13.0) 117.7% Windows 7 [Running] - Oracle VM VirtualBox

File Machine View Input Devices Help

Quartus II 64-Bit - C:/altera/13.0sp1/lab_5/myFifthProject - myFifthProject

File Edit View Project Assignments Processing Tools Window Help

Project Navigator full_adder.vhd full_adder_8.vhd Compilation Report - myFifthProject

Files simulation/modelsim/full_adder.vwf MUX4_1.vhd MUX4_1_VWF.vwf MUX16_1.vhd MUX16_1_VWF.vwf adder_1_bit.vhd full_adder.vhd full_adder_8.vhd full_adder_8_vwf.vwf full_adder_vwf.vwf

full_adder.vhd

```

1 library IEEE;
2 use IEEE.std_logic_1164.all;
3
4 entity full_adder is
5     port ( A, B : in std_logic;
6             Cin : in std_logic;
7                 Sum : out std_logic;
8                 Cout : out std_logic);
9 end full_adder;
10
11 architecture gate_level of full_adder is
12 begin
13     Sum<=A XOR B XOR Cin;
14     Cout<=(A AND B)OR(Cin AND A)OR(Cin AND B);
15 end gate_level;
16
17

```

Hierarchy Files Tasks

Flow: Compilatik Customize...

Compile Design Analysis & Synthesis Fitter (Place & Route) Assembler (Generate) TimeQuest Timer EDA Netlist Writing Program Device Options

Ln 11 Col 35 VHDL File 100% 00:00:13 11:05 PM 4/17/2021

Activities

ExercisesOnQuartus2020 (Ver 13.0) 117.7% Windows 7 [Running] - Oracle VM VirtualBox

File Machine View Input Devices Help

Quartus II 64-Bit - C:/altera/13.0sp1/lab_5/myFifthProject - myFifthProject

File Edit View Project Assignments Processing Tools Window Help

Project Navigator full_adder.vhd full_adder_8.vhd

Files simulation/modelsim/full_adder.vwf MUX4_1.vhd MUX4_1_VWF.vwf MUX16_1.vhd MUX16_1_VWF.vwf adder_1_bit.vhd full_adder.vhd full_adder_8.vhd full_adder_8_vwf.vwf full_adder_vwf.vwf

full_adder.vhd

```

1 library IEEE;
2 use IEEE.std_logic_1164.all;
3
4 entity full_adder_8 is
5     port ( A, B : in std_logic_vector(7 downto 0);
6             Cin : in std_logic;
7                 Y : out std_logic_vector(7 downto 0);
8                 Cout : out std_logic);
9 end full_adder_8;
10
11 architecture FA_arch of full_adder_8 is
12 component full_adder
13     port ( A, B : in std_logic;
14             Cin : in std_logic;
15                 Sum : out std_logic;
16                 Cout : out std_logic);
17 end component;
18
19 signal cary : std_logic_vector(7 downto 0);
20
21 begin
22     u0:full_adder port map(A(0),B(0),Cin,Y(0),cary(0));
23     u1:full_adder port map(A(1),B(1),cary(0),Y(1),cary(1));
24     u2:full_adder port map(A(2),B(2),cary(1),Y(2),cary(2));
25     u3:full_adder port map(A(3),B(3),cary(2),Y(3),cary(3));
26     u4:full_adder port map(A(4),B(4),cary(3),Y(4),cary(4));
27     u5:full_adder port map(A(5),B(5),cary(4),Y(5),cary(5));
28     u6:full_adder port map(A(6),B(6),cary(5),Y(6),cary(6));
29     u7:full_adder port map(A(7),B(7),cary(6),Y(7),cary(7));
30
31 end FA_arch;

```

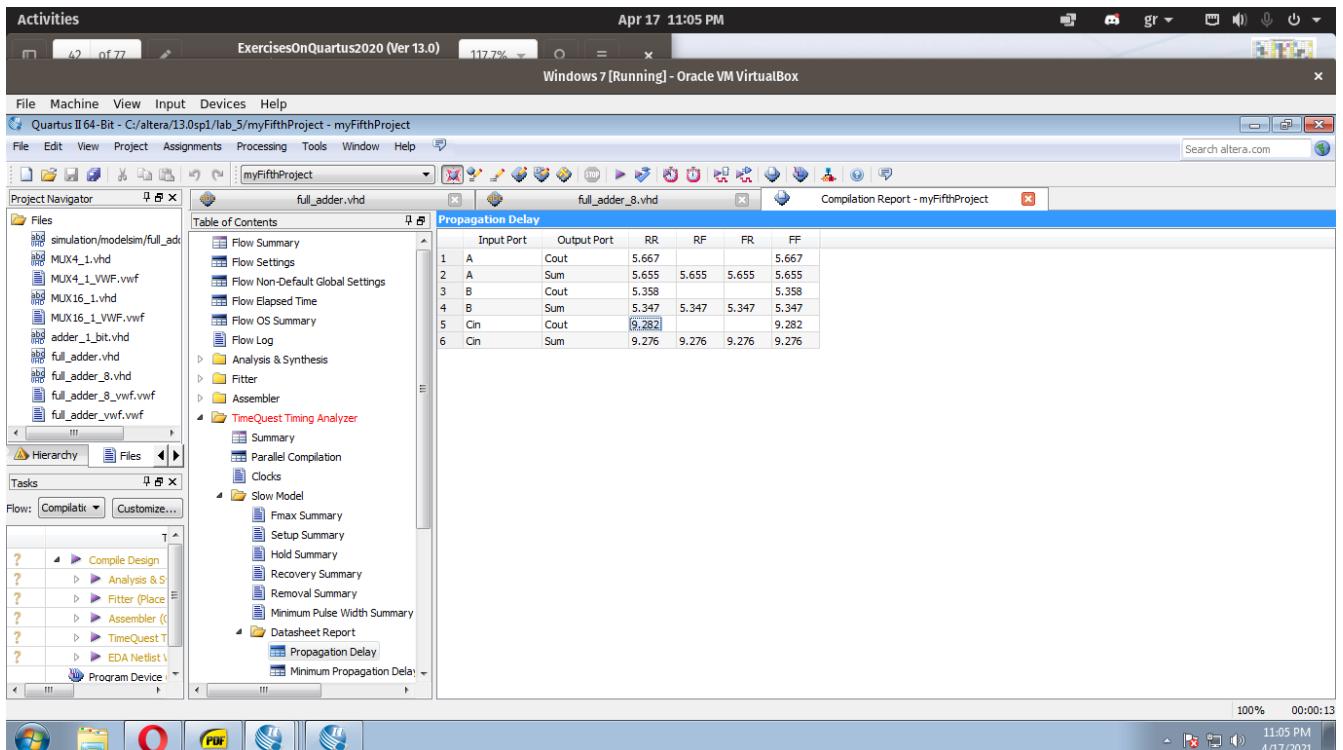
Hierarchy Files Tasks

Flow: Compilatik Customize...

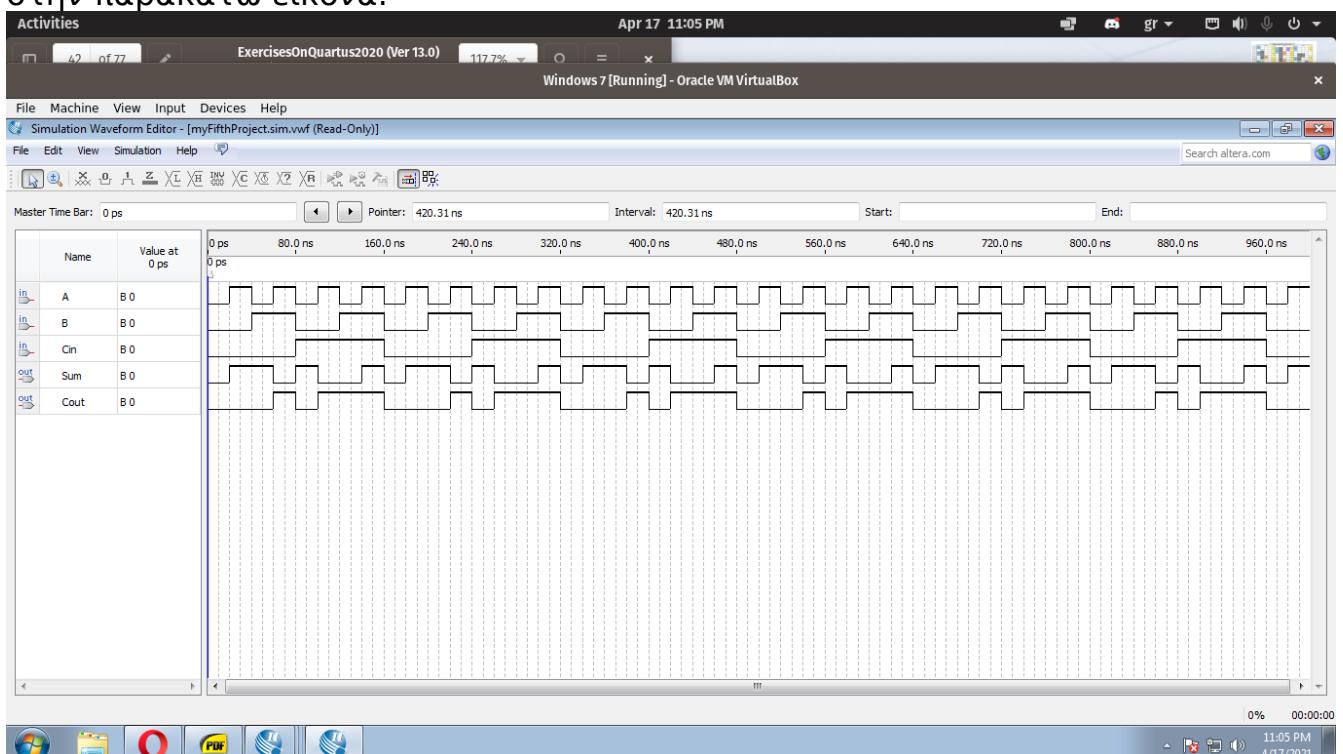
Compile Design Analysis & Synthesis Fitter (Place & Route) Assembler (Generate) TimeQuest Timer EDA Netlist Writing Program Device Options

Ln 11 Col 35 VHDL File 100% 00:00:13 11:05 PM 4/17/2021

Όσον αφορά τον πλήρη αθροιστή του ενός bit η μέγιστη καθυστέρηση ισούται με 9.282ns όπως φαίνεται στην παρακάτω εικόνα,

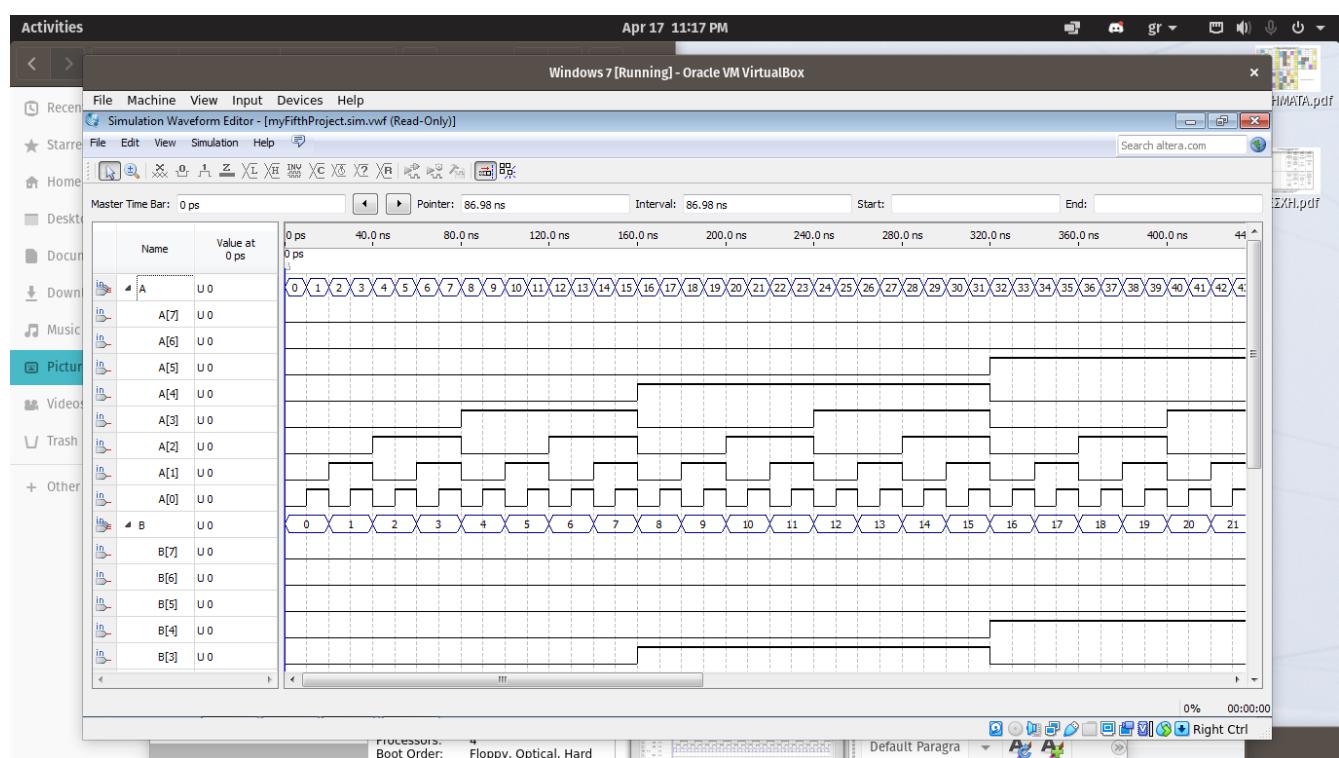
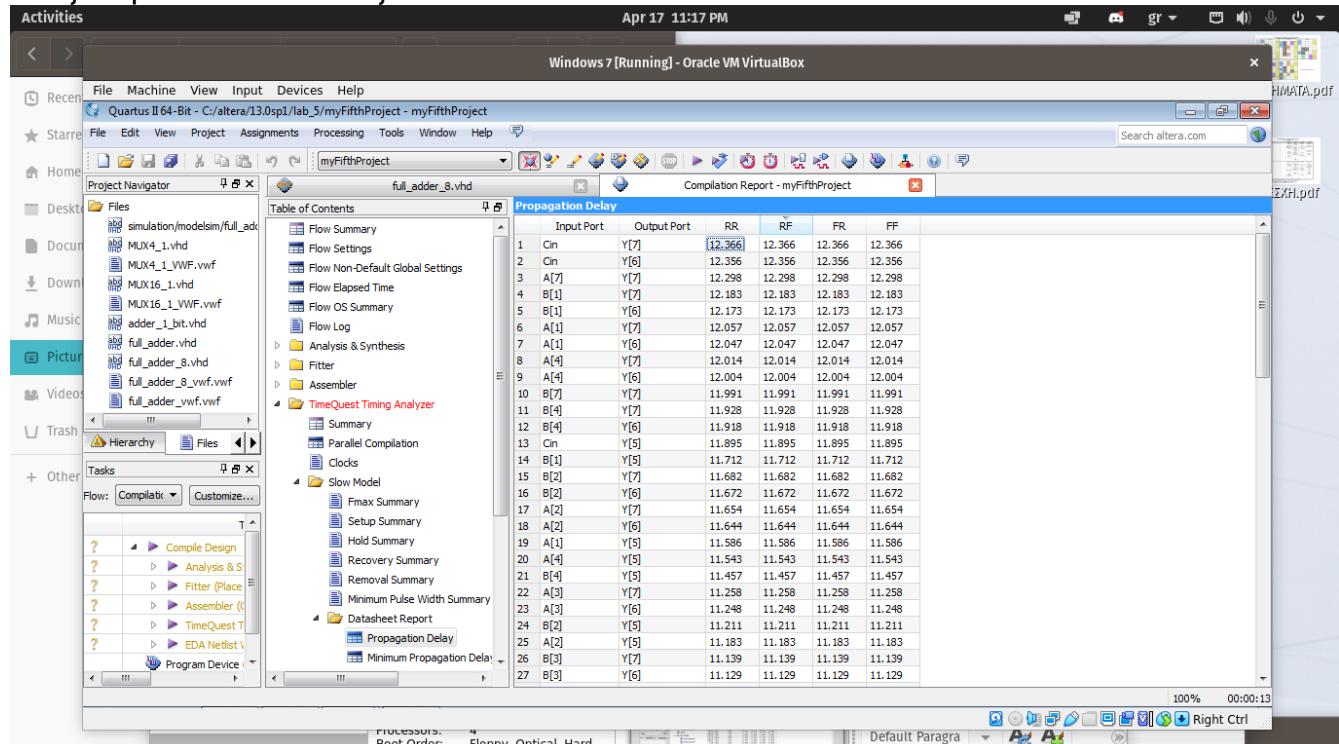


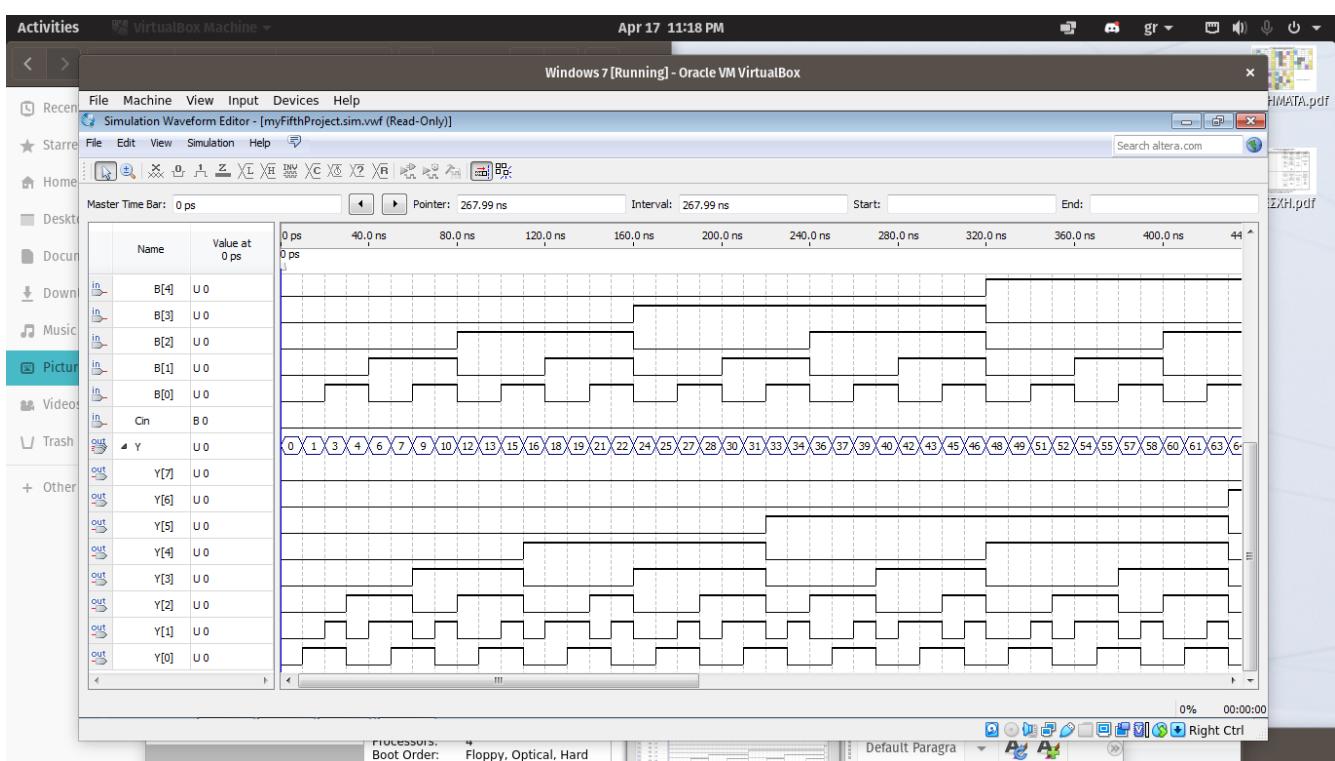
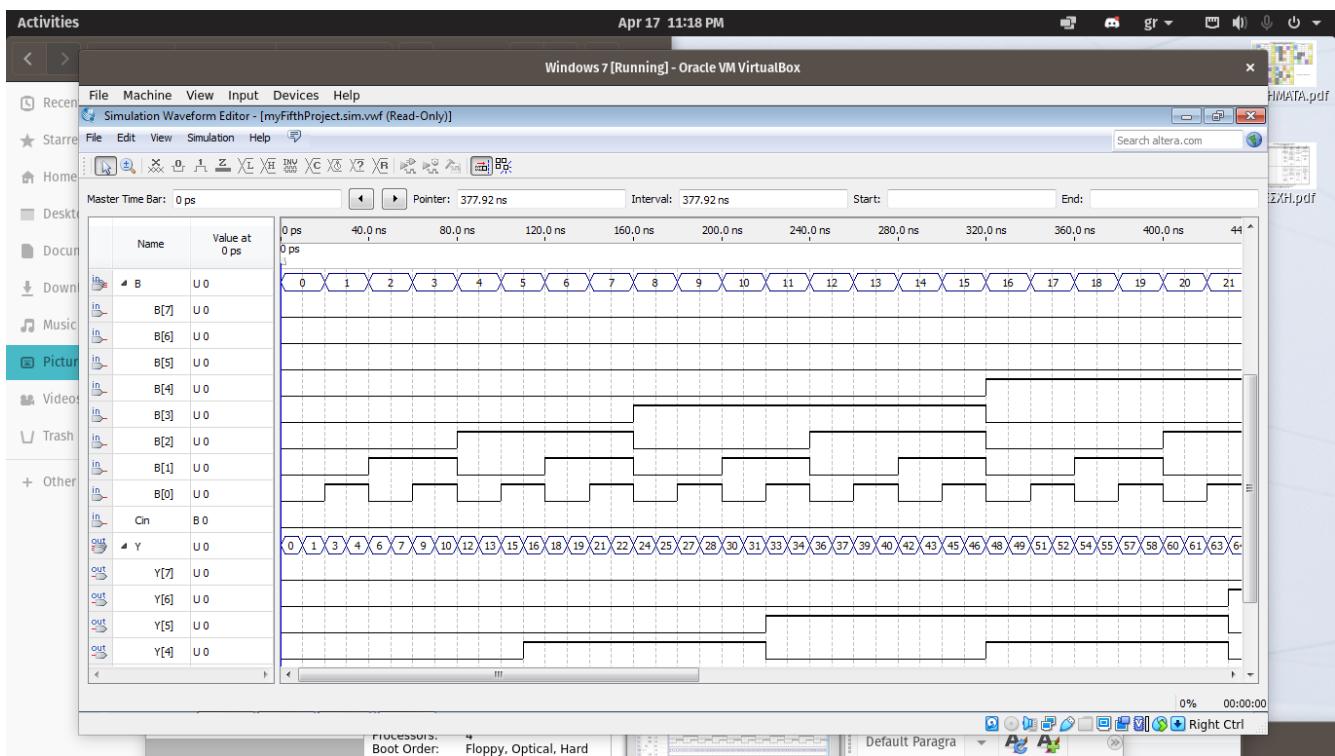
Εκτελώντας στατική εξομοίωση το κύκλωμα λειτουργεί σωστά όπως φαίνεται στην παρακάτω εικόνα.

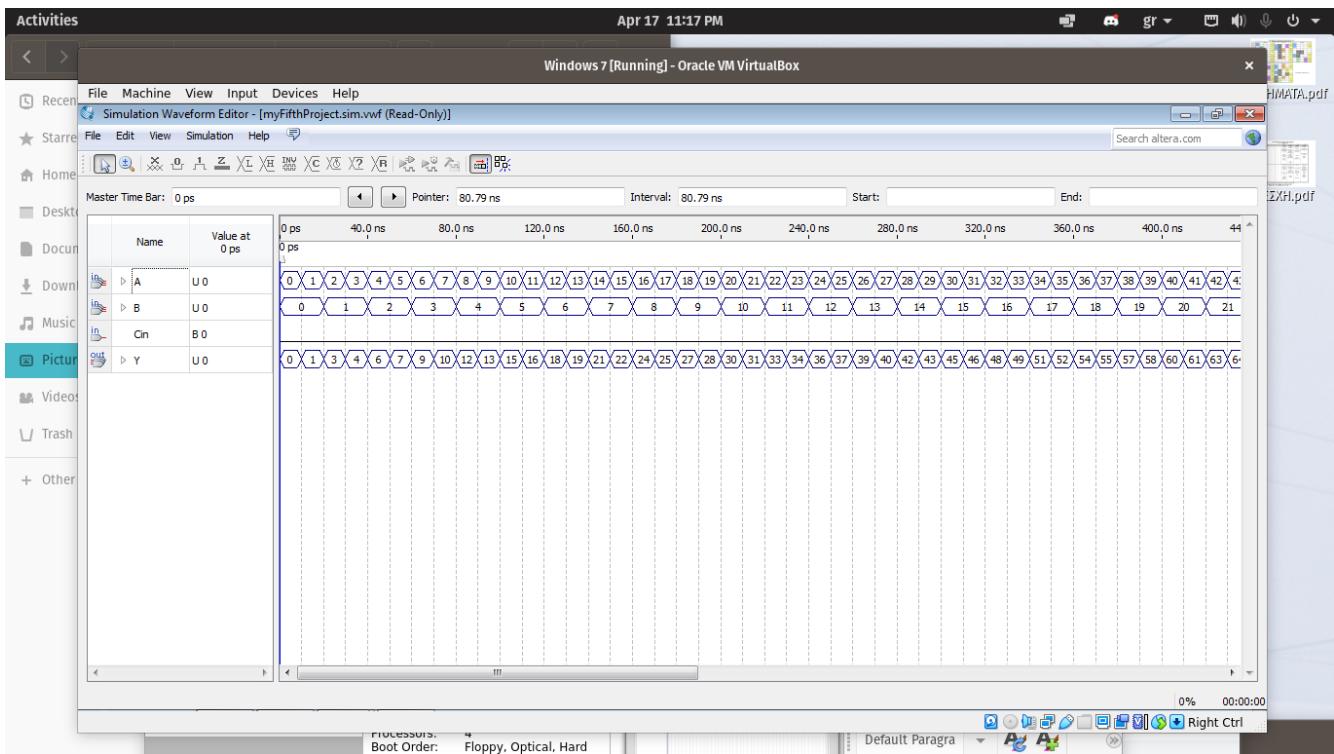


Όσον αφορά τον πλήρη αθροιστή των 8 bit η μέγιστη καθυστέρηση ισούται με 12.366ns

Εκτελώντας στατική εξομοίωση το κύκλωμα λειτουργεί σωστά όπως φαίνεται στις παρακάτω εικόνες.



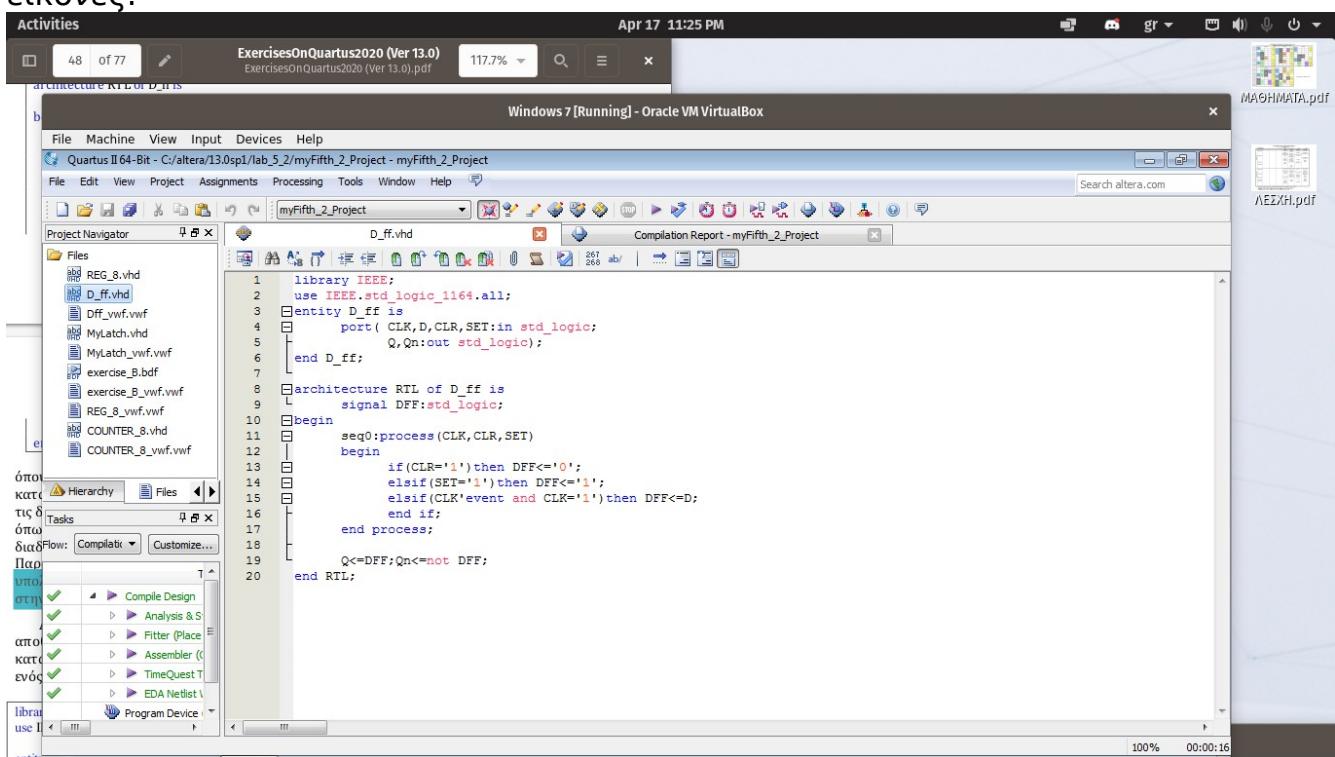


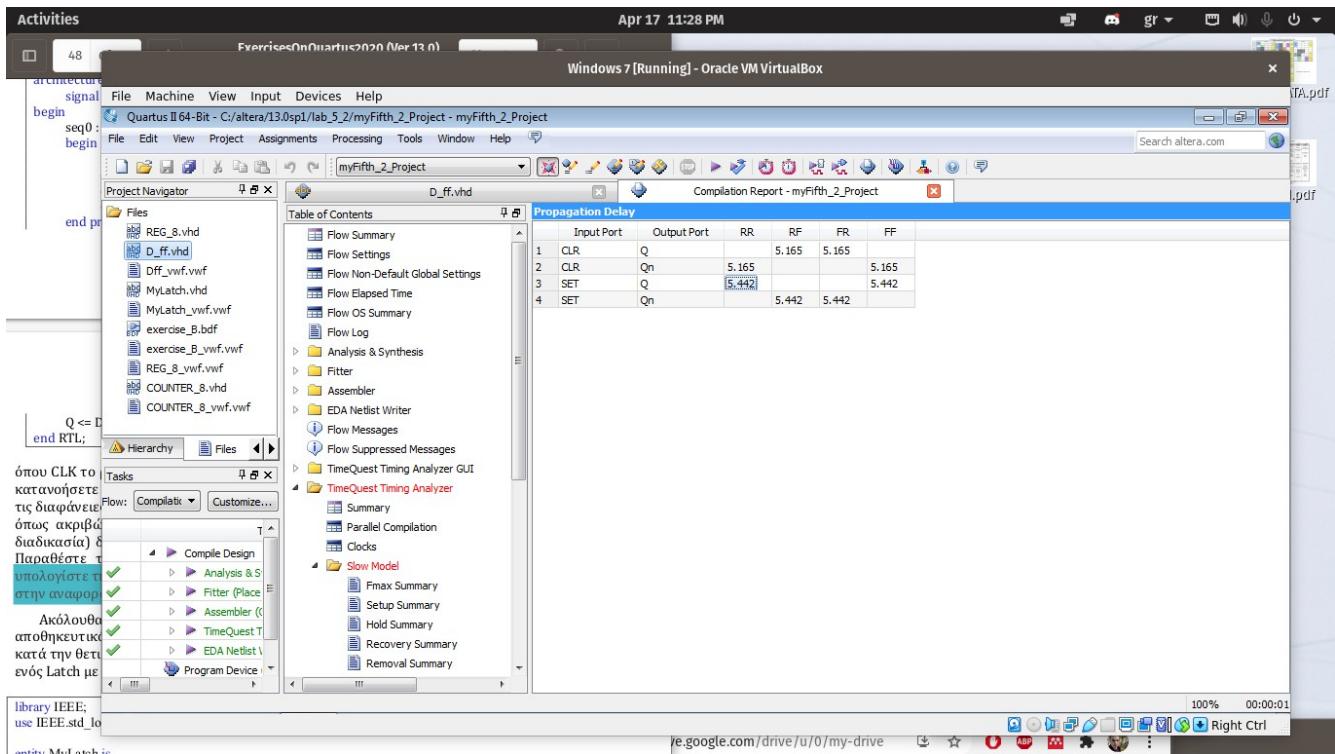


ΜΕΡΟΣ 2ο

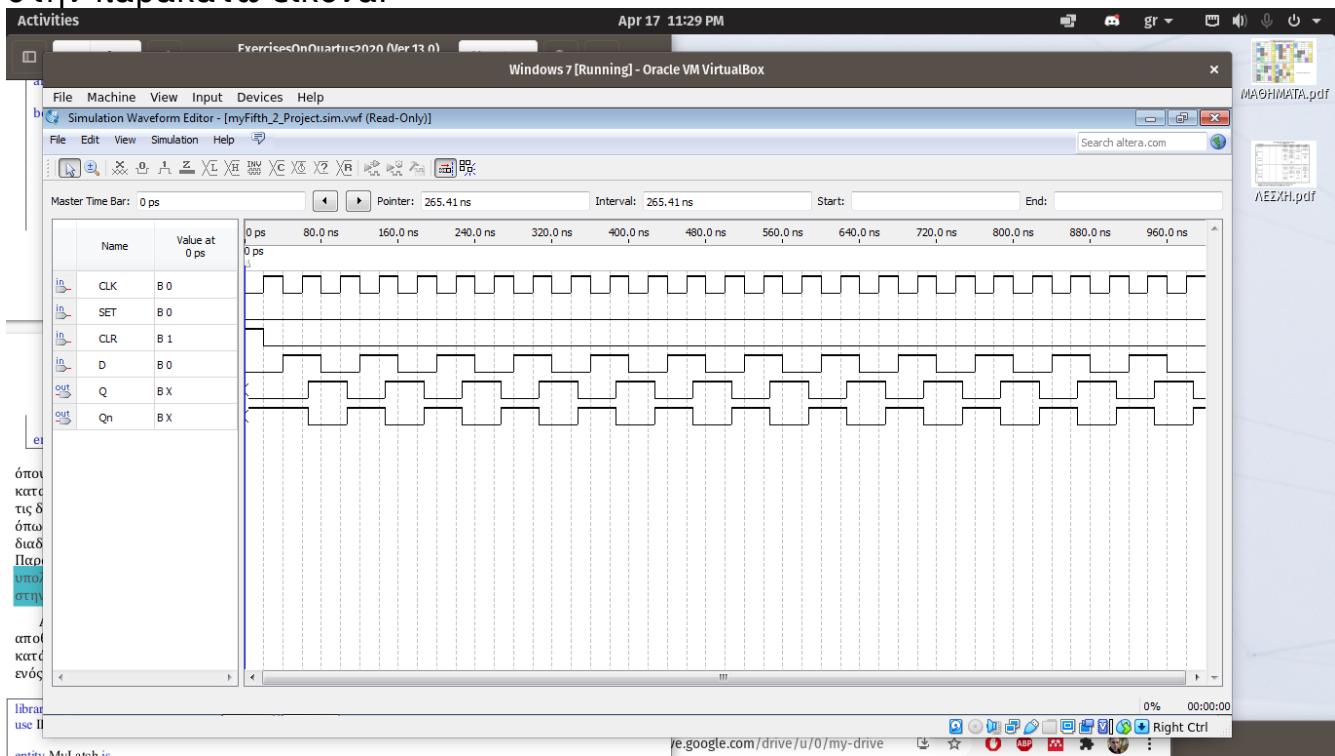
Ερώτημα 1ο

Υλοποιήσαμε στην vhdl ένα dff όπως ακριβώς αναγράφεται στην εκφώνηση όπου η μέγιστη καθυστέρηση ισούται με 5.442ns όπως φαίνεται στις παρακάτω εικόνες.



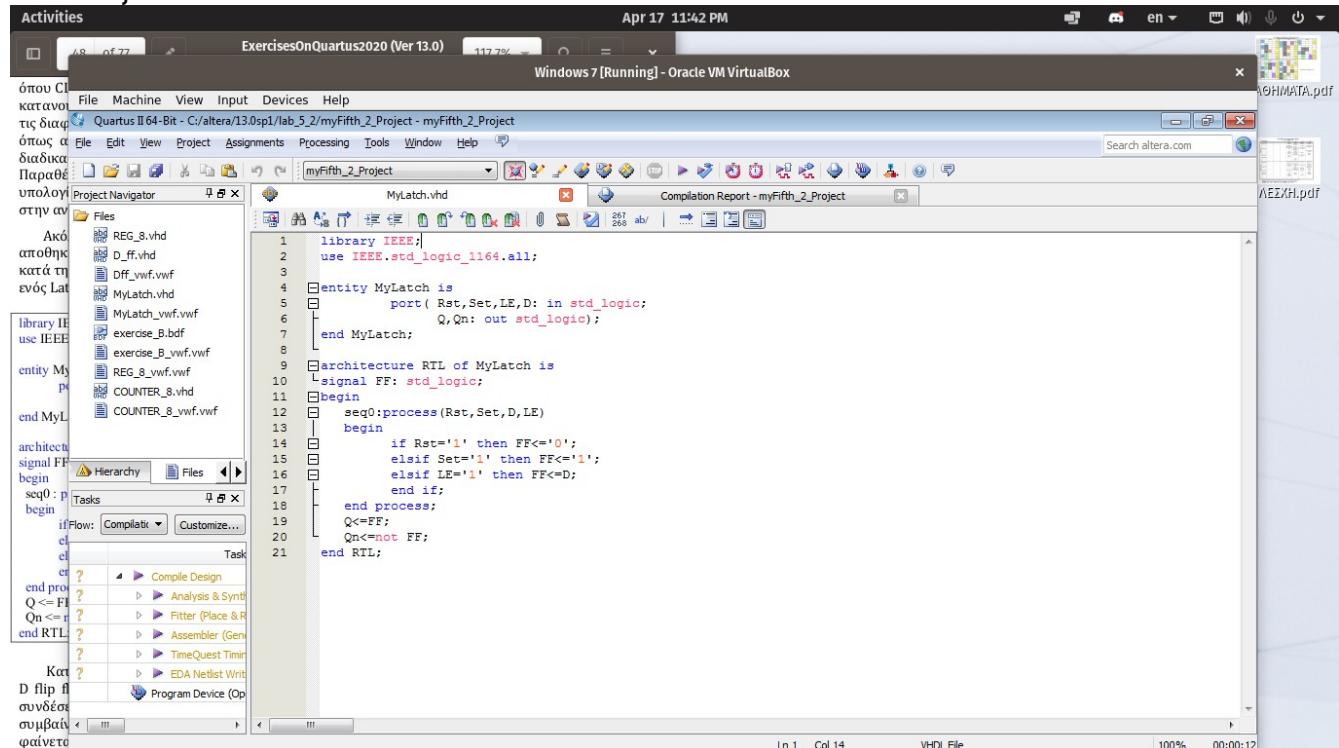


Εκτελώντας χρονική εξομοίωση το κύκλωμα λειτουργεί σωστά όπως φαίνεται στην παρακάτω εικόνα.



Η μέγιστη συχνότητα λειτουργίας του ρολογιού είναι περίπου ίση με $1/5.442\text{ns} = 184\text{MHz}$

Υλοποιήσαμε στην vhdl ένα latch όπως ακριβώς αναγράφεται στην εκφώνηση όπου η μέγιστη καθυστέρηση ισούται με 9.427ns όπως φαίνεται στις παρακάτω εικόνες.



The screenshot shows the Quartus II software interface with the following details:

- Title Bar:** ExercisesOnQuartus2020 (Ver 13.0) - Windows 7 [Running] - Oracle VM VirtualBox
- Toolbar:** Standard toolbar with icons for file operations, project management, and design analysis.
- Project Navigator:** Shows files in the project: REG_8.vhd, D_ff.vhd, DFF_vwf.vwf, MyLatch.vhd, MyLatch_vwf.vwf, exercise_B.bdf, exercise_B_vwf.vwf, REG_8_vwf.vwf, COUNTER_8.vhd, and COUNTER_8_vwf.vwf.
- Code Editor:** Displays the VHDL code for the MyLatch entity. The code defines a synchronous SR-latch with enable (LE) and clock (FF) inputs. It includes a process for the clock edge and assignments for the outputs Q and Qn based on the SR inputs and LE.
- Compilation Report:** Shows the compilation status with 267 warnings and 288 errors.
- Right Panel:** Displays two PDF files: ΑΘΗΜΑΤΑ.pdf and ΛΕΞΗ.pdf.

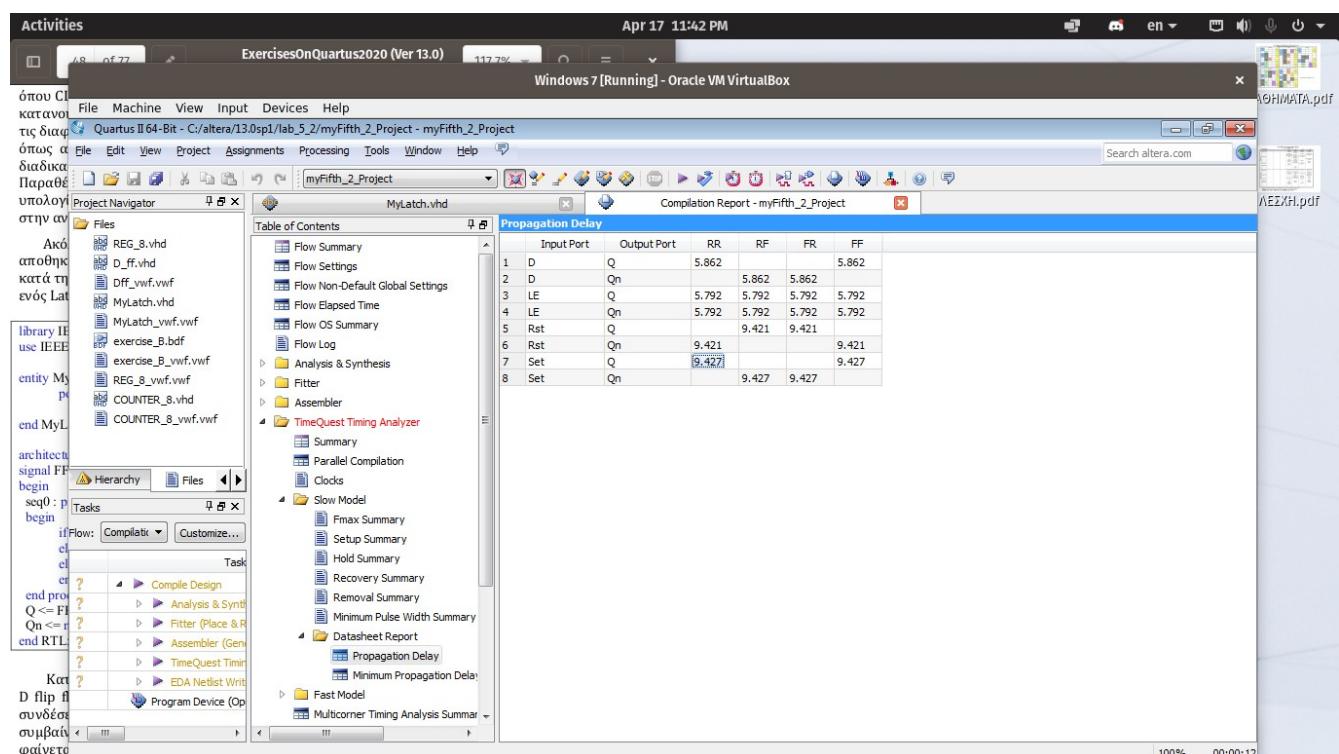
```

library IEEE;
use IEEE.std_logic_1164.all;

entity MyLatch is
    port( Rst,Set,LE,D: in std_logic;
          Q,Qn: out std_logic);
end MyLatch;

architecture RTL of MyLatch is
begin
    seq0:process(Rst,Set,D,LE)
    begin
        if Rst='1' then FF<='0';
        elsif Set='1' then FF<='1';
        elsif LE='1' then FF<=D;
        end if;
    end process;
    Q<=FF;
    Qn<=not FF;
end RTL;

```

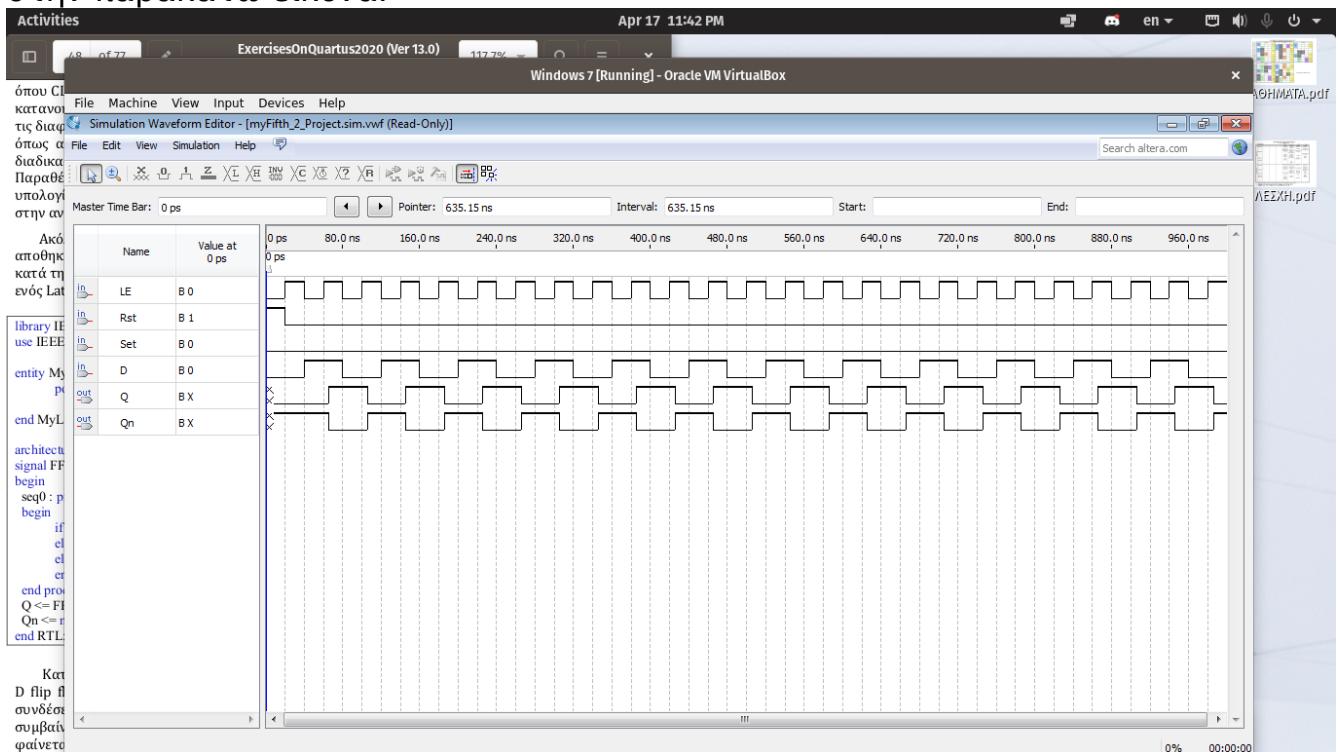


The screenshot shows the Quartus II software interface with the following details:

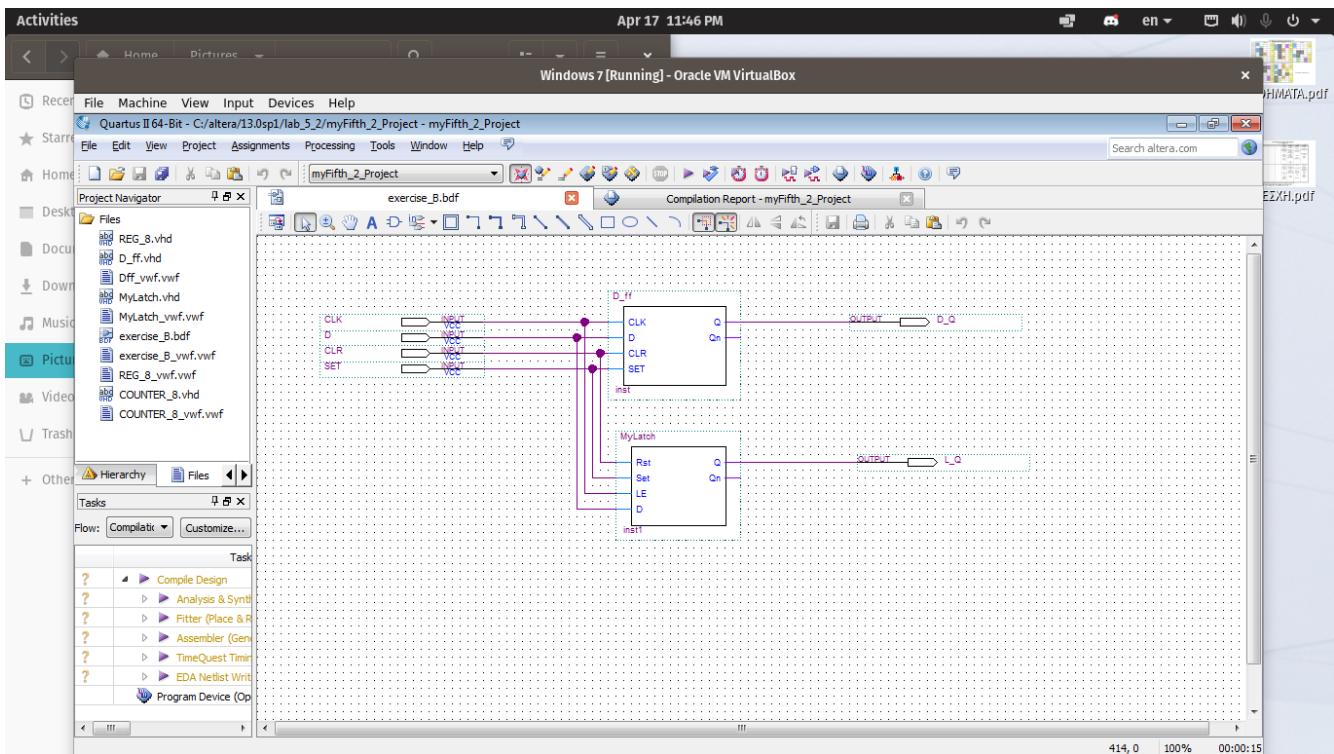
- Title Bar:** ExercisesOnQuartus2020 (Ver 13.0) - Windows 7 [Running] - Oracle VM VirtualBox
- Toolbar:** Standard toolbar with icons for file operations, project management, and design analysis.
- Project Navigator:** Shows files in the project: REG_8.vhd, D_ff.vhd, DFF_vwf.vwf, MyLatch.vhd, MyLatch_vwf.vwf, exercise_B.bdf, exercise_B_vwf.vwf, REG_8_vwf.vwf, COUNTER_8.vhd, and COUNTER_8_vwf.vwf.
- Code Editor:** Displays the VHDL code for the MyLatch entity.
- Report View:** Shows the "Propagation Delay" report from the TimeQuest Timing Analyzer. The report lists propagation delays for various signal transitions. The table includes columns for Input Port, Output Port, RR, RF, FR, and FF.
- Right Panel:** Displays two PDF files: ΑΘΗΜΑΤΑ.pdf and ΛΕΞΗ.pdf.

| | Input Port | Output Port | RR | RF | FR | FF |
|---|------------|-------------|-------|-------|-------|-------|
| 1 | D | Q | 5.862 | | | 5.862 |
| 2 | D | Qn | | 5.862 | 5.862 | |
| 3 | LE | Q | 5.792 | 5.792 | 5.792 | 5.792 |
| 4 | LE | Qn | 5.792 | 5.792 | 5.792 | 5.792 |
| 5 | Rst | Q | | 9.421 | 9.421 | |
| 6 | Rst | Qn | 9.421 | | | 9.421 |
| 7 | Set | Q | | 9.427 | 9.427 | |
| 8 | Set | Qn | 9.427 | 9.427 | | |

Εκτελώντας χρονική εξομοίωση το κύκλωμα λειτουργεί σωστά όπως φαίνεται στην παρακάτω εικόνα.



Αφού πακετάραμε το dff και το lach υλοποιήσαμε το κύκλωμα όπως ακριβώς αναγράφεται στις διαφάνειες με μέγιστη καθυστέρηση που ισούται με 10.182ns όπως φαίνεται στις παρακάτω εικόνες



Activities

Windows 7 [Running] - Oracle VM VirtualBox

Quartus II 64-Bit - C:/altera/13.0sp1/lab_5_2/myFifth_2_Project - myFifth_2_Project

Project Navigator exercise_B.bdf Compilation Report - myFifth_2_Project

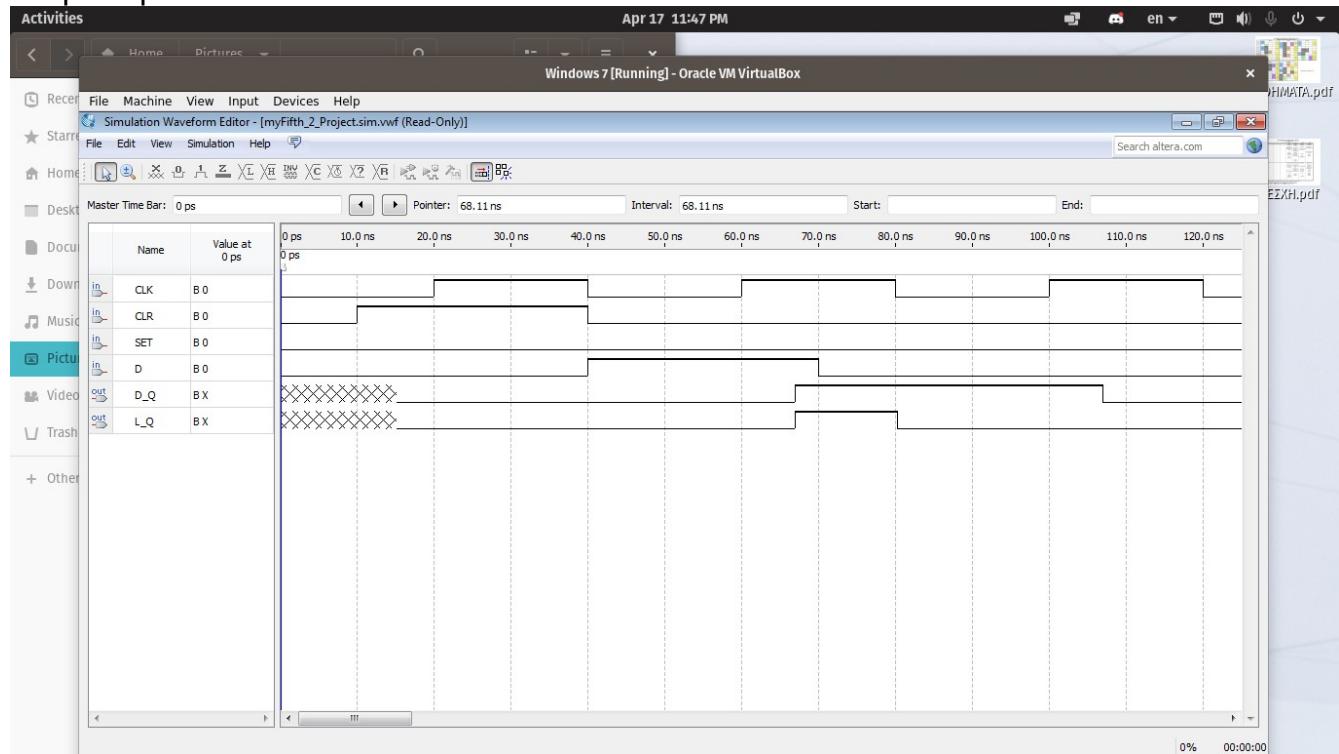
| Input Port | Output Port | RR | RF | FR | FF |
|------------|-------------|--------|-------|-------|----|
| 1 CLR | D_Q | 5.173 | 5.173 | | |
| 2 CLR | L_Q | | 5.190 | 5.190 | |
| 3 D | L_Q | 10.182 | | | |
| 4 SET | D_Q | | 5.451 | | |
| 5 SET | L_Q | 5.466 | | 5.466 | |

File Edit View Project Assignments Processing Tools Window Help

Search altera.com

414, 0 100% 00:00:15

Εκτελώντας χρονική εξομοίωση το κύκλωμα λειτουργεί σωστά όπως φαίνεται στην παρακάτω εικόνα



Ερώτημα 2ο

Με βάση τις σημειώσεις και με την λογική που χρησιμοποιήσαμε και σε προηγούμενο εργαστήριο υλοποιήσαμε τον καταχωρητή 8 bit τροποποιώντας κατάλληλα τον καταχωρητή του ενός bit.

Το κύκλωμα φαίνεται στην παρακάτω εικόνα, όπου η μέγιστη καθυστέρηση είναι ίση με 8.265ns.

Activities

Apr 17 11:56 PM

Windows 7 [Running] - Oracle VM VirtualBox

File Machine View Input Devices Help

Quartus II 64-Bit - C:/altera/13.0sp1/lab_5_2/myFifth_2_Project - myFifth_2_Project

File Edit View Project Assignments Processing Tools Window Help

Project Navigator myFifth_2_Project

REG_8.vhd

Compilation Report - myFifth_2_Project

Search altera.com

MA9HMATA.pdf

AEZKH.pdf

Files

- REG_8.vhd
- D_ff.vhd
- Dff_vwf.vwf
- MyLatch.vhd
- MyLatch_vwf.vwf
- exercise_B.bdf
- exercise_B_vwf.vwf
- REG_8_vwf.vwf
- COUNTER_8.vhd
- COUNTER_8_vwf.vwf

Hierarchy Files

Tasks

Flow: Compatik Customize...

Task

- Compile Design
- Analysis & Synthesis
- Fitter (Place & Route)
- Assembler (Generate)
- TimeQuest Timing Analyzer
- EDA Netlist Writer
- Program Device (Open)

```

library IEEE;
use IEEE.std_logic_1164.all;

entity REG_8 is
    port( D:in std_logic_vector(7 downto 0);
          CLK,CLR,SET:in std_logic;
          Q,Qn:out std_logic_vector(7 downto 0));
end REG_8;

architecture RTL of REG_8 is
begin
    process(CLK,CLR,SET)
    begin
        if(CLK='1')then DFF<="00000000";
        elsif(SET='1')then DFF<="00000001";
        elsif(CLK'event and CLK='1')then DFF<=D;
        end if;
    end process;
    Q<=DFF;Qn<=not DFF;
end RTL;

```

100% 00:00:13

Activities

Apr 17 11:56 PM

Windows 7 [Running] - Oracle VM VirtualBox

File Machine View Input Devices Help

Quartus II 64-Bit - C:/altera/13.0sp1/lab_5_2/myFifth_2_Project - myFifth_2_Project

File Edit View Project Assignments Processing Tools Window Help

Project Navigator myFifth_2_Project

REG_8.vhd

Compilation Report - myFifth_2_Project

Search altera.com

MA9HMATA.pdf

AEZKH.pdf

Files

- REG_8.vhd
- D_ff.vhd
- Dff_vwf.vwf
- MyLatch.vhd
- MyLatch_vwf.vwf
- exercise_B.bdf
- exercise_B_vwf.vwf
- REG_8_vwf.vwf
- COUNTER_8.vhd
- COUNTER_8_vwf.vwf

Hierarchy Files

Tasks

Flow: Compatik Customize...

Task

- Compile Design
- Analysis & Synthesis
- Fitter (Place & Route)
- Assembler (Generate)
- TimeQuest Timing Analyzer
- EDA Netlist Writer
- Program Device (Open)

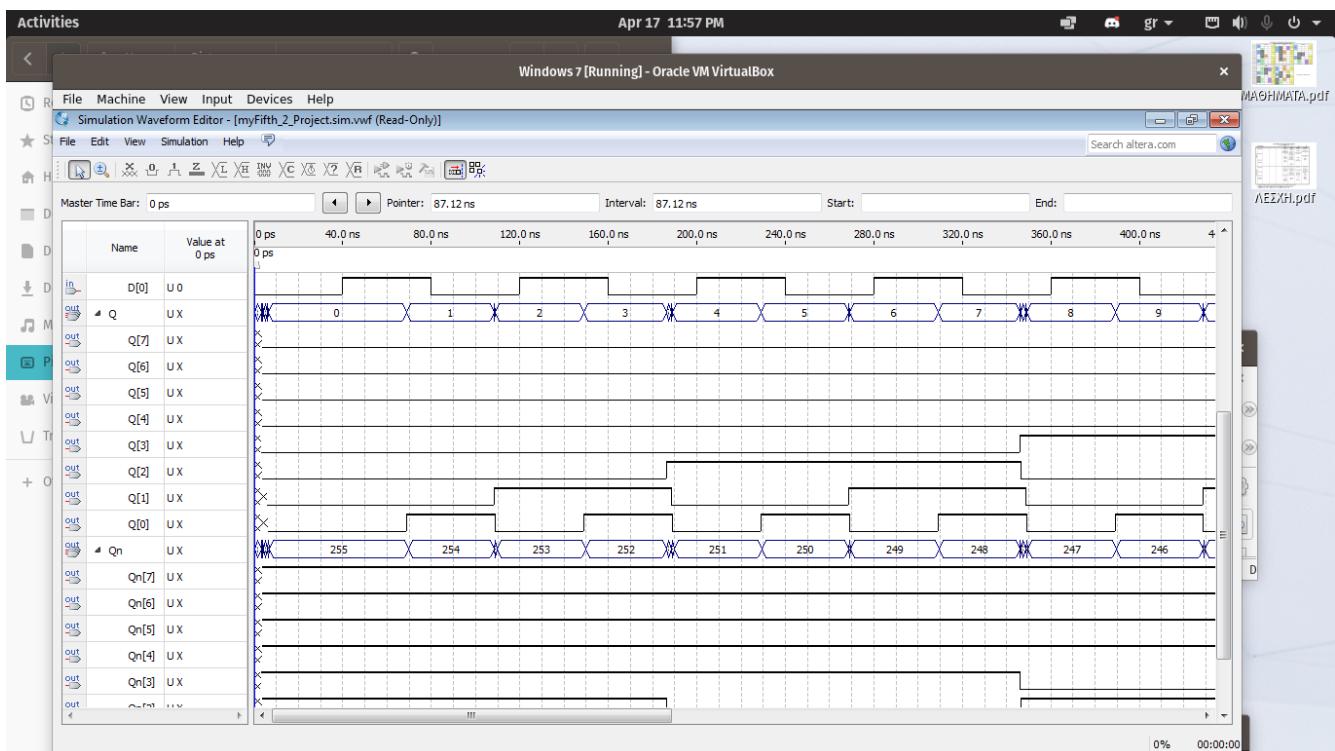
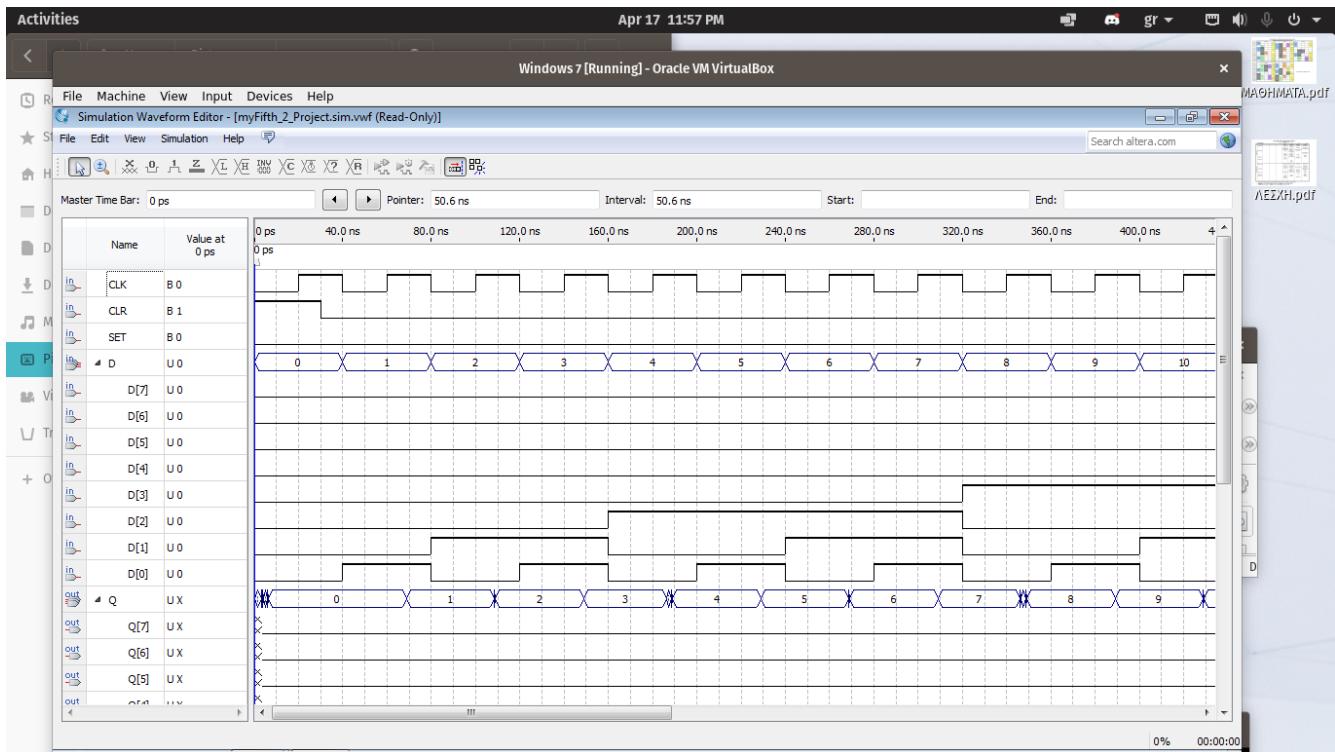
| | Input Port | Output Port | RR | RF | FR | FF |
|---|------------|-------------|---------|-------|-------|-------|
| 1 | CLR | Q[0] | | 7.254 | 7.254 | |
| 2 | CLR | Qn[0] | 7.951 | | | 7.951 |
| 3 | SET | Q[0] | 7.568 | | | 7.568 |
| 4 | SET | Qn[0] | [8.265] | 8.265 | | |

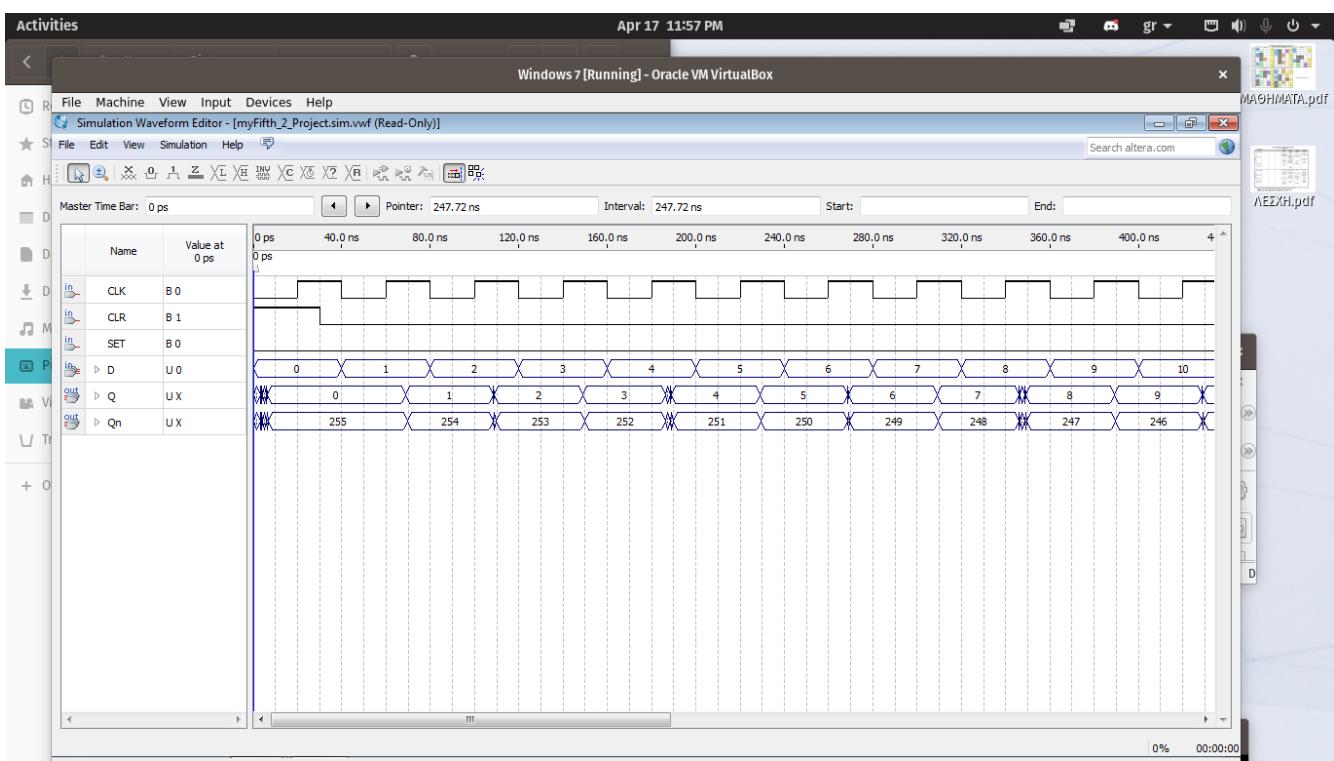
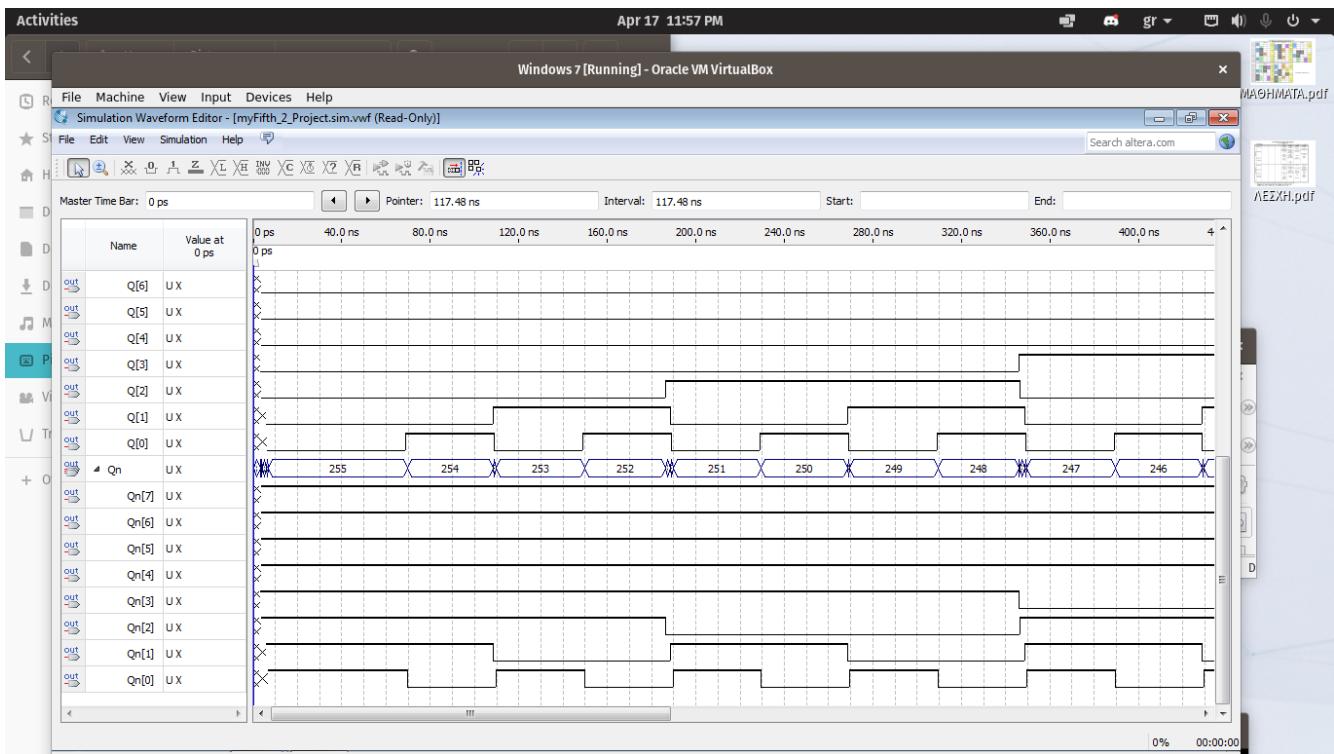
Table of Contents

- Flow Summary
- Flow Settings
- Flow Non-Default Global Settings
- Flow Elapsed Time
- Flow OS Summary
- Flow Log
- Analysis & Synthesis
- Fitter
- Assembler
- TimeQuest Timing Analyzer
 - Summary
 - Parallel Compilation
 - Clocks
 - Slow Model
 - Fmax Summary
 - Setup Summary
 - Hold Summary
 - Recovery Summary
 - Removal Summary
 - Minimum Pulse Width Summary
 - Worst-Case Timing Paths
 - Datasheet Report
 - Setup Times
 - Hold Times
 - Clock to Output Times

100% 00:00:13

Εκτελώντας χρονική εξομοίωση το κύκλωμα δουλεύει σωστά.
Για ευκολία αλλάξαμε από binary σε unsigned integer.

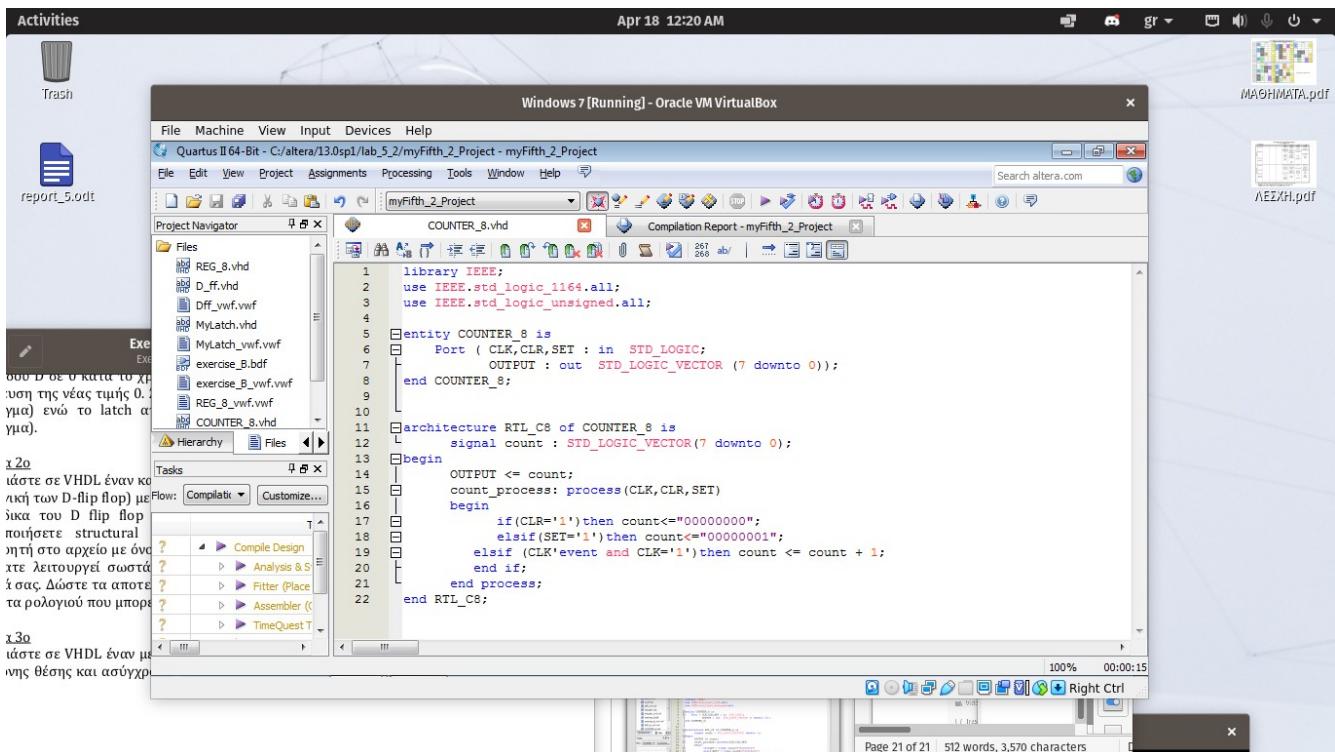




Η μέγιστη συχνότητα λειτουργίας του ρολογιού είναι περίπου ίση με
1/8.265ns=121MHz

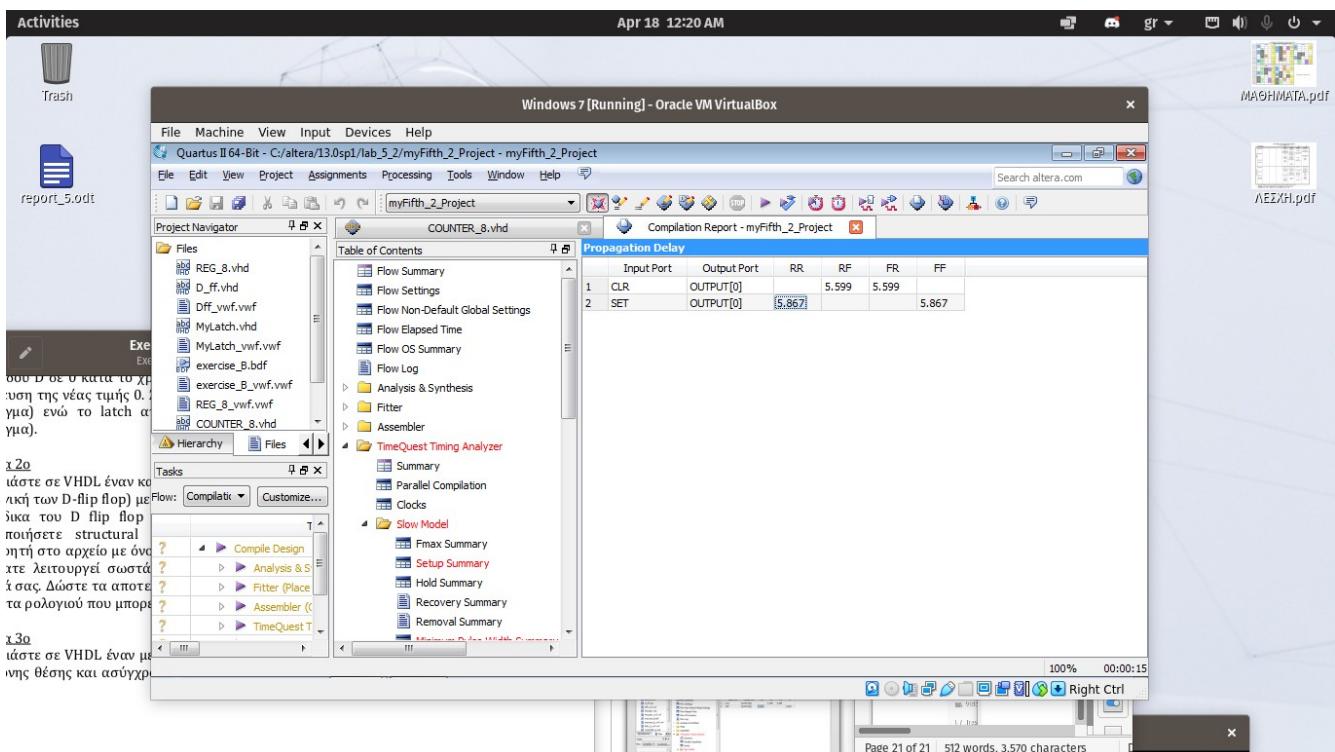
Ερώτημα 3ο

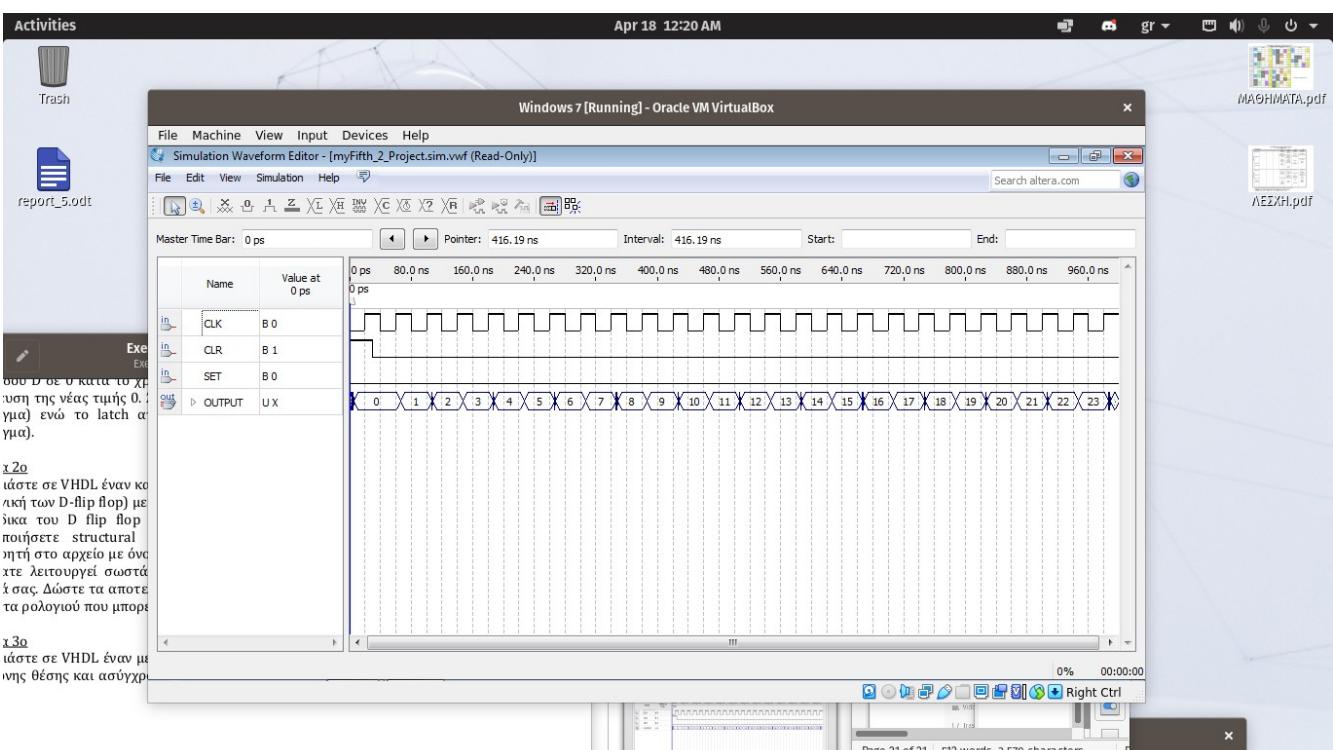
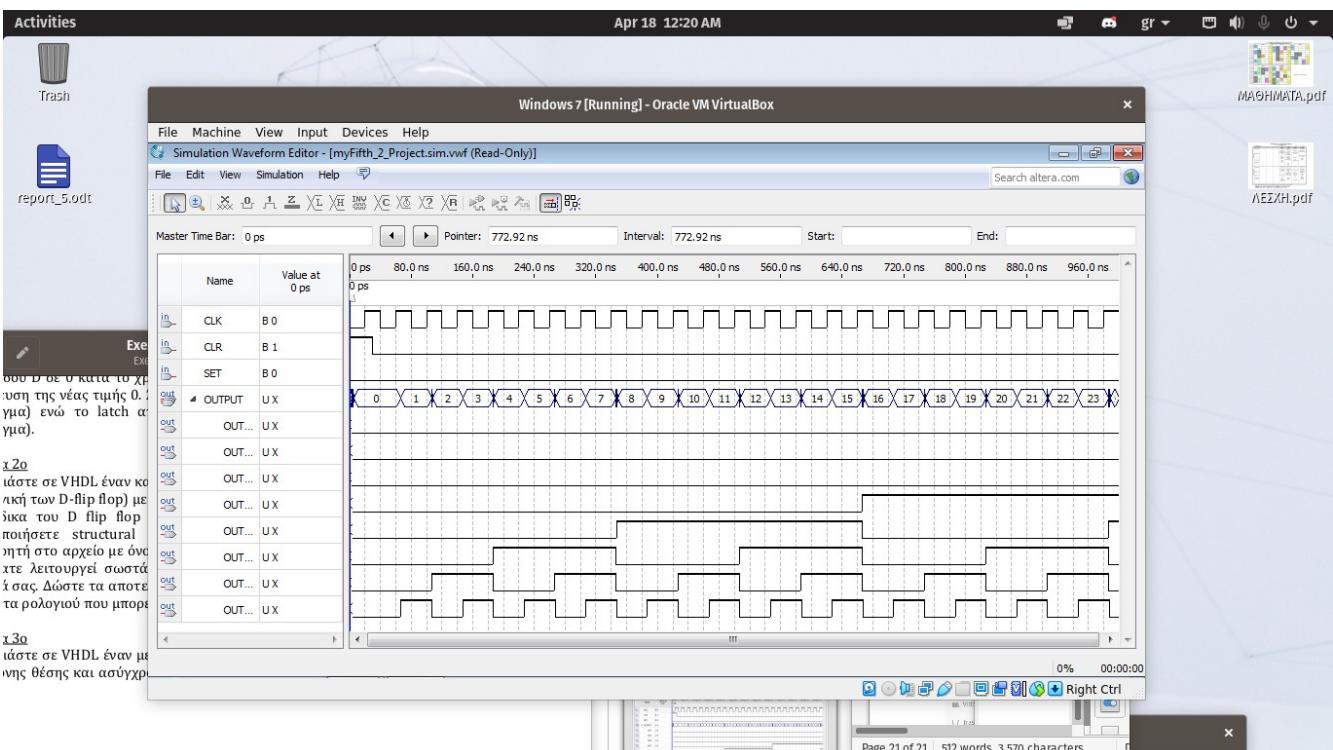
Οσον αφορά τον μετρητή των 8 bit που μετράει από το 0 μέχρι το 255 αυξάνοντας σε κάθε χτύπο του ρολογιού την υπάρχουσα τιμή κατά 1 ακολουθήσαμε την ίδια λογική με μετρητή από προηγούμενο εργαστήριο χρησιμοποιώντας επιπλέον μια νέα βιβλιοθήκη(use IEEE.std_logic_unsigned.all;) ώστε να μπορούμε να κάνουμε την πράξη της πρόσθεσης για την αύξηση κατά 1(στο δεκαδικό σύστημα) της ήδη υπάρχουσας τιμής.
Το κύκλωμα φαίνεται στην παρακάτω εικόνα με μέγιστη καθυστέρηση ίση με 5.867ns



Εκτελώντας χρονική εξομοίωση το κύκλωμα λειτουργεί σωστά όπως φαίνεται στις παρακάτω εικόνες.

Επιπλέον, χρησιμοποιήσαμε unsigned αναπαράσταση των δεδομένων για ευκολία.





Η μέγιστη συχνότητα λειτουργίας του ρολογιού είναι περίπου ίση με $1/5.867\text{ns}=170\text{MHz}$

