

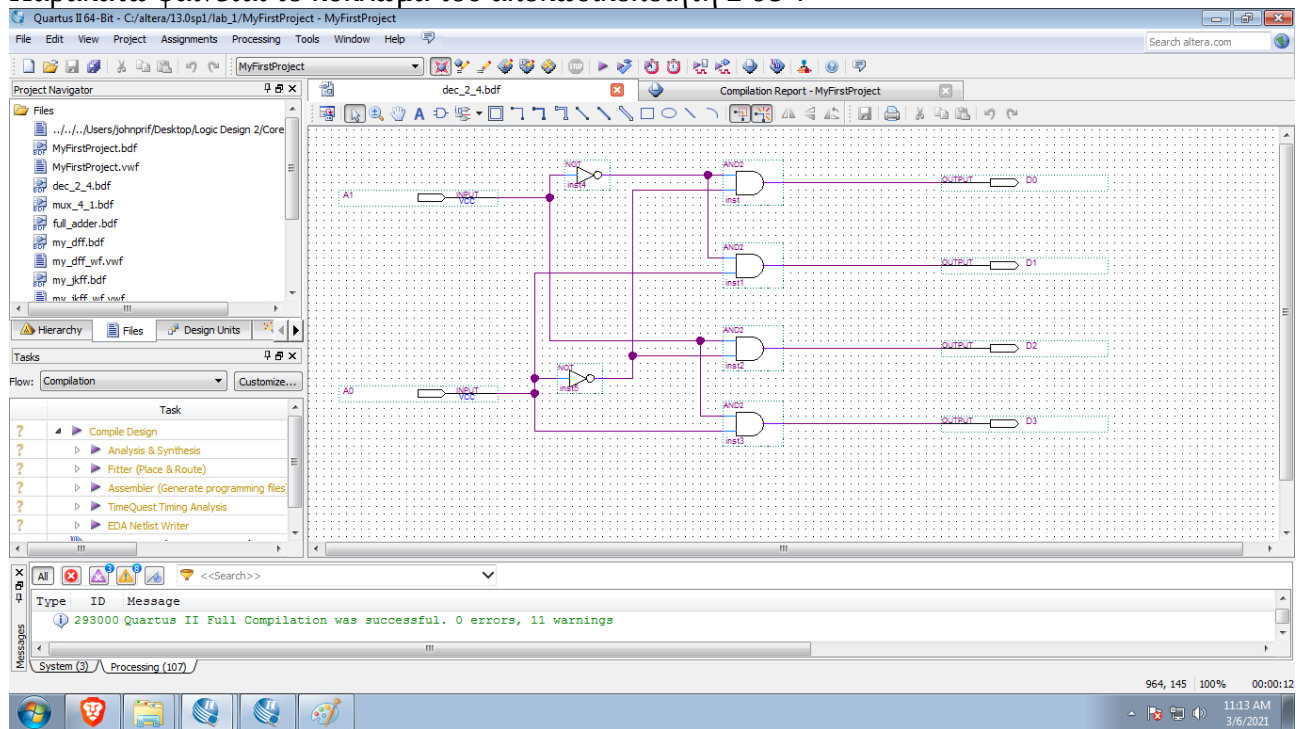
1η Εργαστηριακή Άσκηση

Πρίφτη Ιωάννης 3321
Γκότσης Βασίλης 3206

Μέρος 2ο (Βασικά Συνδυαστικά Κυκλώματα)

ΕΡΩΤΗΜΑ 1ο

Παρακάτω φαίνεται το κύκλωμα του αποκωδικοποιητή 2 σε 4



Εκτελώντας χρονική εξομοίωση παρατηρούμε ότι η μέγιστη καθυστέρηση είναι η παρακάτω:

Table of Contents

- Flow Log
- Analysis & Synthesis
- Fitter
- Assembler
- TimeQuest Timing Analyzer
 - Summary
 - Parallel Compilation
 - Clocks
 - Slow Model
 - Fmax Summary
 - Setup Summary
 - Hold Summary
 - Recovery Summary
 - Removal Summary
 - Minimum Pulse Width Sum
 - Datasheet Report
 - Propagation Delay
 - Minimum Propagation Delay
 - Fast Model
 - Multicorner Timing Analysis Summary
 - Multicorner Datasheet Report
 - Clock Transfers

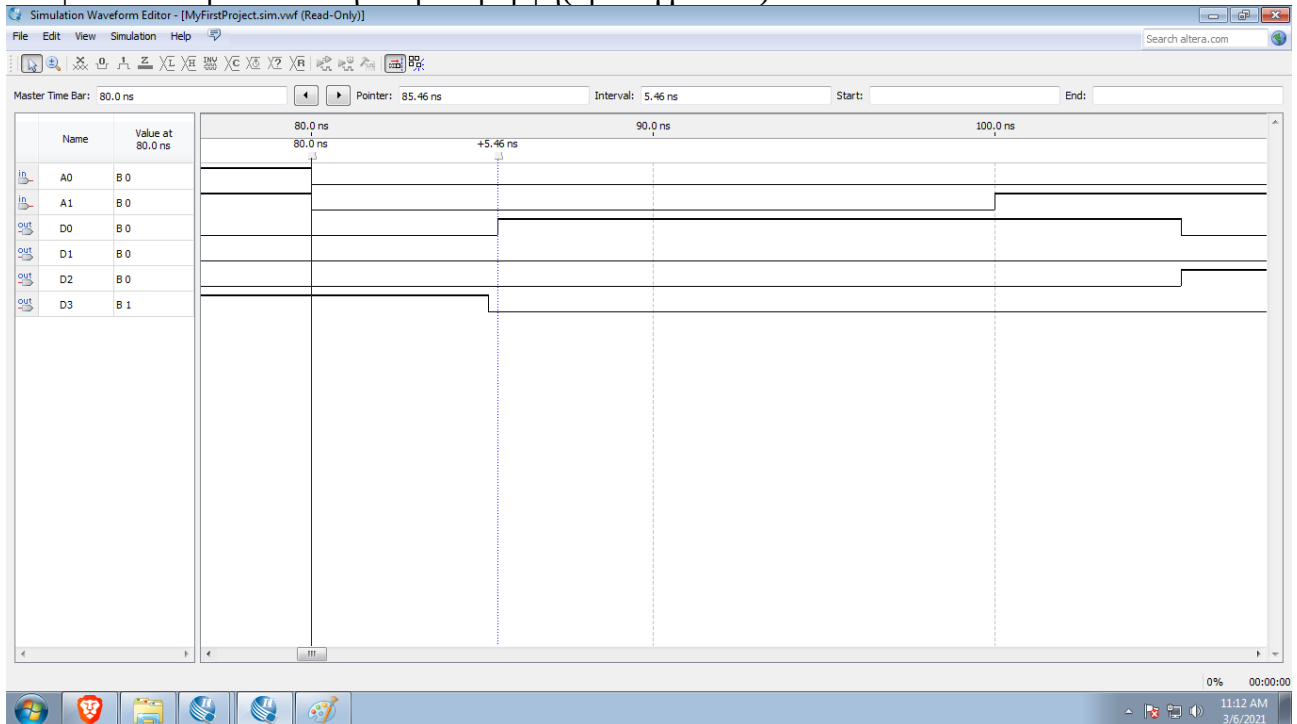
Propagation Delay

Input Port	Output Port	RR	RF	FR	FF
1 A0	D0		5.184	5.184	
2 A0	D1		5.173		5.173
3 A0	D2		5.169	5.169	
4 A0	D3		5.177		5.177
5 A1	D0		5.458	5.458	
6 A1	D1		5.398	5.398	
7 A1	D2		5.442		5.442
8 A1	D3		5.425		5.425

Messages

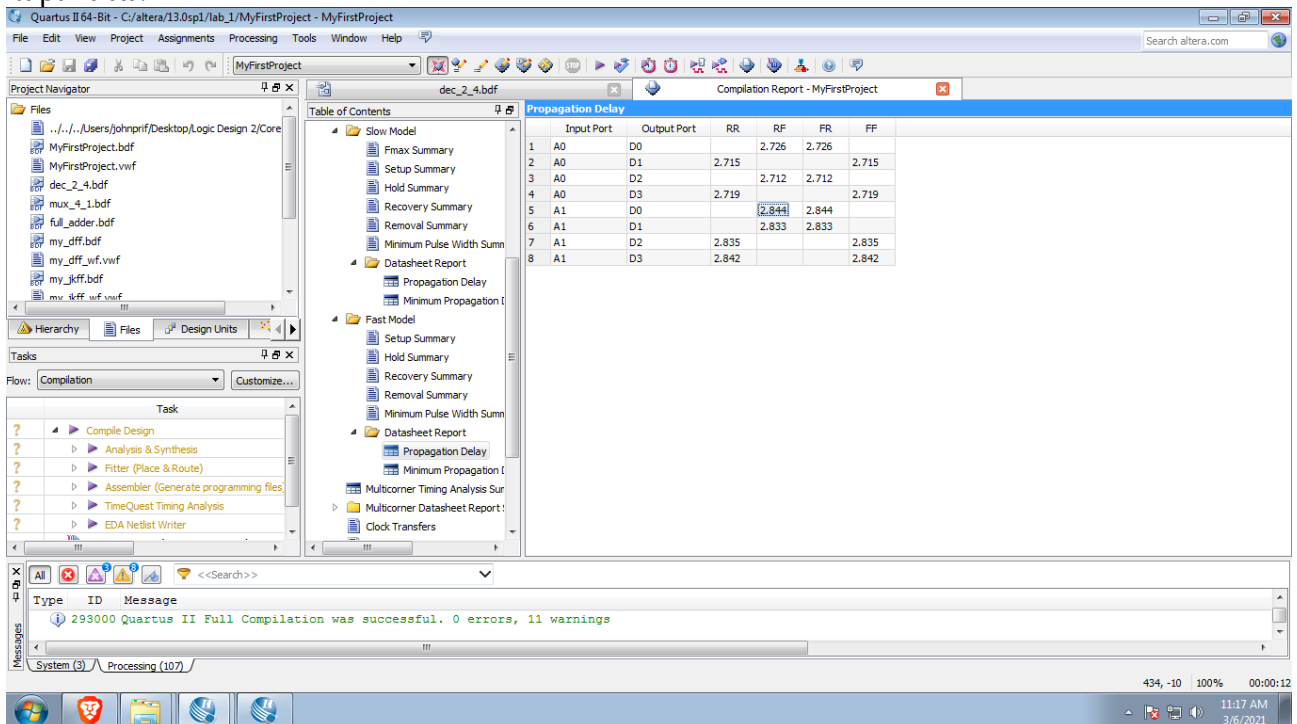
Type	ID	Message
Information	293000	Quartus II Full Compilation was successful. 0 errors, 11 warnings

Ποιά συγκεκριμένα είναι 4,458 ns απο την είσοδο A1 στην έξοδο D0 και φαίνεται παρακάτω στην κυματομορφή(προσεγγιστικά):



Το κύκλωμα λειτουργεί σωστά για όλες τις πιθανές εισόδους(πίνακας αληθείας) απλά δεν μπορέσαμε να συμπεριλάβουμε την πλήρη κυματομορφή για τον λόγω ότι δεν μπορούσαμε να προσεγγίσουμε αρκετά καλά με τα time bars.

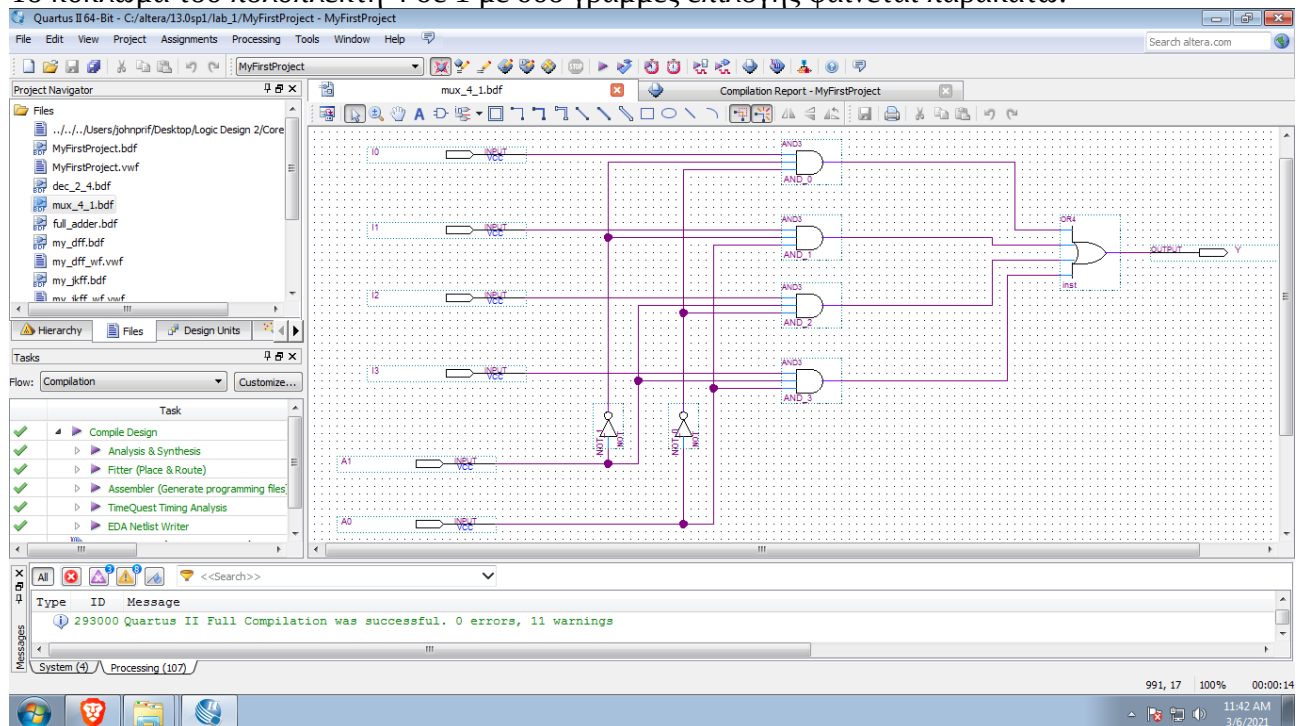
Εκτελώντας στατική εξομοίωση παρατηρούμε ότι η μέγιστη καθυστέρηση (2,844 ns)είναι μικρότερη σε σχέση με την μέγιστη καθυστέρηση της χρονικής εξομοίωσης όπως φαίνεται παρακάτω:



Αυτό συμβαίνει γιατί στην χρονική εξομοίωση συμπεριλαμβάνονται και άλλες καθυστερήσεις που δεν συμπεριλαμβάνονται στην στατική εξομοίωση.

ΕΡΩΤΗΜΑ 2ο

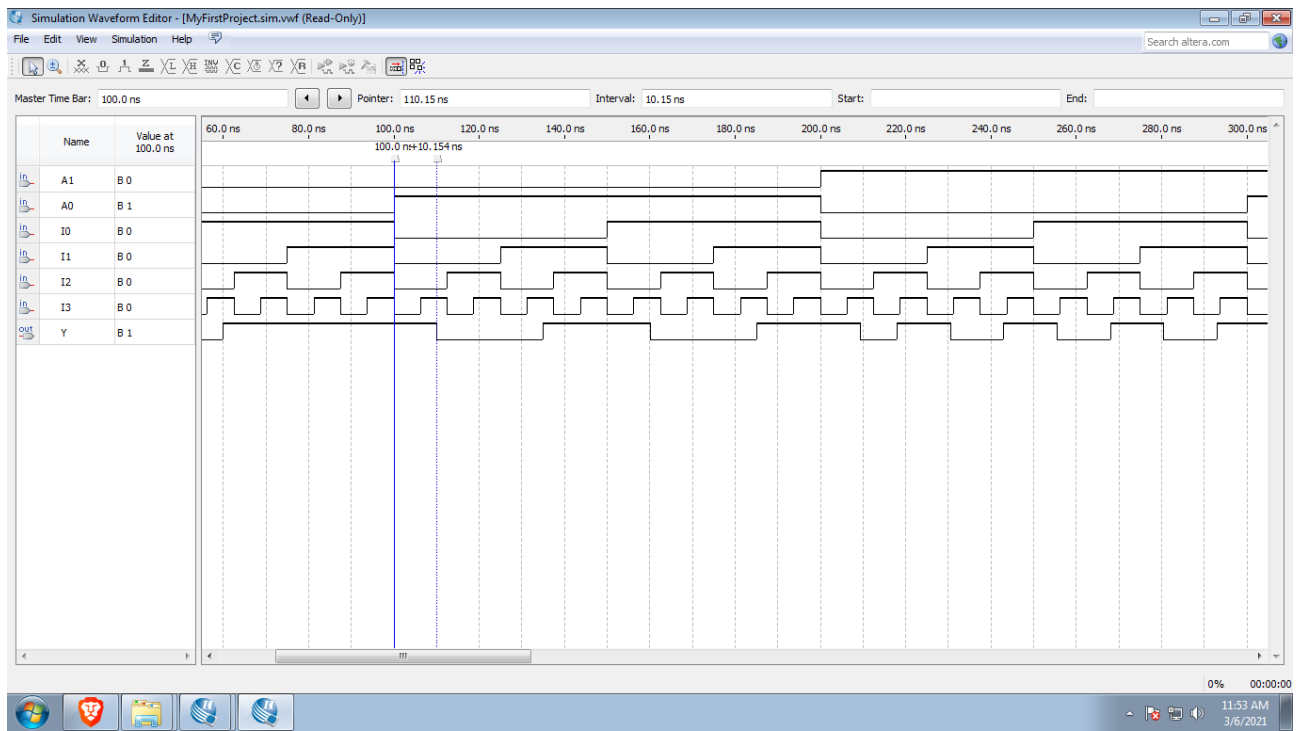
Το κύκλωμα του πολυπλέκτη 4 σε 1 με δύο γραμμές επιλογής φαίνεται παρακάτω:



Εκτελώντας χρονική εξομοίωση η μέγιστη καθυστέρηση είναι 10.156 ns απο την είσοδο A0 προς την έξοδο Y όπως φαίνεται παρακάτω:

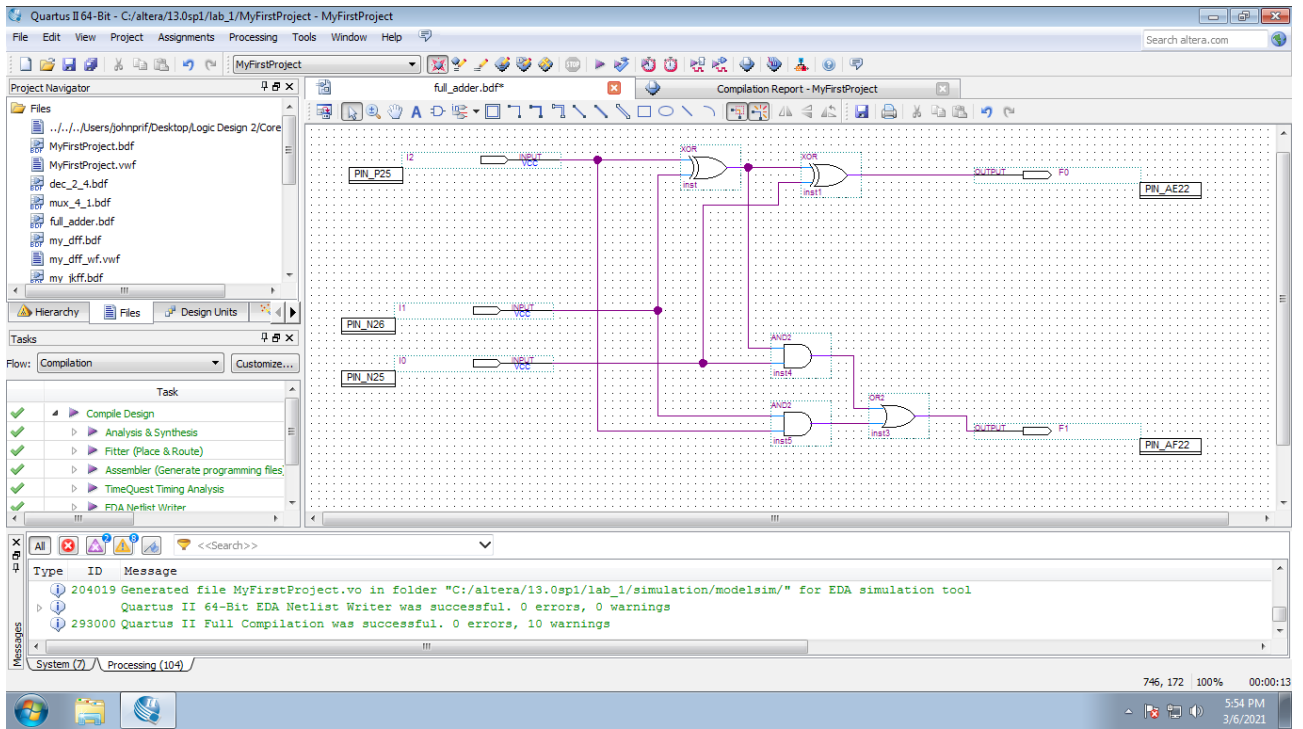
The screenshot displays the Quartus II 64-bit interface for a project named 'MyFirstProject'. The main window shows the 'TimeQuest Timing Analyzer' report for the circuit 'mux_4_1.bdf'. The report includes a table of propagation delays for various input/output pairs. The maximum delay is 10.156 ns for the path from input A0 to output Y.

Input Port	Output Port	RR	RF	FR	FF
1 A0	Y	10.156	10.156	10.156	10.156
2 A1	Y	6.046	6.046	6.046	6.046
3 10	Y	9.964	9.964	9.964	9.964
4 11	Y	10.094	10.094	10.094	10.094
5 12	Y	5.500			5.500
6 13	Y	9.481			9.481



ΕΡΩΤΗΜΑ 3ο

Το κύκλωμα του πλήρη αθροιστή φαίνεται παρακάτω:



Εκτελώντας χρονική εξομοίωση η μέγιστη καθυστέρηση είναι 6.813 ns από την είσοδο I1 προς την έξοδο F1 όπως φαίνεται παρακάτω:

Quartus II 64-Bit - C:/altera/13.0sp1/lab_1/MyFirstProject - MyFirstProject

Project Navigator: MyFirstProject

Files: MyFirstProject.bdf, MyFirstProject.vwf, dec_2_4.bdf, mux_4_1.bdf, full_adder.bdf, my_dff.bdf, my_dff.vwf, my_kff.bdf

Tasks: Compile Design, Analysis & Synthesis, Fitter (Place & Route), Assembler (Generate programming files), TimeQuest Timing Analysis, EDA Netlist Writer

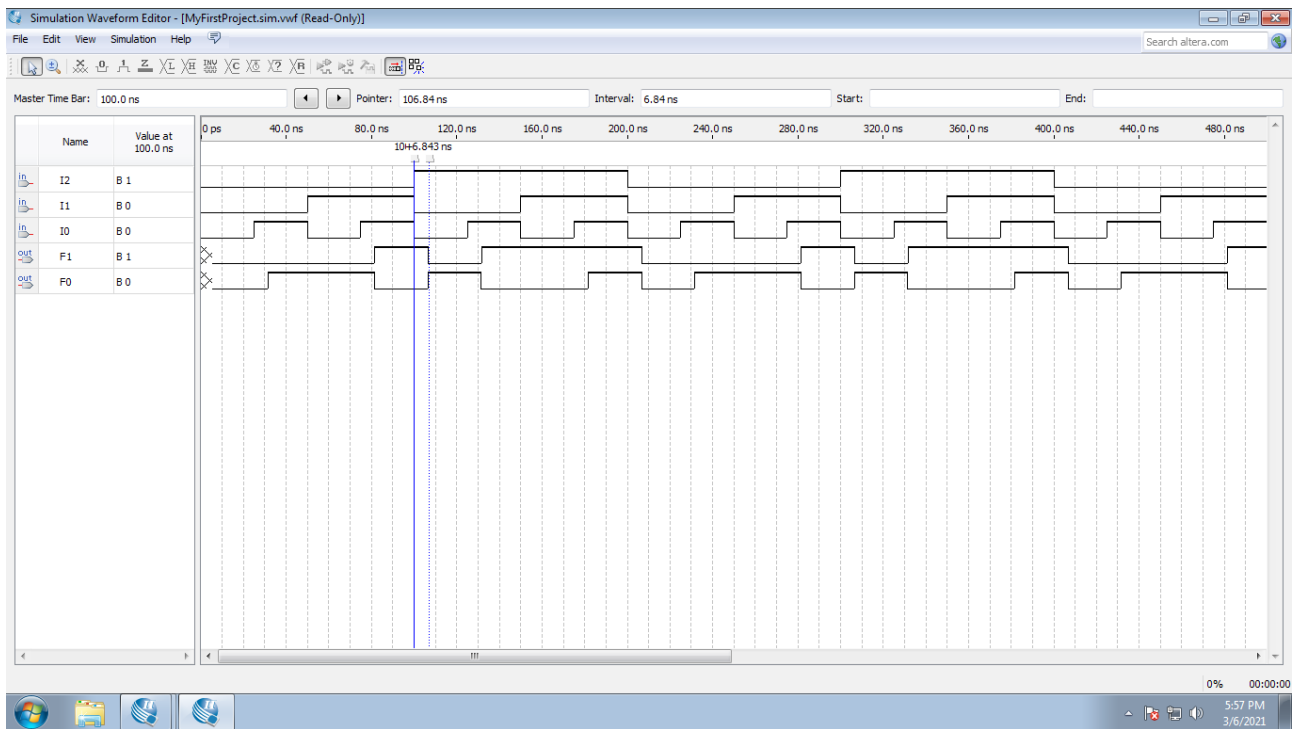
Messages:

```

Type ID Message
204019 Generated file MyFirstProject.vo in folder "C:/altera/13.0sp1/lab_1/simulation/modelsim/" for EDA simulation tool
Quartus II 64-Bit EDA Netlist Writer was successful. 0 errors, 0 warnings
293000 Quartus II Full Compilation was successful. 0 errors, 10 warnings
  
```

System (7) / Processing (104) / 86, -18 100% 00:00:13 5:56 PM 3/6/2021

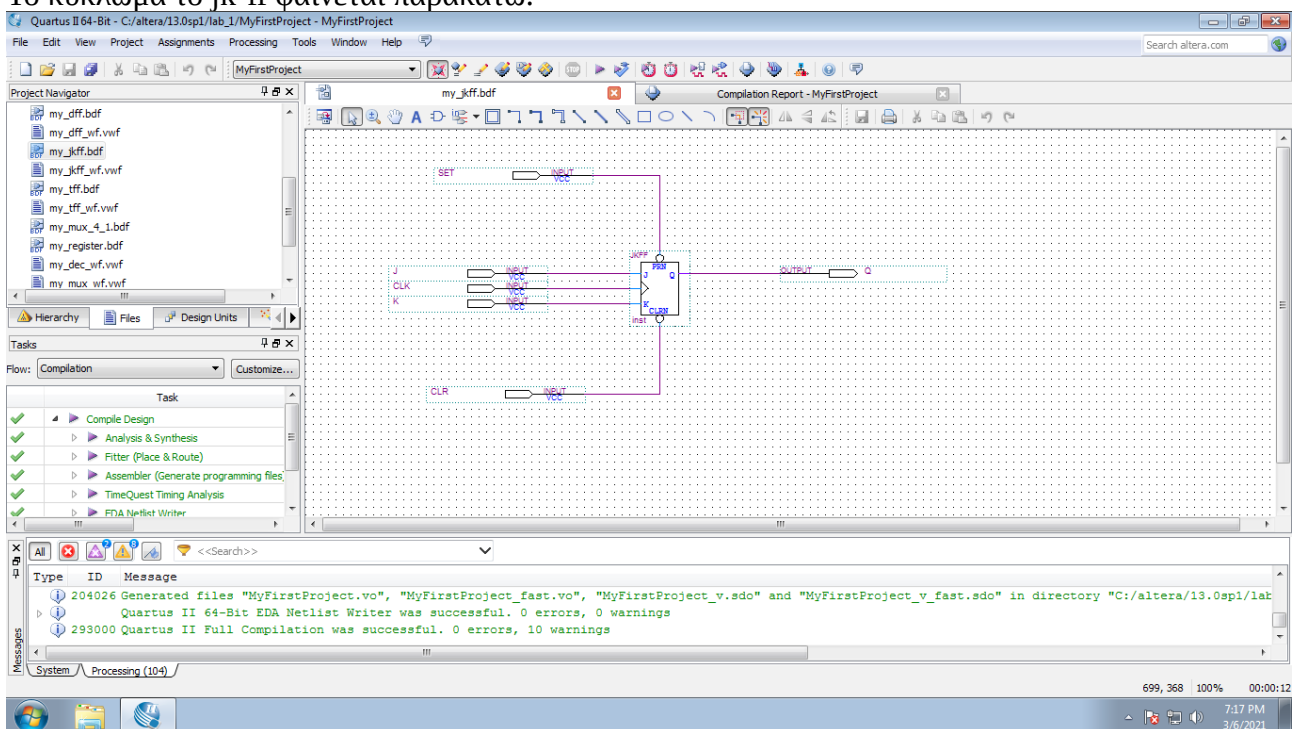
Propagation Delay						
	Input Port	Output Port	RR	RF	FR	FF
1	I0	F0	6.516	6.516	6.516	6.516
2	I0	F1	6.633			6.633
3	I1	F0	6.693	6.693	6.693	6.693
4	I1	F1	6.813			6.813
5	I2	F0	6.381	6.381	6.381	6.381
6	I2	F1	6.503			6.503



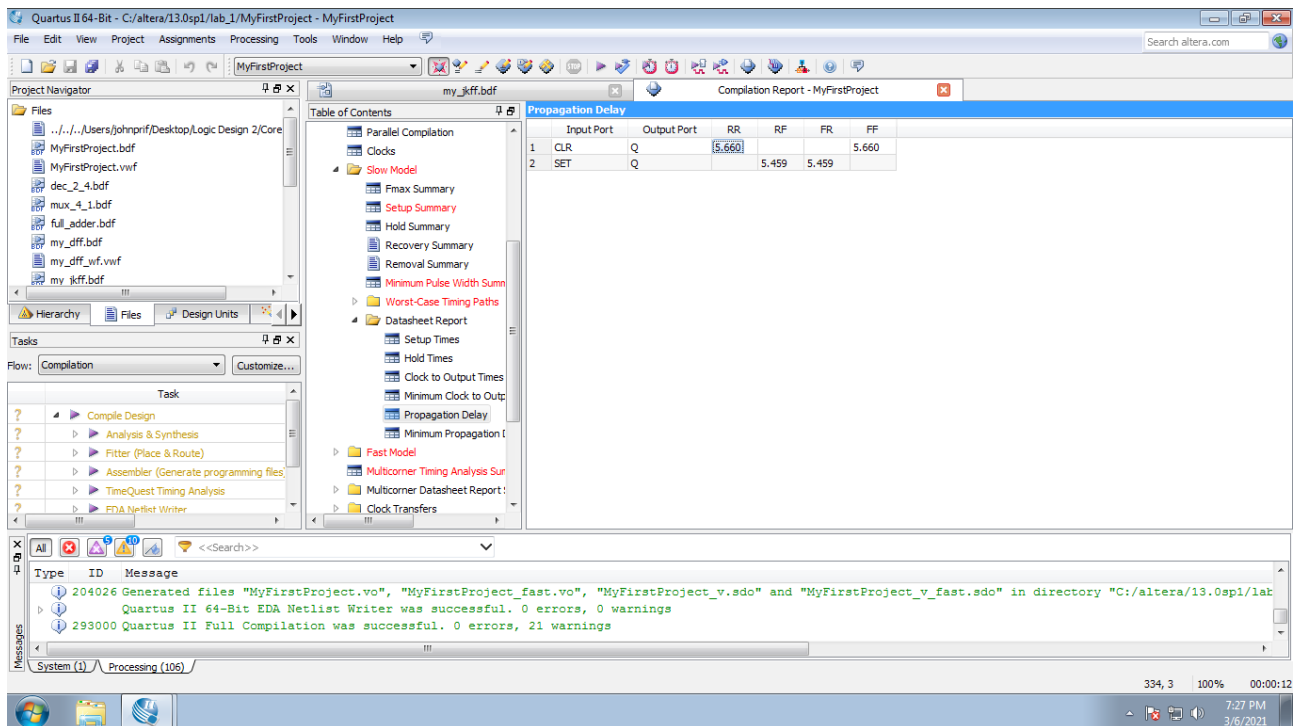
Μέρος 2ο(Βασικά Ακολουθιακά Κυκλώματα)

ΕΡΩΤΗΜΑ 2ο

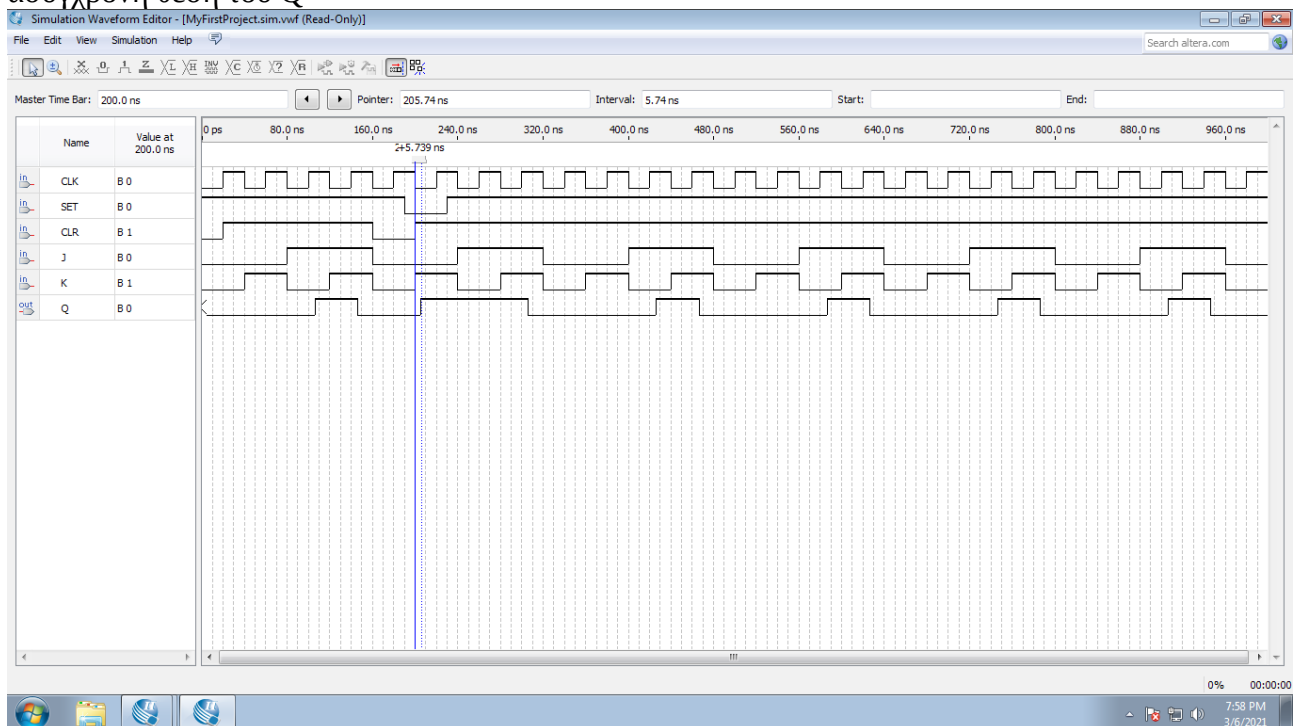
Το κύκλωμα το jk-ff φαίνεται παρακάτω:



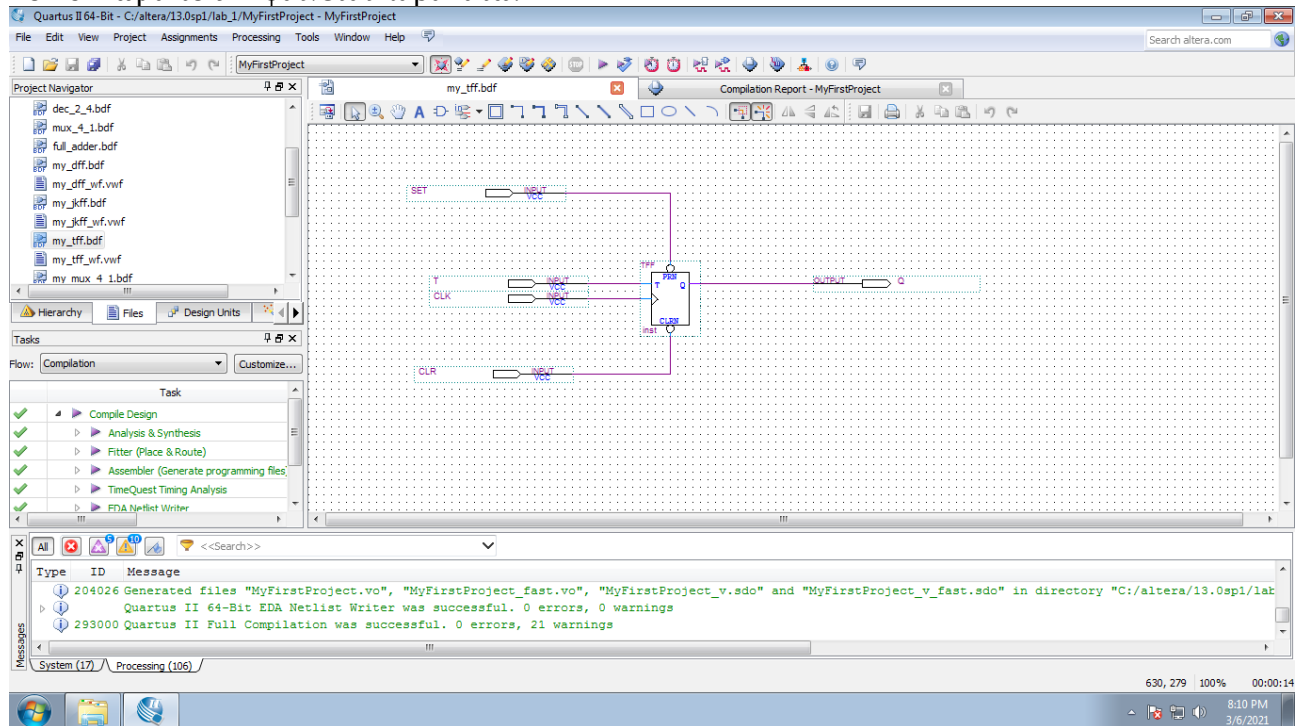
Εκτελώντας χρονική εξομοίωση η μέγιστη καθυστέρηση είναι 5.660 ns από την είσοδο CLR προς την έξοδο Q όπως φαίνεται παρακάτω:



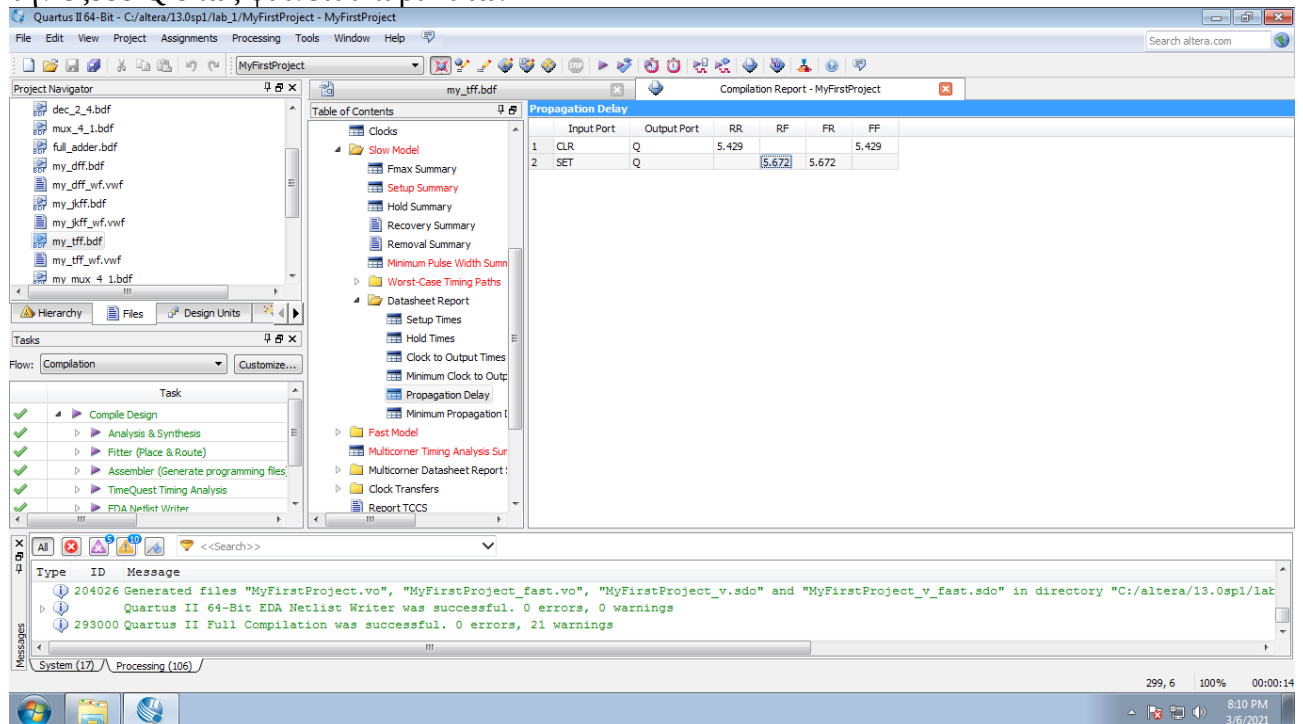
Θέτουμε το CLR=0 τη χρονική στιγμή από 160ns-200ns έτσι ώστε να προκύψει ασύγχρονος μηδενισμός της εξόδου Q
Επιπλέον, θέτουμε ο SET=0 τη χρονική στιγμή από 190ns-230ns έτσι ώστε να προκύψει ασύγχρονη θέση του Q

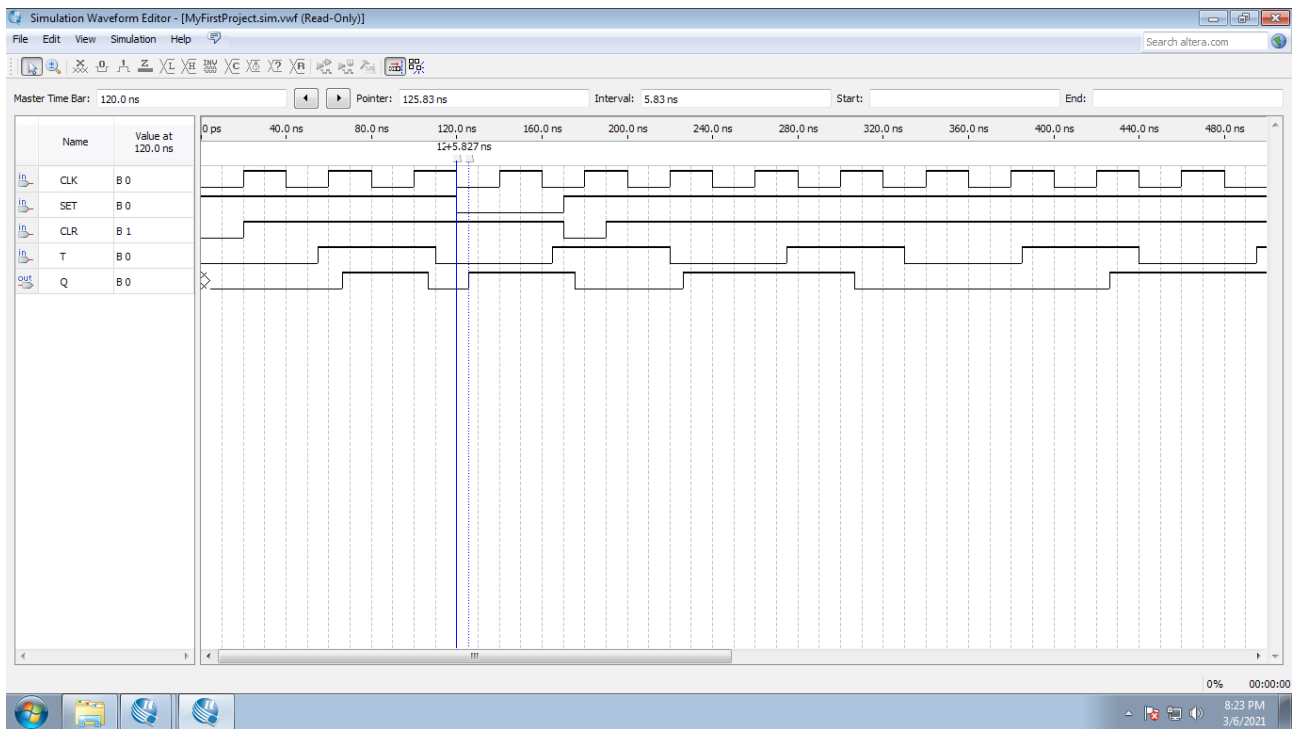


Το κύκλωμα το t-ff φαίνεται παρακάτω:



Εκτελώντας χρονική εξομοίωση η μέγιστη καθυστέρηση είναι 5.672 ns από την είσοδο SET προς την έξοδο Q όπως φαίνεται παρακάτω:

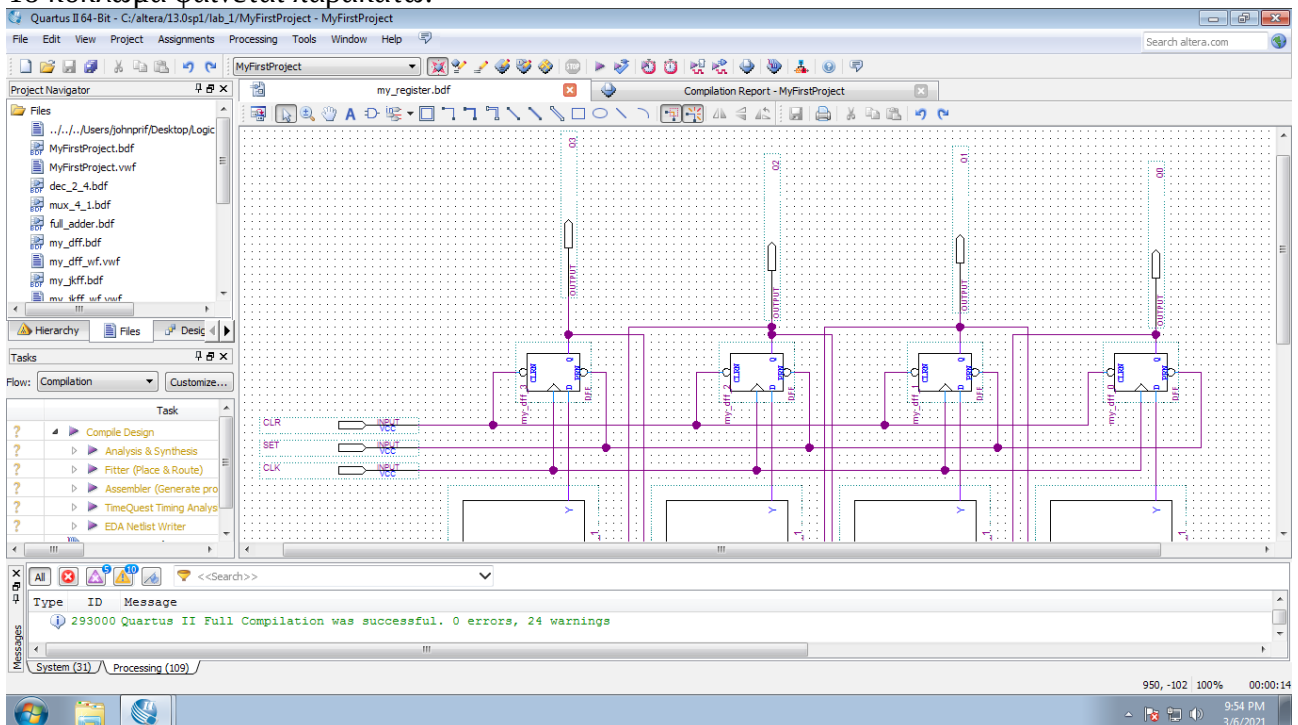


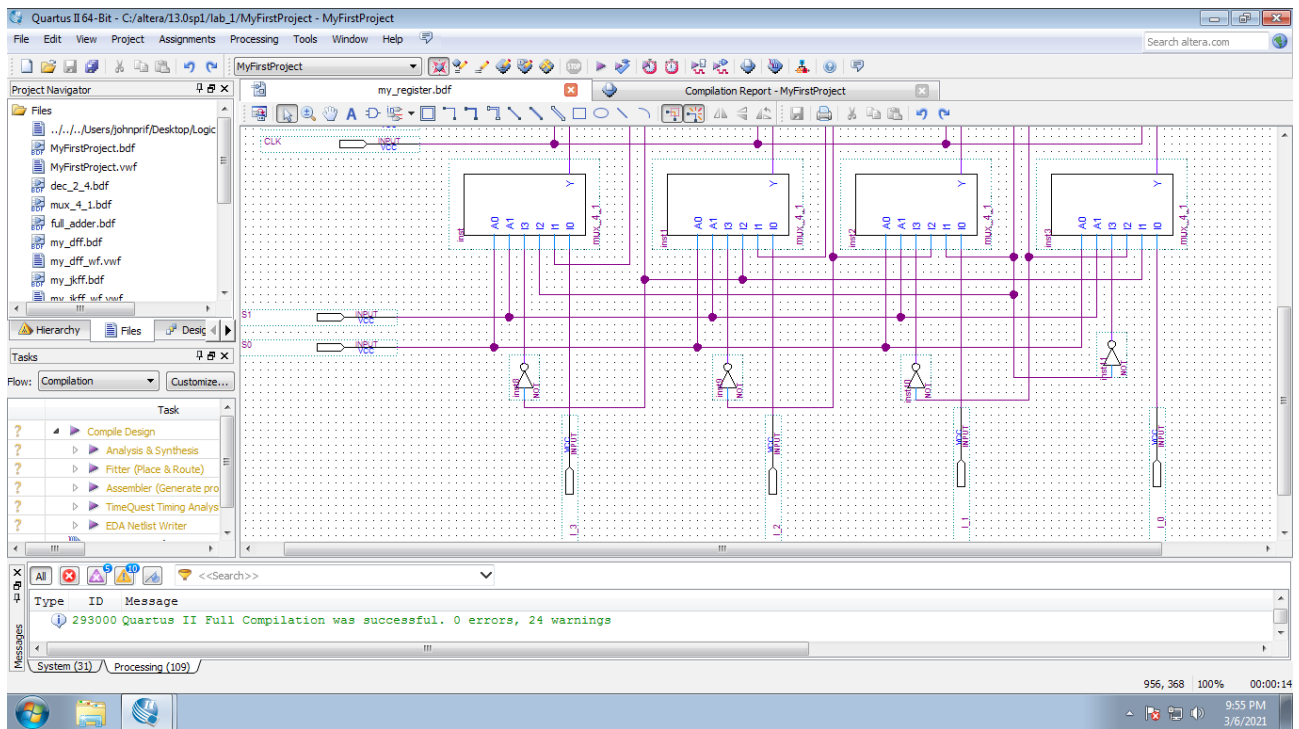


ΕΡΩΤΗΜΑ 3ο

Για την σχεδίαση αυτού του καταχωρητή χρησιμοποιήθηκε ο πολυπλέκτης που σχεδιάσαμε σε προηγούμενο ερώτημα το οποίο και πακετάραμε σε ένα κουτάκι για λόγους ευκολίας και χρηστικότητας.

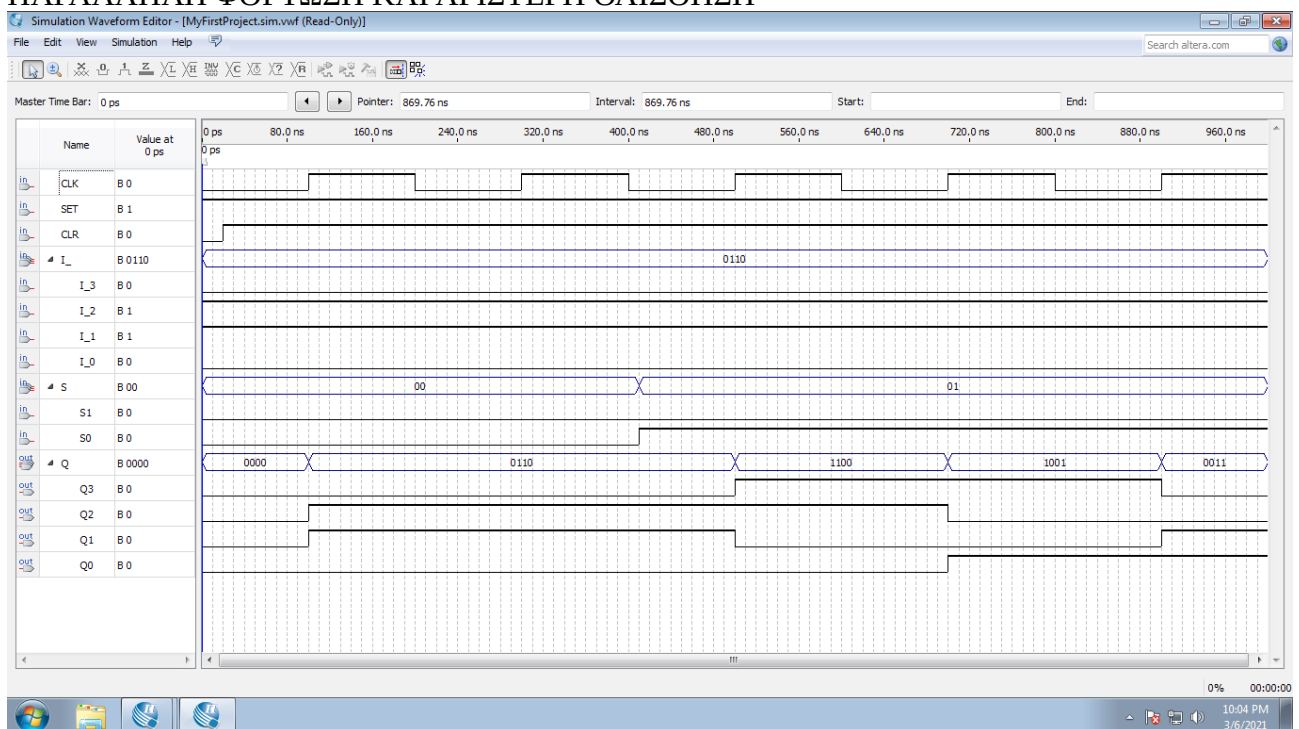
Το κύκλωμα φαίνεται παρακάτω:





Όσον αφορά τις ολισθήσεις το φτιάξαμε με τέτοιο τρόπο ώστε να γίνονται κυκλικά. Παρακάτω παραθέτουμε μια προς μια τις λειτουργίες του κάνοντας στατική ανάλυση χάρην ευκολίας:

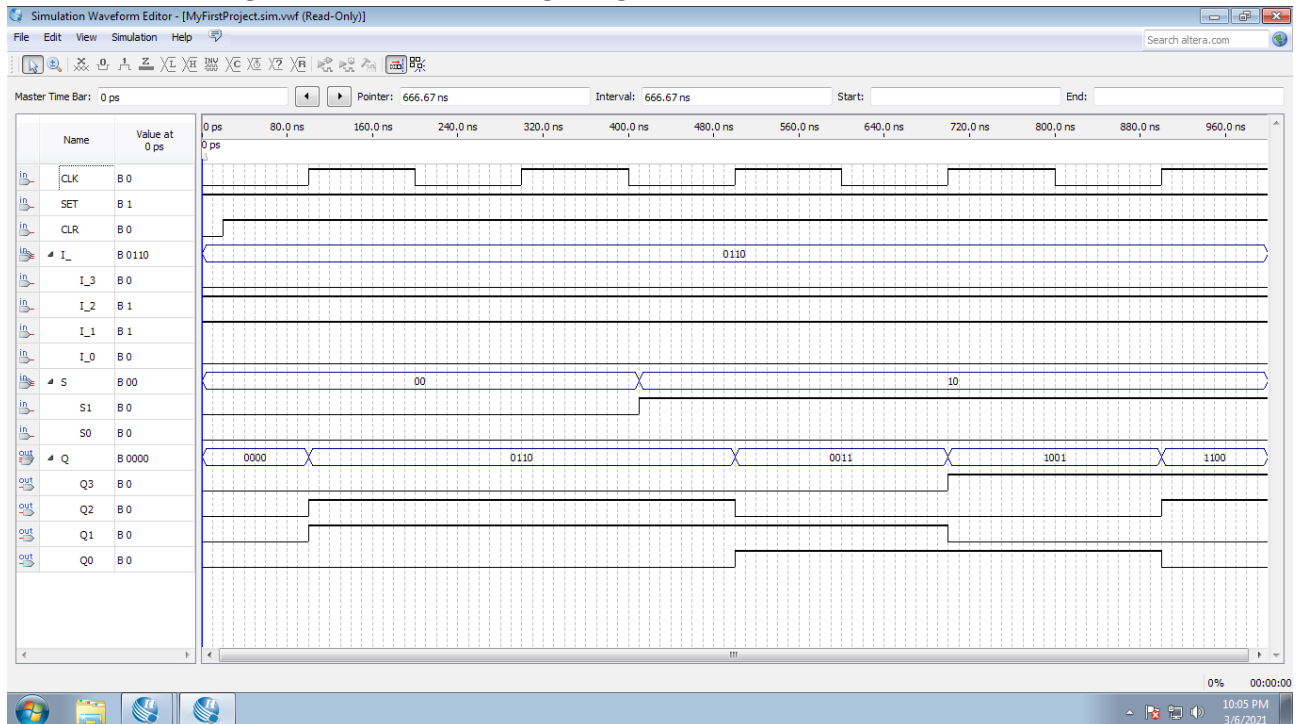
ΠΑΡΑΛΛΗΛΗ ΦΟΡΤΩΣΗ ΚΑΙ ΑΡΙΣΤΕΡΗ ΟΛΙΣΘΗΣΗ



Σε πρώτη φάση φορτώνοντας παράλληλα ($S1=0$ $S0=0$) την τιμή τυχαία 0110 παρατηρούμε να εμφανίζεται κανονικά στις εξόδους ($Q3..0$)

Σε δεύτερη φάση επιλέγοντας την αριστερή ολίσθηση ($S1=0$ $S0=1$) παρατηρούμε ότι εμφανίζεται διαδοχικά στις εξόδους του κυκλώματος κατά μια θέση αριστερά σε κάθε χτύπο του ρολογιού 0110 → 1100 → 1001 → 0011...

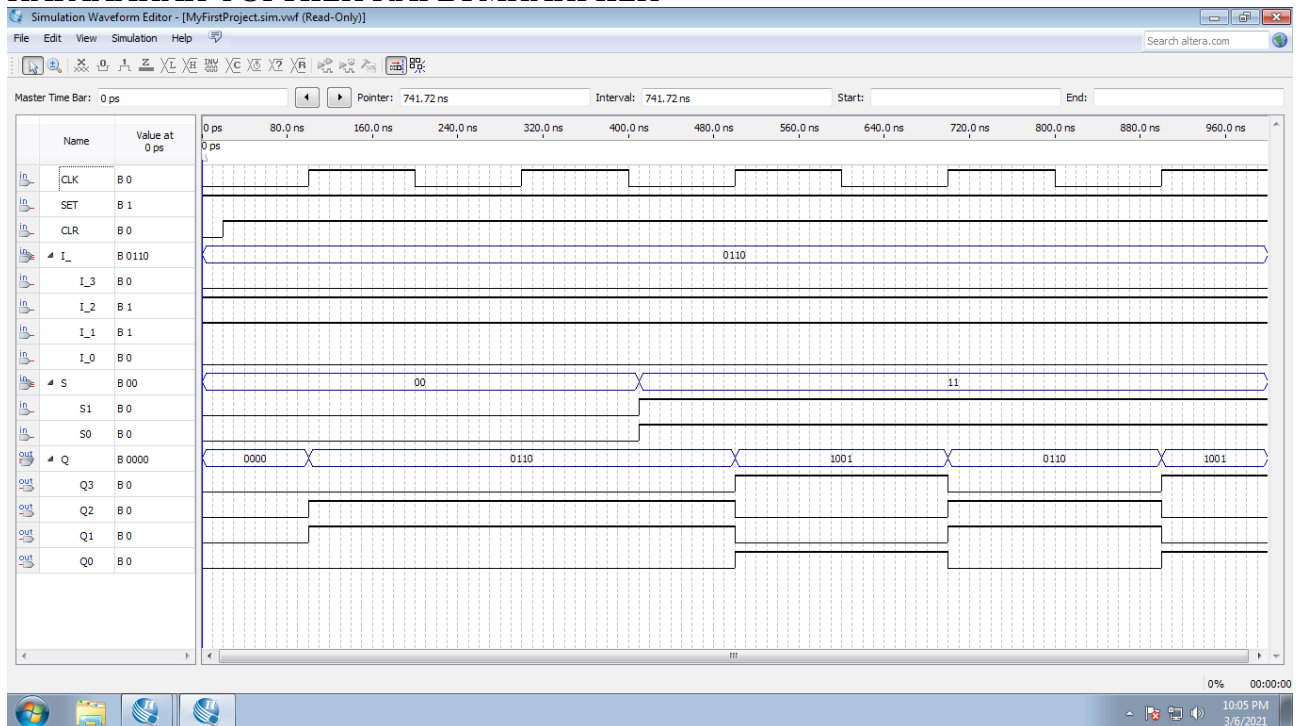
ΠΑΡΑΛΛΗΛΗ ΦΟΡΤΩΣΗ ΚΑΙ ΔΕΞΙΑ ΟΛΙΣΘΗΣΗ



Σε πρώτη φάση φορτώνοντας παράλληλα ($S1=0$ $S0=0$) την τιμή τυχαία 0110 παρατηρούμε να εμφανίζεται κανονικά στις εξόδους (Q3..0)

Σε δεύτερη φάση επιλέγοντας την δεξιά ολίσθηση ($S1=1$ $S0=0$) παρατηρούμε ότι εμφανίζεται διαδοχικά στις εξόδους του κυκλώματος κατά μια θέση δεξιά σε κάθε χτύπο του ρολογιού 0110 → 0011 → 1001 → 1100...

ΠΑΡΑΛΛΗΛΗ ΦΟΡΤΩΣΗ ΚΑΙ ΣΥΜΠΛΗΡΩΣΗ



σε πρώτη φάση φορτώνοντας παράλληλα ($S1=0$ $S0=0$) την τιμή τυχαία 0110 παρατηρούμε να εμφανίζεται κανονικά στις εξόδους (Q3..0)

Σε δεύτερη φάση επιλέγοντας την συμπλήρωση ($S1=1$ $S0=1$) παρατηρούμε ότι εμφανίζεται διαδοχικά στις εξόδους του κυκλώματος το συμπλήρωμα της εισόδου σε κάθε χτύπο του ρολογιού 0110 → 1001 → 0110 → 1001...

Τέλος, εκτελώντας χρονική εξομοίωση παρατηρούμε ότι η μέγιστη καθυστέρηση από την είσοδο CLR προς την έξοδο Q3 είναι 6.227 ns όπως φαίνεται παρακάτω:

