

Ψηφιακή Σχεδίαση 2

2^η Εργαστηριακή Άσκηση

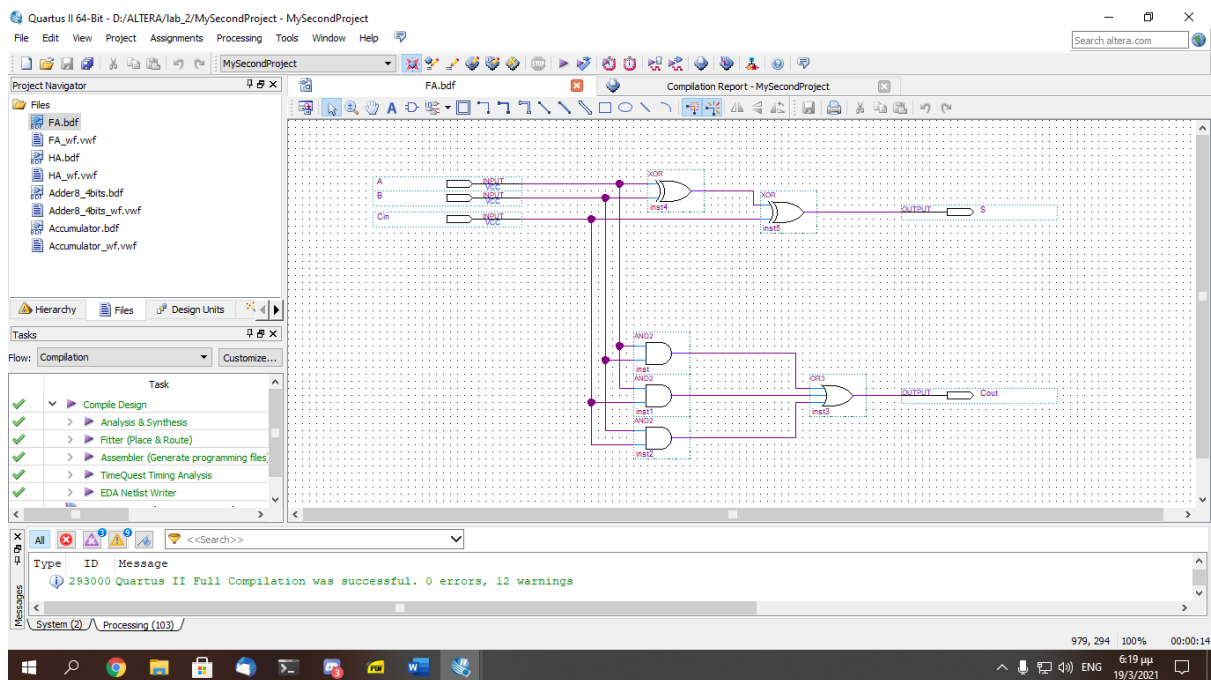
Γκότσης Βασίλης 3206

Πρίφτη Ιωάννης 3321

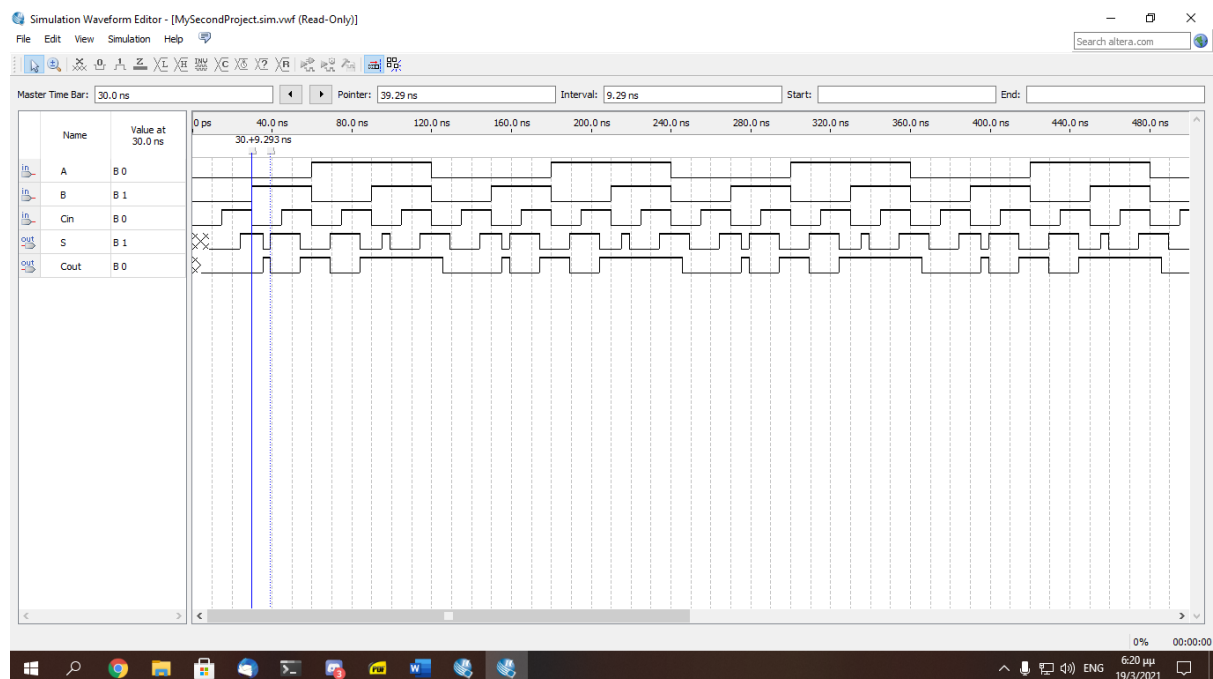
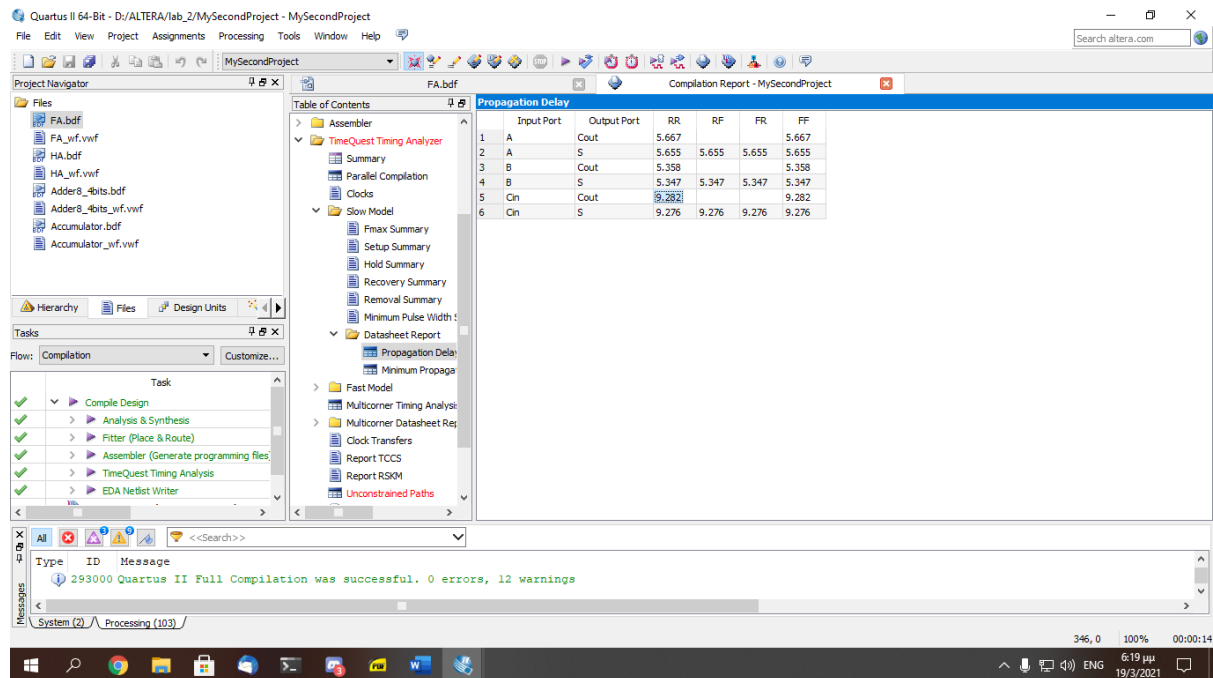
Στην παρακάτω εικόνα φαίνεται το κύκλωμα του **πλήρη αθροιστή** με εξισώσεις:

$$S = (\text{Cin} \text{ xor } (A \text{ xor } B))$$

$$\text{Cout} = (A * B + A * \text{Cin} + B * \text{Cin})$$



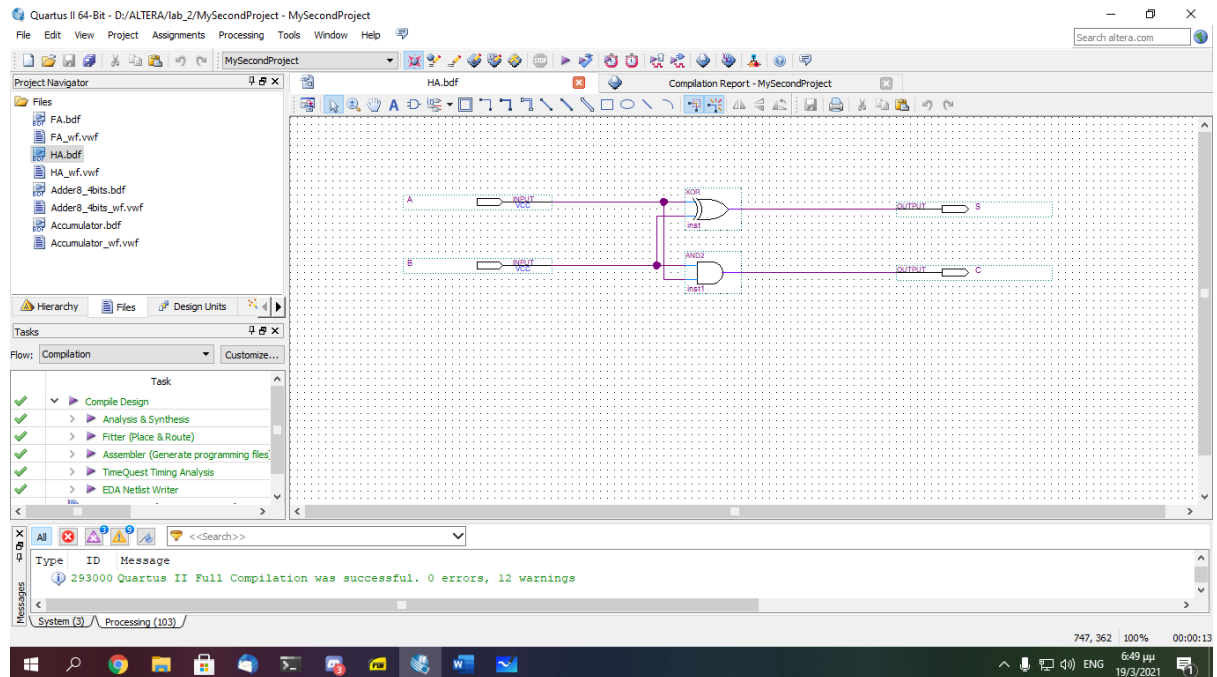
Εκτελώντας την χρονική εξομοίωση, το κύκλωμα παίρνει όλες τις δυνατές τιμές(βάζοντας τις αντίστοιχες τιμές στο countValue που δίνονται στην εκφώνηση στα αντίστοιχα σήματα εισόδου)για τις οποίες λειτουργεί σωστά με μέγιστη καθυστέρηση 9.282ns από την είσοδο Cin στην έξοδο Cout, όπως φαίνεται στις παρακάτω εικόνες:



Στην παρακάτω εικόνα φαίνεται το κύκλωμα του ήμι-αθροιστή με εξισώσεις:

$$S = (A \text{ xor } B)$$

$$C = A * B$$



Εκτελώντας την χρονική εξομοίωση, το κύκλωμα παίρνει όλες τις δυνατές τιμές(βάζοντας τις αντίστοιχες τιμές στο countValue που δίνονται στην εκφώνηση στα αντίστοιχα σήματα εισόδου)για τις οποίες λειτουργεί σωστά με μέγιστη καθυστέρηση 5.431ns από την είσοδο B στην έξοδο C, όπως φαίνεται στις παρακάτω εικόνες:

Quartus II 64-Bit - D:/ALTERA/lab_2/MySecondProject - MySecondProject

File Edit View Project Assignments Processing Tools Window Help

Project Navigator

Files

- FA.bdf
- FA_vwf.vwf
- HA.bdf
- HA_vwf.vwf
- Adder8_4bits.bdf
- Adder8_4bits_vwf.vwf
- Accumulator.bdf
- Accumulator_vwf.vwf

Hierarchy Files Design Units

Tasks

Flow: Compilation Customize...

Task

- Compile Design
- Analysis & Synthesis
- Fitter (Place & Route)
- Assembler (Generate programming files)
- TimeQuest Timing Analysis
- EDA Netlist Writer

Messages

293000 Quartus II Full Compilation was successful. 0 errors, 12 warnings

System (3) / Processing (103) /

408,0 100% 00:00:13

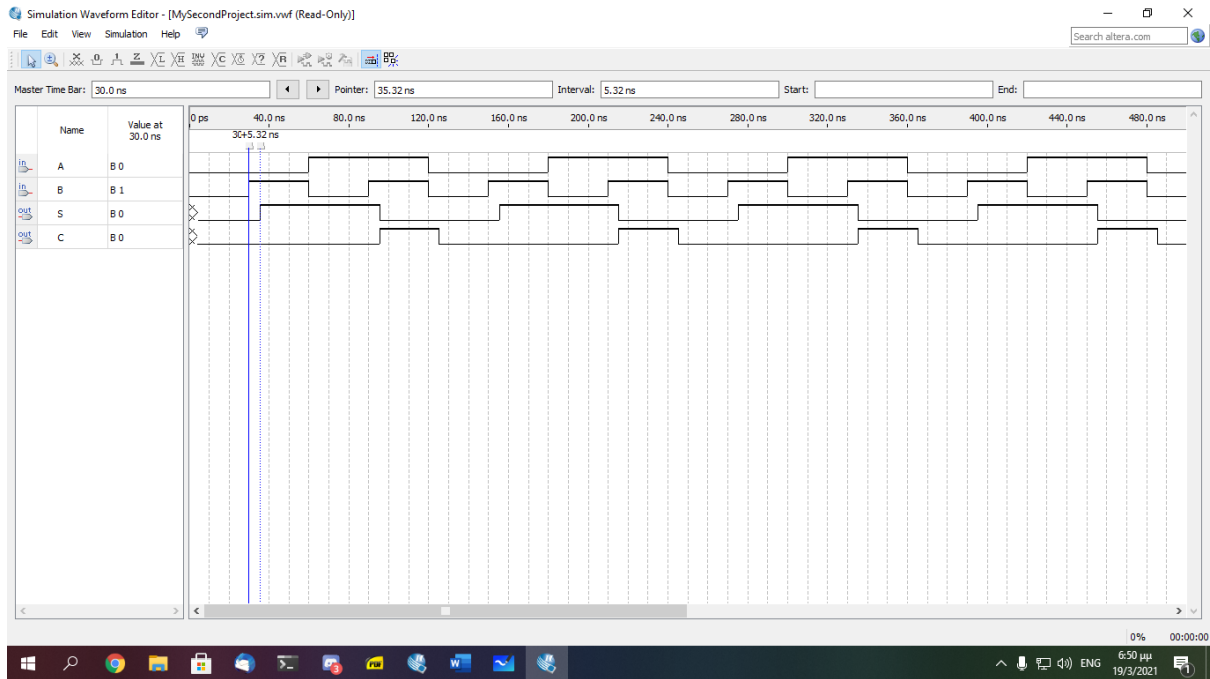
6:50 μμ 19/3/2021

Table of Contents

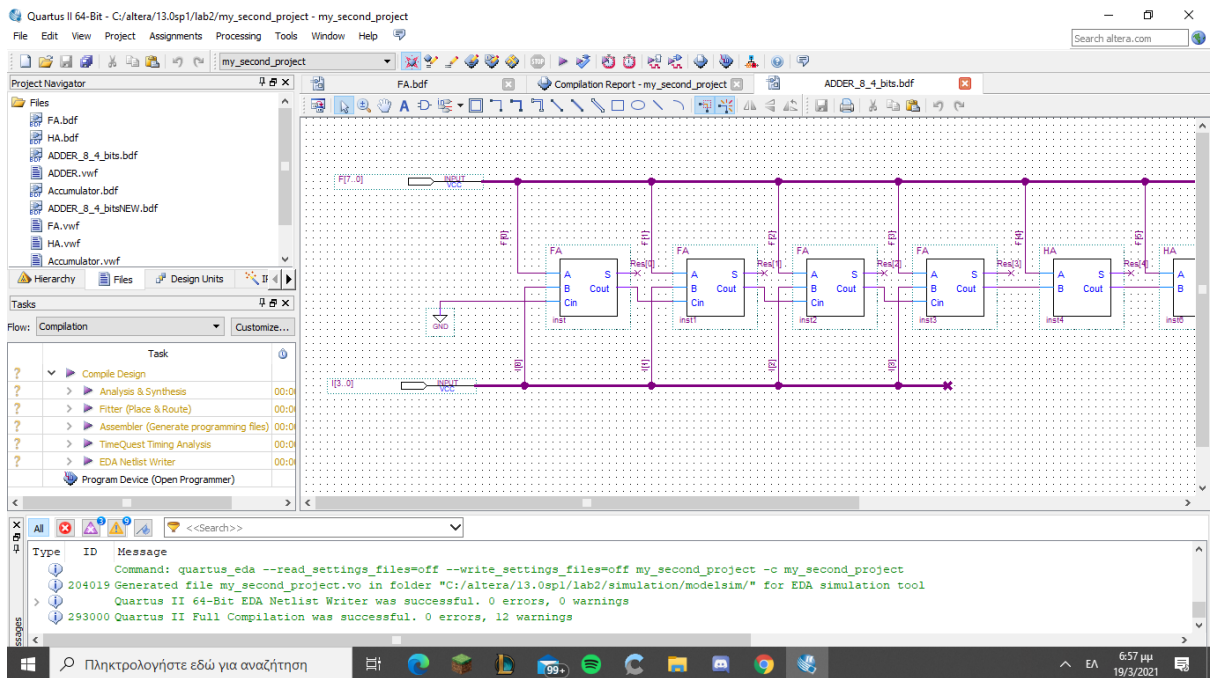
- Flow Elapsed Time
- Flow OS Summary
- Flow Log
- Analysis & Synthesis
- Fitter
- Assembler
- TimeQuest Timing Analyzer
 - Summary
 - Parallel Completion
 - Clocks
 - Slow Model
 - Fmax Summary
 - Setup Summary
 - Hold Summary
 - Recovery Summary
 - Removal Summary
 - Minimum Pulse Width
 - Datasheet Report
 - Propagation Delay
 - Minimum Propaga
 - Fast Model
 - Multicorner Timing Analysis

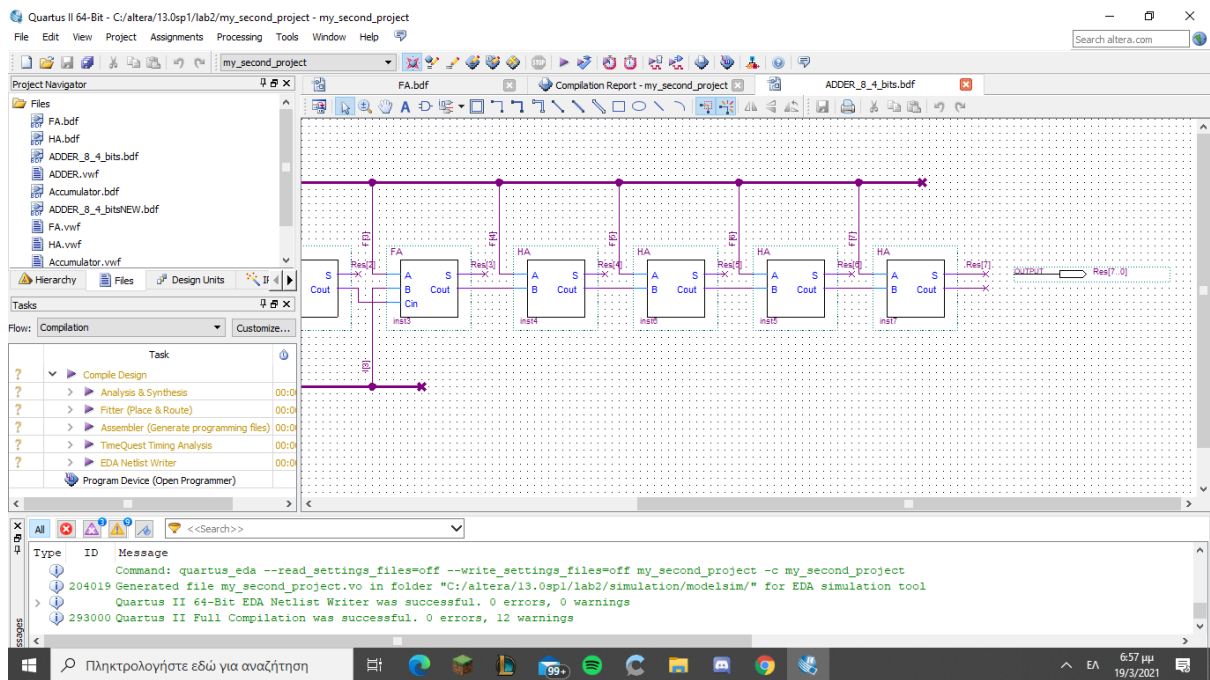
Propagation Delay

	Input Port	Output Port	RR	RF	FR	FF
1	A	C	5.258			5.258
2	A	C	5.256	5.256	5.256	5.256
3	B	C	5.431			5.431
4	B	S	5.431	5.431	5.431	5.431

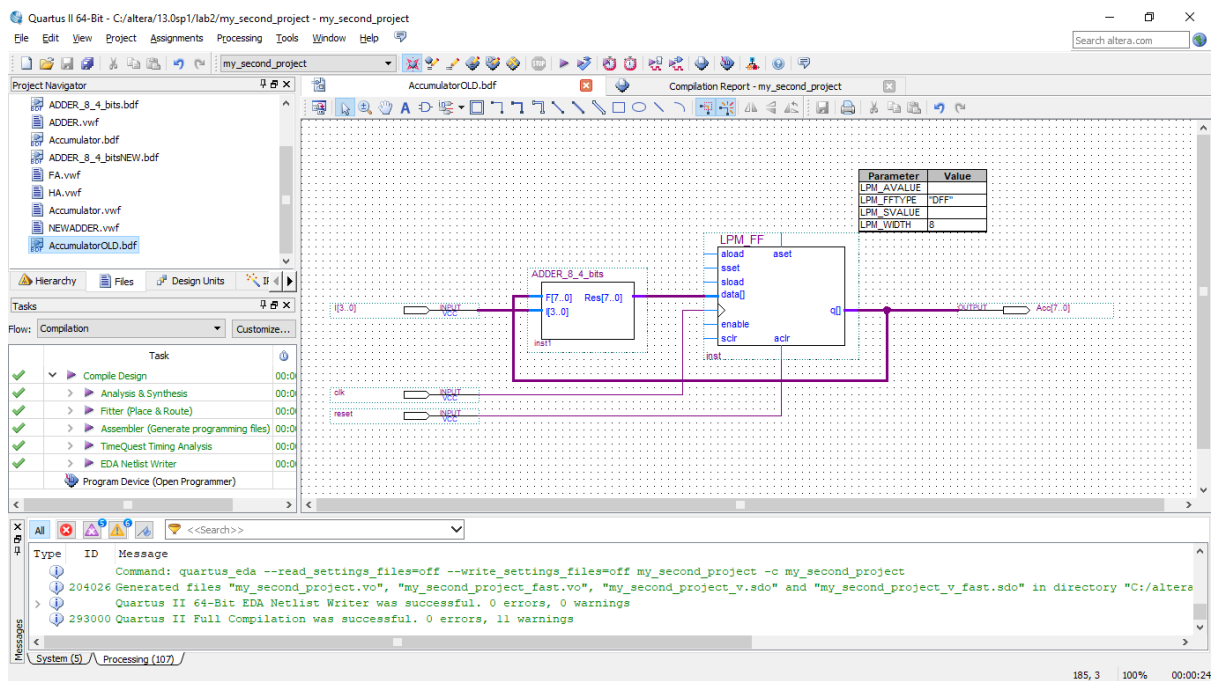


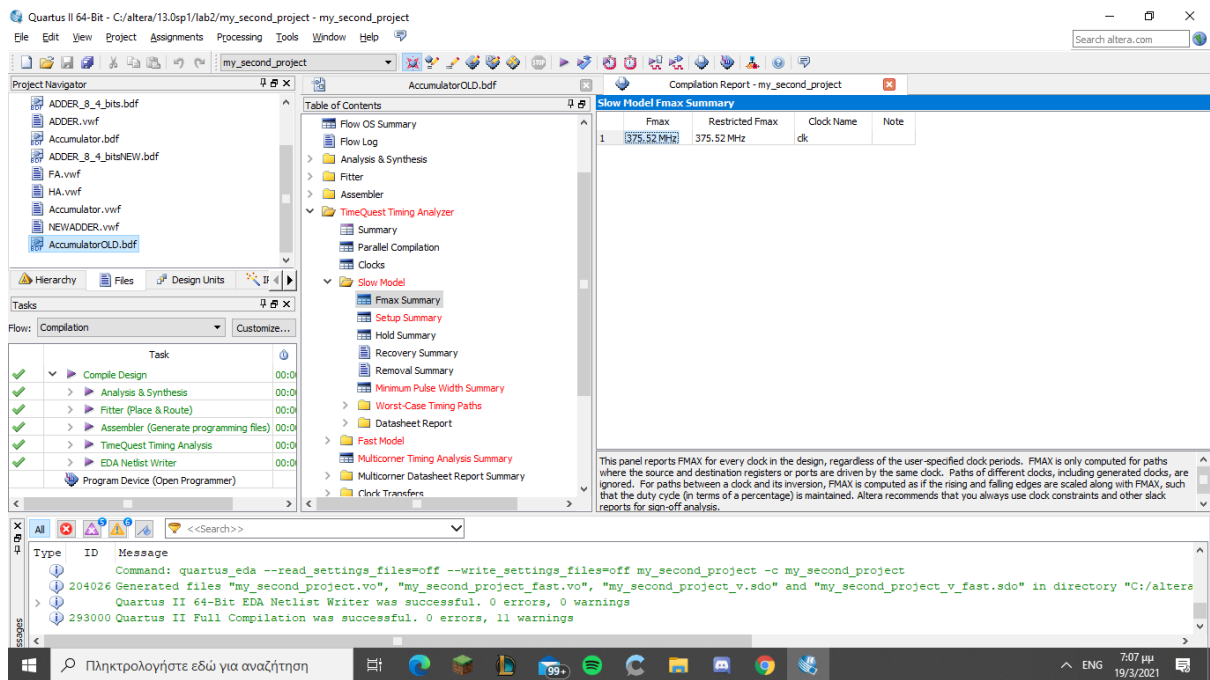
Αφού πακετάραμε τα επιμέρους κυκλώματα(πλήρης και ημι-αθροιστές) σχεδιάσαμε όπως φαίνεται στην παρακάτω εικόνα το κύκλωμα του πλήρη αθροιστή 8 με 4 bits:



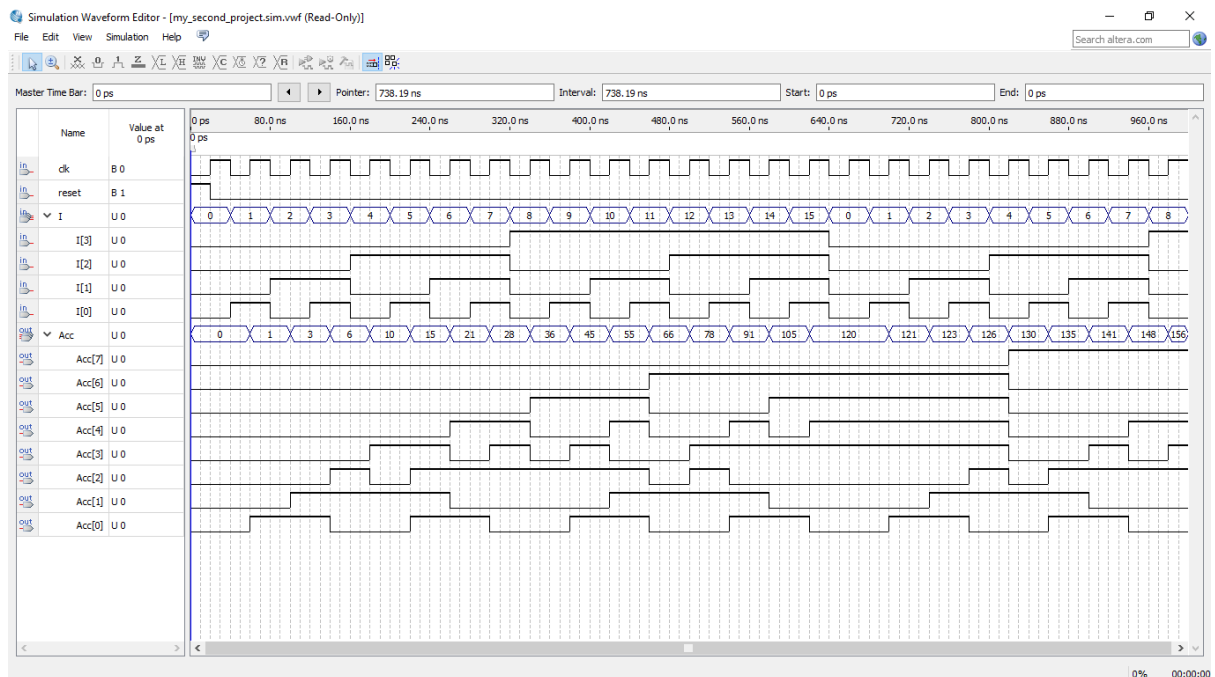


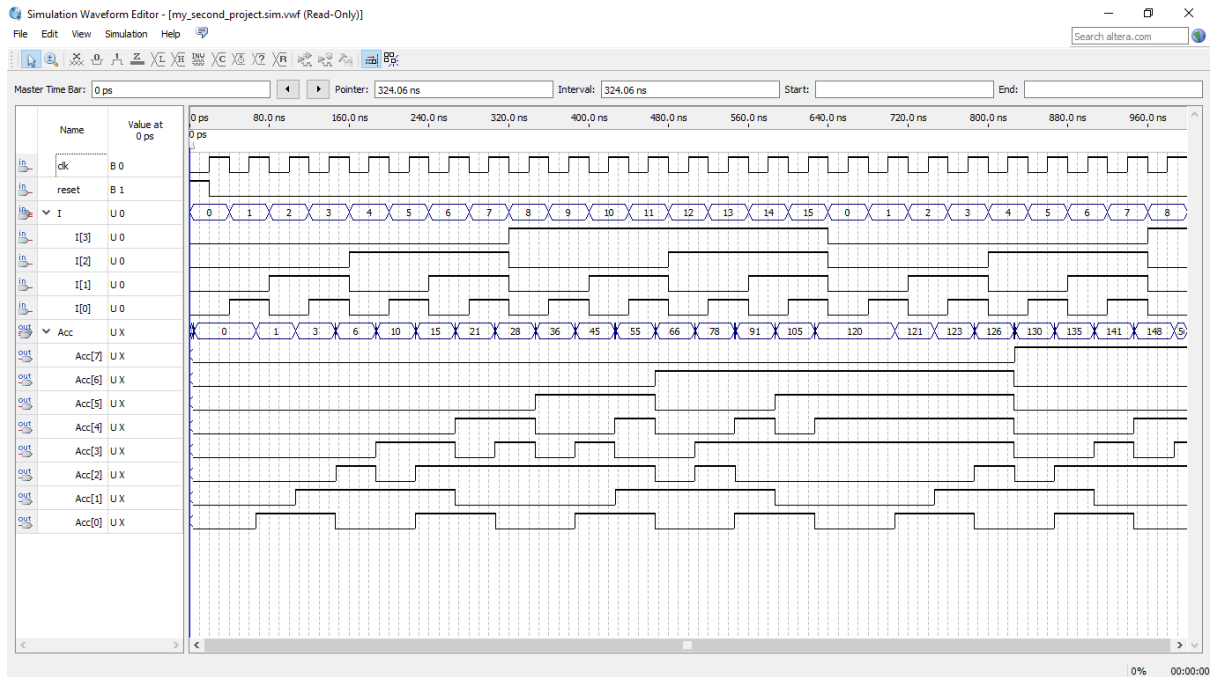
Ακολουθώντας τα βήματα για την σχεδίαση του συσσωρευτή σχεδιάσαμε το κύκλωμα όπως φαίνεται στην παρακάτω εικόνα με Restricted FMax=375.52MHz(σχετικά κοντά στο 420.17MHz)





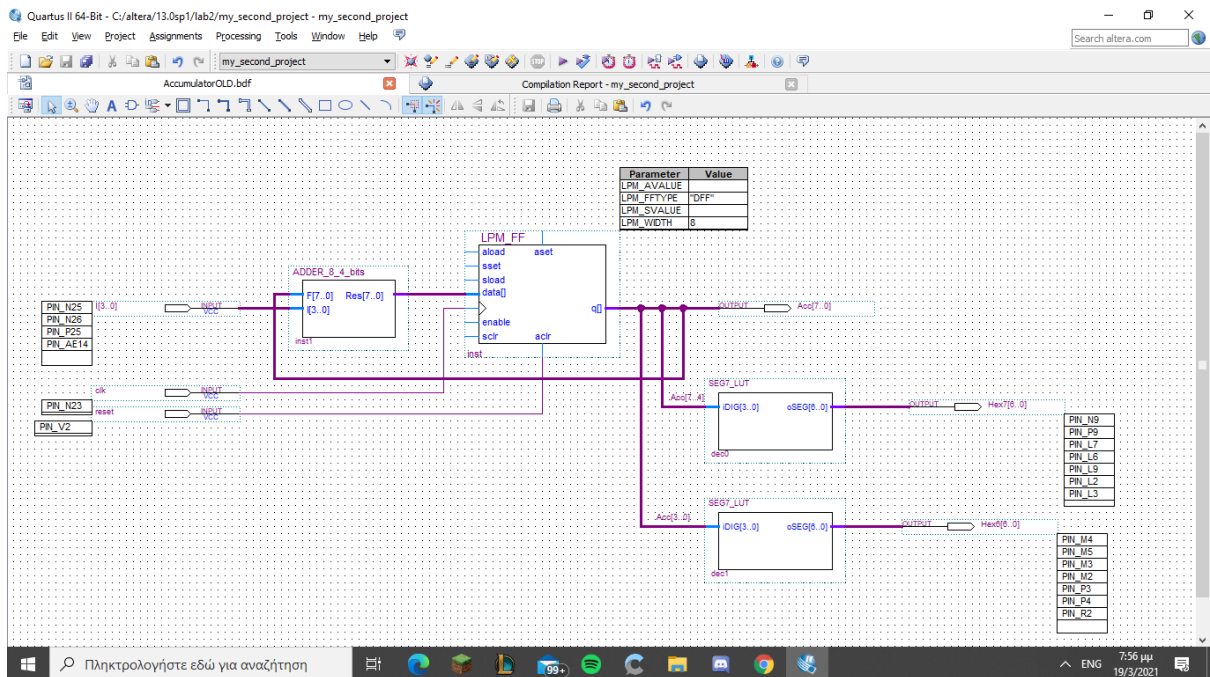
Εκτελώντας Functional Simulation και στη συνέχεια Timing Simulation παρατηρούμε ότι το κύκλωμα δουλεύει σωστά όπως φαίνεται στις παρακάτω εικόνες αντίστοιχα:





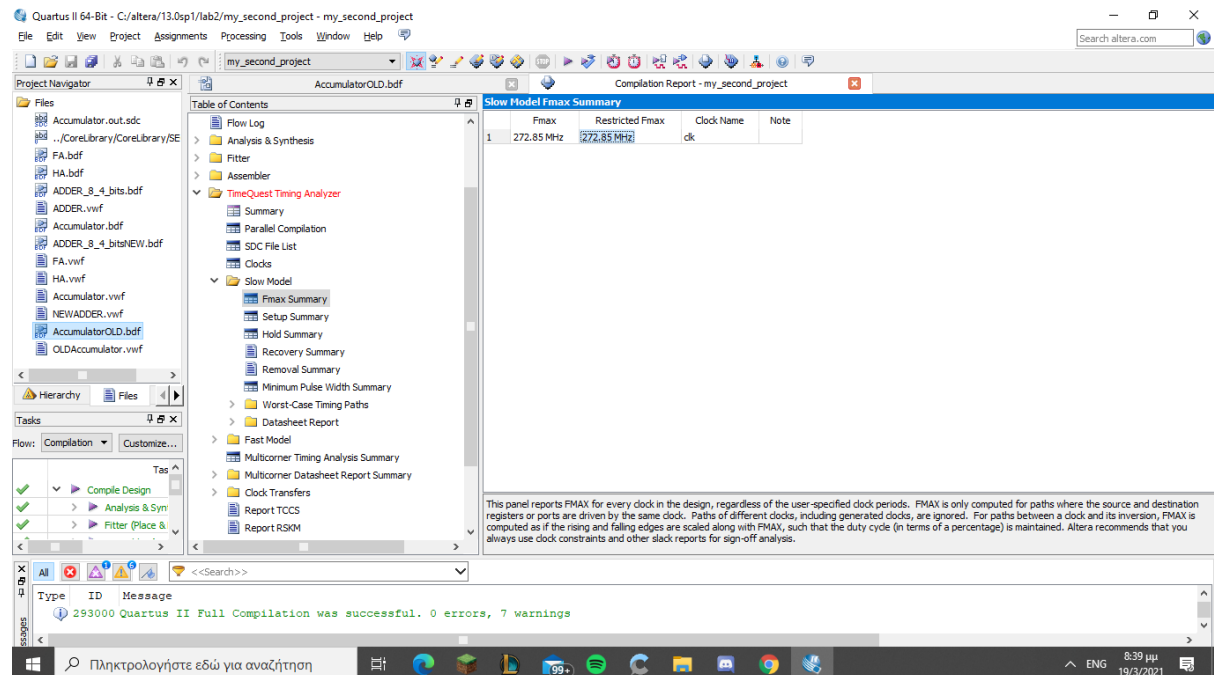
Υλοποίηση στο board

Τοποθετήσαμε τα pins ακολουθώντας την εκφώνηση όπως φαίνεται στην παρακάτω εικόνα:



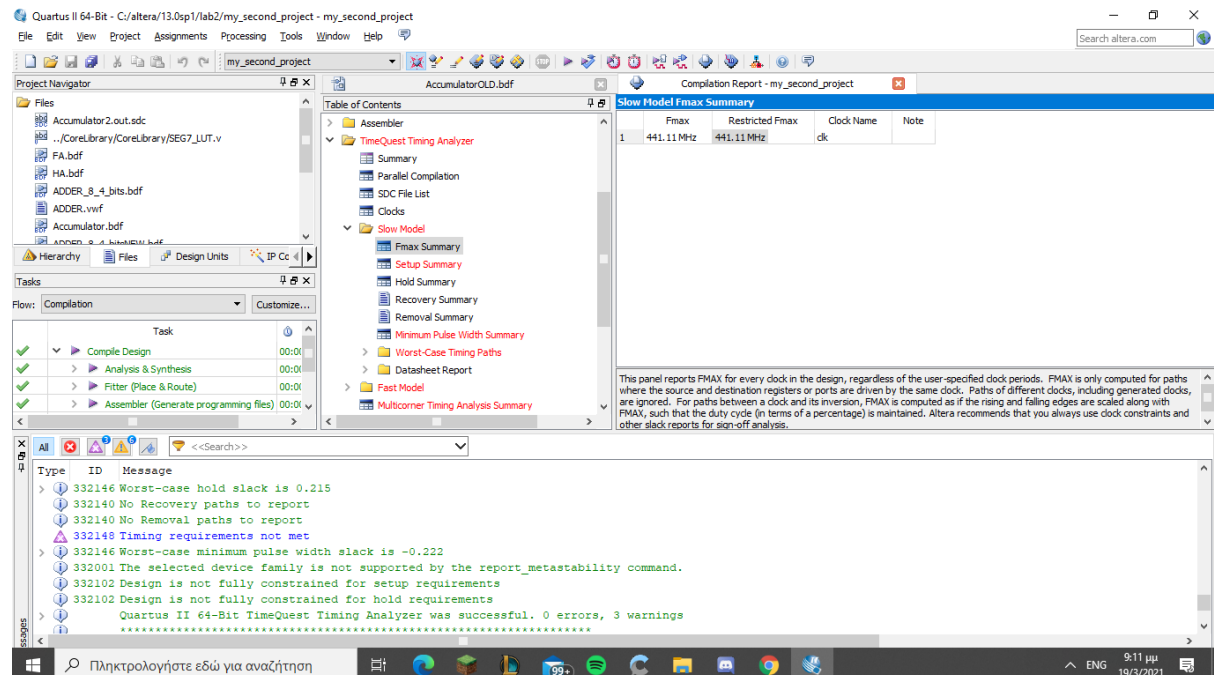
Χρονικοί Περιορισμοί με Στατική Χρονική Ανάλυση

Εκτελώντας τα βήματα στην εκφώνηση(με περίοδο ρολογιού ίση με 10ns) είχαμε τα ακόλουθα αποτελέσματα όπως φαίνονται στην παρακάτω εικόνα:



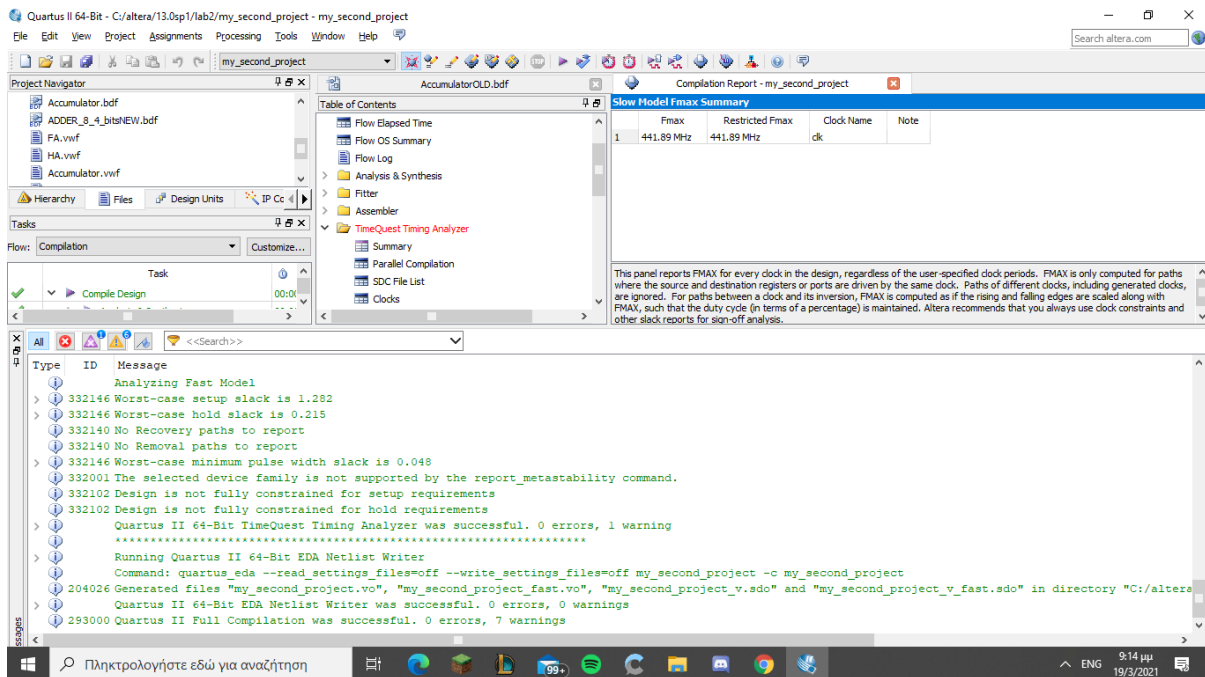
Το αποτέλεσμα που πήραμε(Restricted Fmax=272.85 MHz) είναι αρκετά κοντά το 281.53 MHz.

Αντίστοιχα, εκτελώντας τα βήματα στην εκφώνηση(με περίοδο ρολογιού ίση με 2ns) είχαμε τα ακόλουθα αποτελέσματα όπως φαίνονται στην παρακάτω εικόνα:



Το αποτέλεσμα που πήραμε(Restricted Fmax=441.11 MHz) είναι αρκετά κοντά το 450.05 MHz.

Αυτήν την φορά βάζοντας για περίοδο ρολογιού την τιμή 1/441.11 που είναι περίπου 2.27 ns παρατηρούμε ότι δεν βγάζει πια το Warning.



Τροποποίηση Συσσωρευτή

Για να μπορέσουμε να κάνουμε τον συσσωρευτή να πηγαίνει και προς τα κάτω:

Τροποποιήσουμε τον αθροιστή 8 σε 4, πιο συγκεκριμένα αντικαταστήσαμε τους 4 ημιαθροιστές που υπολογίζουν τα λιγότερο σημαντικά ψηφία με πλήρης αθροιστές διότι όταν γίνεται η πρόσθεση του αριθμού των 8bit με τον αριθμό των 4bit είναι σαν να συμπληρώνουμε μπροστά από τον 4bit τέσσερα μηδενικά ώστε να είναι και αυτός 8bit. Για μπορέσει να γίνει η αφαίρεση πρέπει αρχικά να βρούμε το συμπλήρωμα ως προς 2 του αριθμού των 4bit. Αυτό το κάνουμε αντιστρέφοντας τα ψηφία του και προσθέτοντας 1 στο τέλος του, δηλαδή από 0000I[3]I[2]I[1]I[0] γίνεται 1111I[3]I[2]I[1]I[0]'+1.

Επιπλέον, εκμεταλλευόμενοι τις διαφάνειες της ψηφιακής σχεδίασης 1(αθροιστής-αφαιρέτης) υλοποιήσαμε και εδώ με παρόμοιο τρόπο απλά με 8bit αντί για 4bit που είναι στις παραπάνω διαφάνειες, δηλαδή προσθέσαμε μια επιπλέον είσοδο στον αθροιστή των 8bit ώστε αν βάλουμε το ADD_SUB=0 να γίνεται η πρόσθεση ενώ αν βάλουμε ADD_SUB=1 να γίνεται η αφαίρεση.

Εν ολίγοις, προσθέτουμε το συμπλήρωμα ως προς 2 των εισόδων I[3..0]όταν είναι να κάνουμε αφαίρεση.

Το κύκλωμα φαίνεται στην παρακάτω εικόνα

Quartus II 64-Bit - C:/altera/13.0sp1/lab2/my_second_project - my_second_project

File Edit View Project Assignments Processing Tools Window Help

my_second_project

Project Navigator

- HA.bdf
- ADDER_8_4_bits.bdf
- ADDER.vwf
- Accumulator.bdf
- ADDER_8_4_bitsNEW.bdf
- FA.vwf
- HA.vwf
- Accumulator.vwf
- NEWADDER.vwf
- AccumulatorOLD.bdf
- OLDAccumulator.vwf

Tasks

Flow: Compilation Customize...

Task

- Compile Design
 - Analysis & Synthesis 00:00
 - Fitter (Place & Route) 00:00
 - Assembler (Generate programming files) 00:00
 - TimeQuest Timing Analysis 00:00
 - EDA Netlist Writer 00:00

Messages

Analyzing Fast Model

- 332146 Worst-case setup slack is 1.282
- 332146 Worst-case hold slack is 0.215
- 332140 No Recovery paths to report
- 332140 No Removal paths to report

Πληκτρολογήστε εδώ για αναζήτηση

9:29 μμ 19/3/2021

Quartus II 64-Bit - C:/altera/13.0sp1/lab2/my_second_project - my_second_project

File Edit View Project Assignments Processing Tools Window Help

my_second_project

Project Navigator

- HA.bdf
- ADDER_8_4_bits.bdf
- ADDER.vwf
- Accumulator.bdf
- ADDER_8_4_bitsNEW.bdf
- FA.vwf
- HA.vwf
- Accumulator.vwf
- NEWADDER.vwf
- AccumulatorOLD.bdf
- OLDAccumulator.vwf

Tasks

Flow: Compilation Customize...

Task

- Compile Design
 - Analysis & Synthesis 00:00
 - Fitter (Place & Route) 00:00
 - Assembler (Generate programming files) 00:00
 - TimeQuest Timing Analysis 00:00
 - EDA Netlist Writer 00:00

Messages

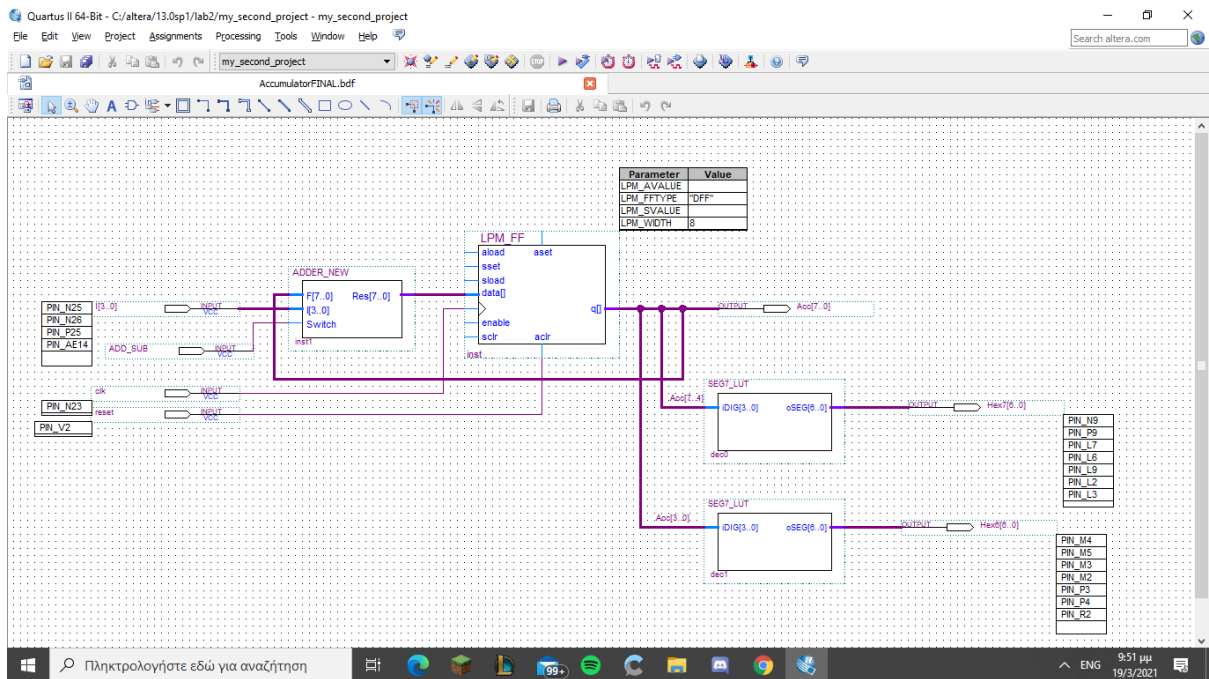
Analyzing Fast Model

- 332146 Worst-case setup slack is 1.282
- 332146 Worst-case hold slack is 0.215
- 332140 No Recovery paths to report
- 332140 No Removal paths to report

System (10) Processing (104)

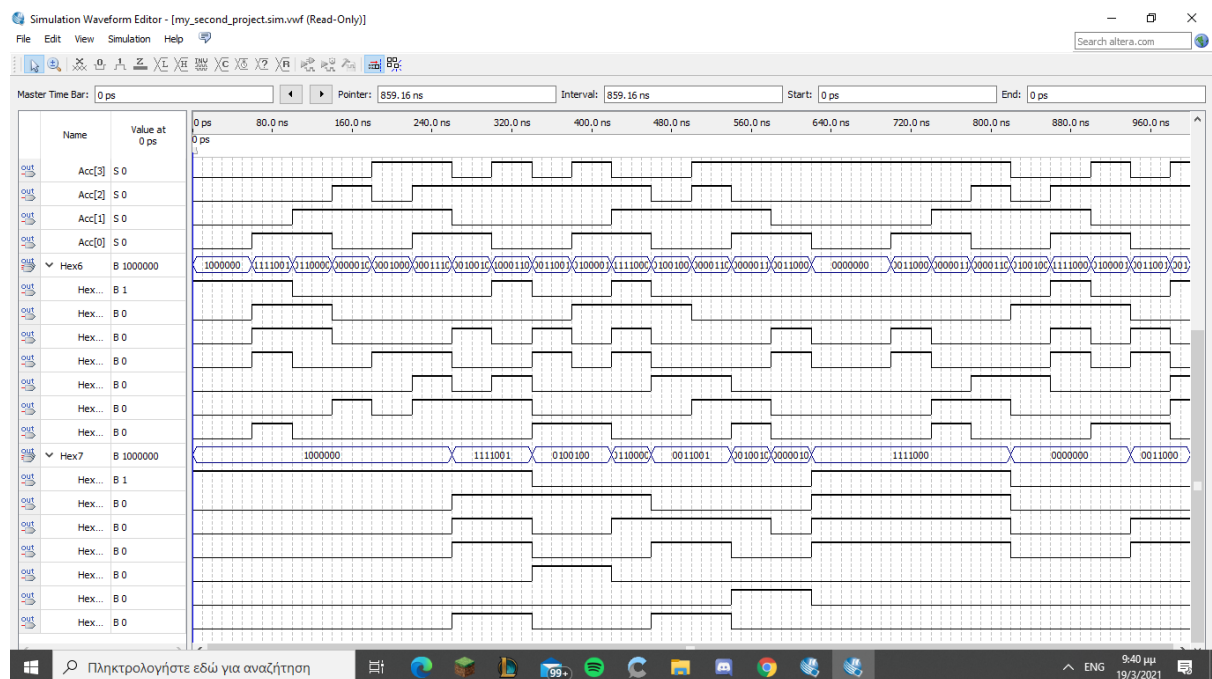
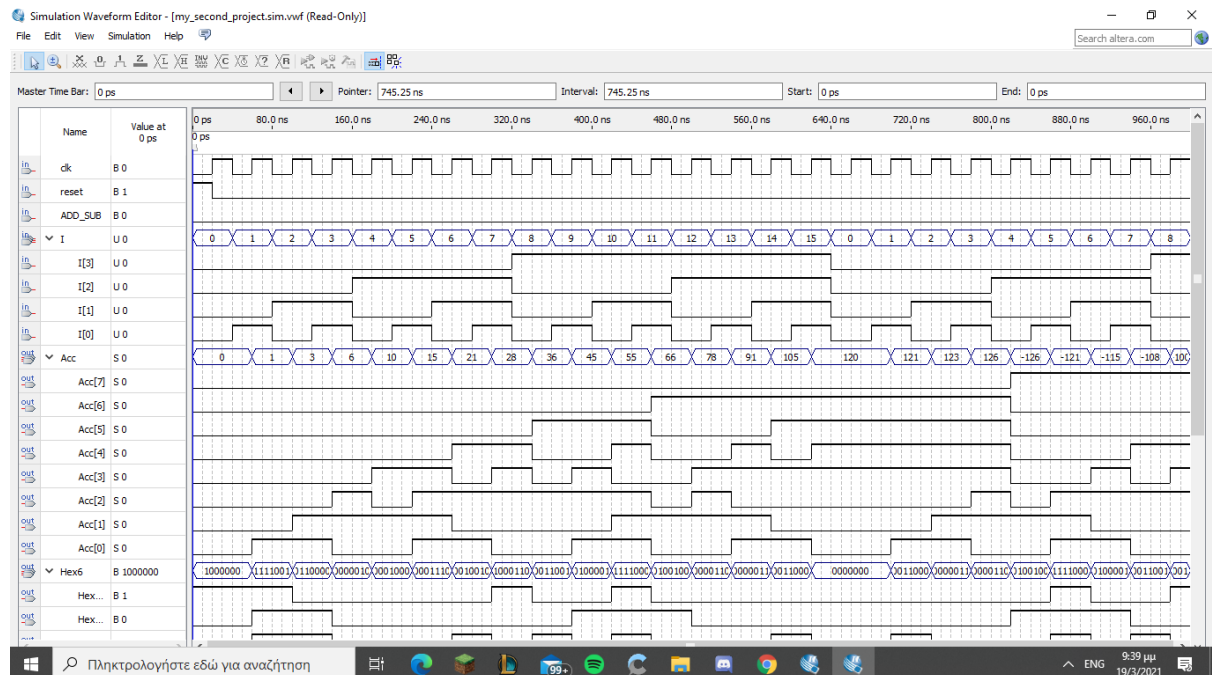
559,489 100% 00:00:31

Το τελικό κύκλωμα του συσσωρευτή φαίνεται στην παρακάτω εικόνα:



Εκτελώντας Functional Simulation παρατηρούμε:

Για $ADD_SUB=0$ (πρόσθεση) παρατηρούμε στην παρακάτω εικόνα ότι το κύκλωμα δουλεύει σωστά:



Για $ADD_SUB=1$ (αφαίρεση) παρατηρούμε στην παρακάτω εικόνα ότι το κύκλωμα δουλεύει σωστά:

