数字系统设计实验

**实验三：高层次综合**

# HLS实验

**Step0:** C代码优化

我们参照了Vivado HLS手册并遵循了其优化指南，比如尽量将接连的相同的循环改写成连续的函数调用。

**Step1:** C simulation

C仿真所使用的主程序是为HLS C仿真特意编写的digitrec-test.c，其中 int main()主函数调用了作为PS接口的**void** **dut**( uint32\_t \* data\_in, int32\_t \* data\_out)函数：

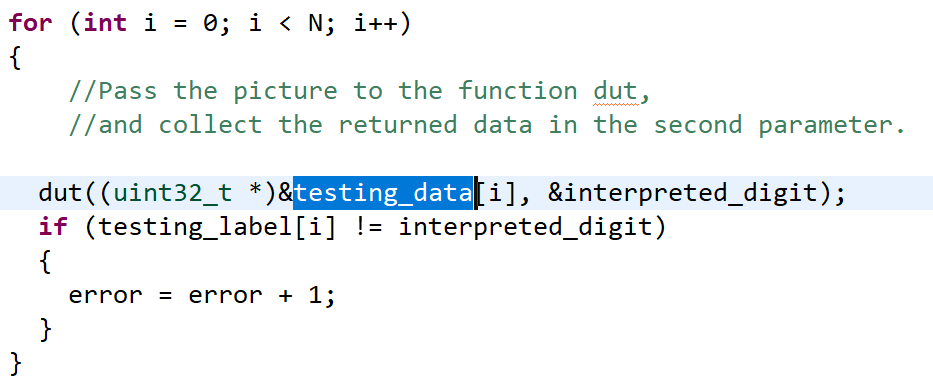


图1： testbench

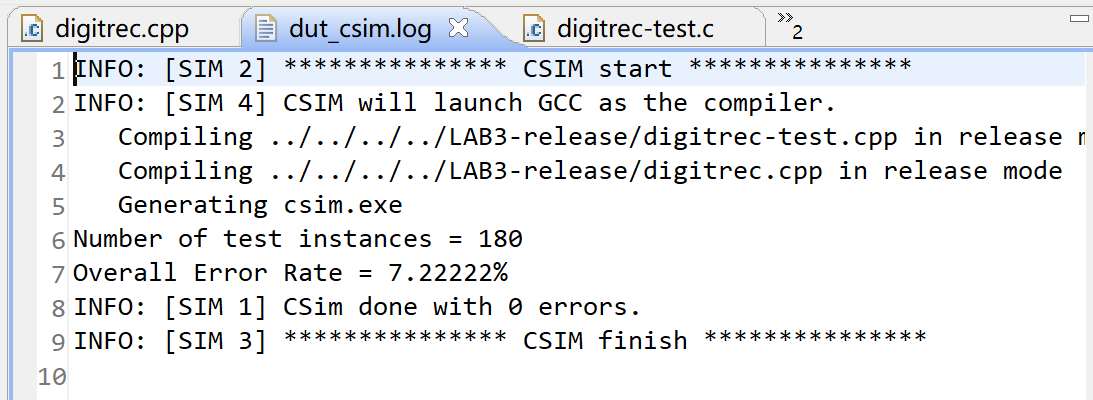


图2：C仿真结果

**Step2:**进行高层次综合。

HLS Summary中所估计的资源占用量为：

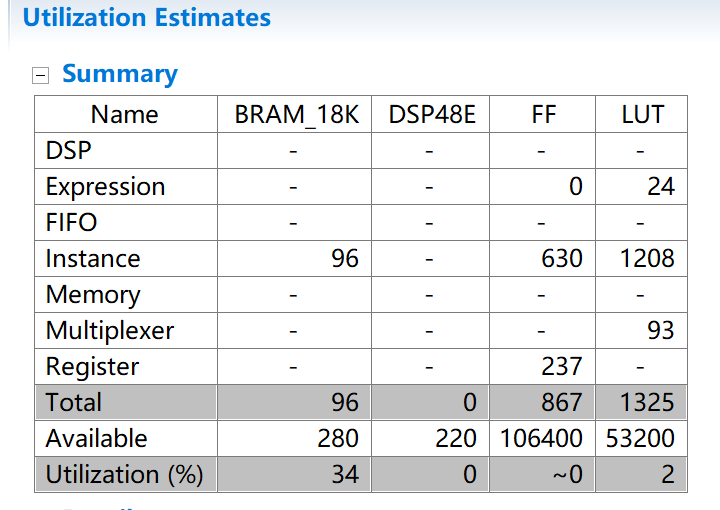


图3：HLS综合结果：估计硬件使用情况

**Step3:** 生成IP

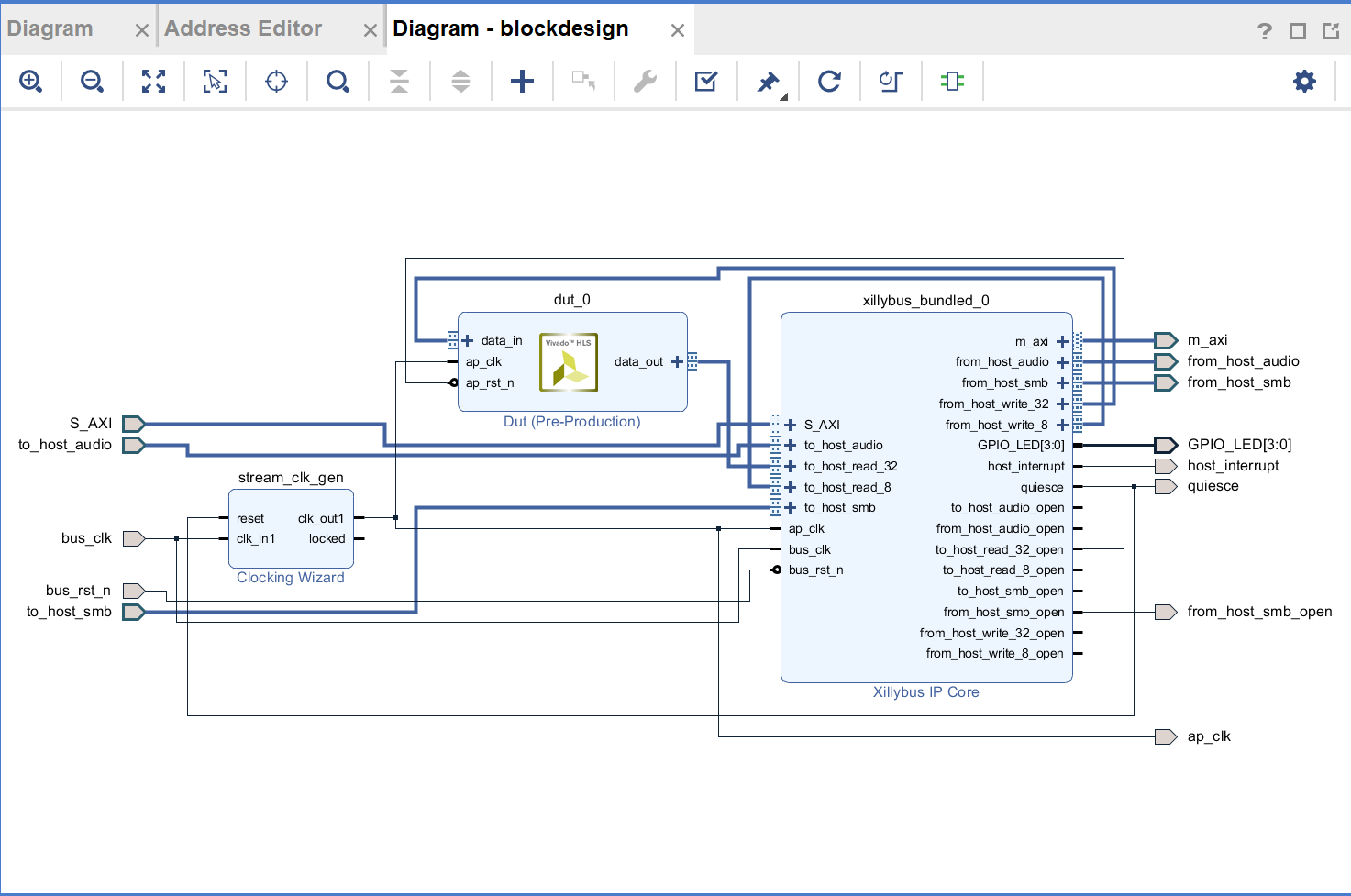


图4：在Vivado中导入之前HLS生成的IP核

**Step4:** 进行综合、生成bitstream

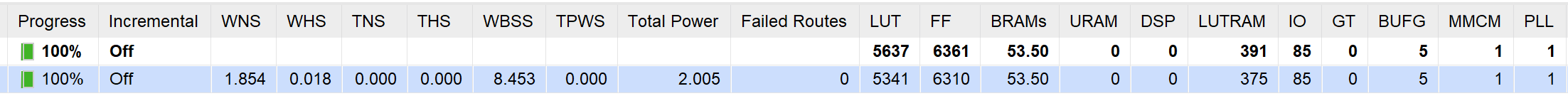


图5: FPGA资源占用情况

**Step5:** Xillinux运行

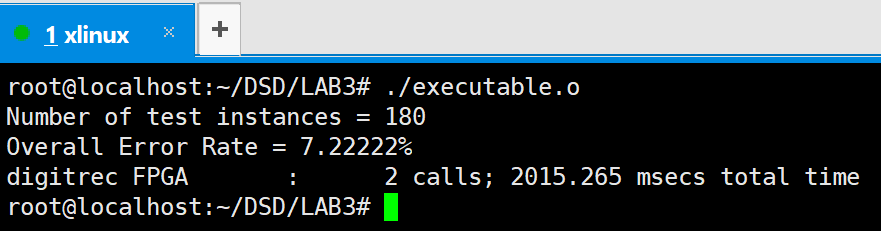


图6：运行情况

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **运行方式** | **k** | **测试实例数** | **耗时** | **错误率** |
| **CPU** | 3 | 180 | 3207ms | 7.22% |
| **硬件逻辑（PL）** | 3 | 180 | 2015ms | 7.22% |

从上表中可以看出，使用FPGA硬件资源的确减少了运算耗时，但是错误率是不会下降的。原因是算法完全相同。

# 实验感想

朱结奥：亲手将C++代码转换成bitstream然后在FPGA上运行还是非常有成就感的！期待今后的神经网络实验！