



ESCOLA POLITÉCNICA DA UNIVERSIDADE DE SÃO PAULO
Departamento de Engenharia de Computação e Sistemas Digitais

PCS3635 – LABORATÓRIO DIGITAL I

EXPERIÊNCIA 7 – Projeto do Jogo Desafio da Memória

Relato da Bancada A3 – Turma 2 – Prof. Reginaldo

Data de Emissão: 17 de Fevereiro DE 2025.

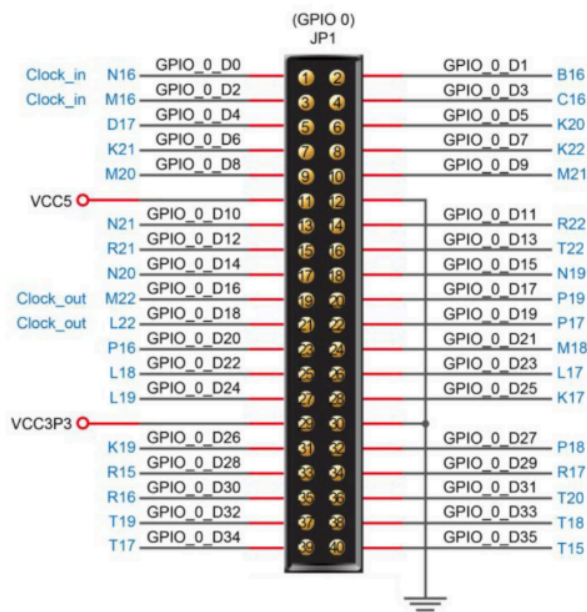
Nome: Enzo Koichi Jojima

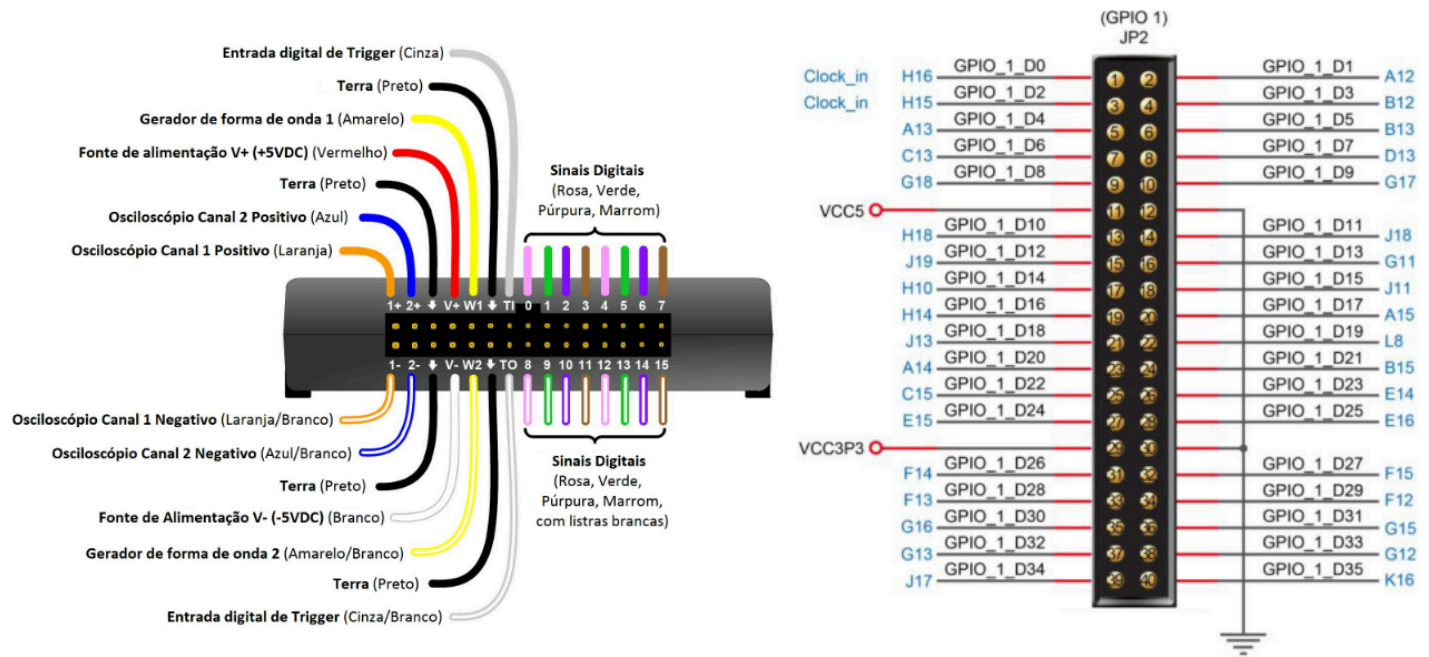
Número USP: 14568285

1. ATIVIDADE 1

A síntese do projeto na FPGA foi feita utilizando a seguinte tabela de pinagem:

	Sinal	Pino na Placa DE0-CV	Pino no FPGA	Analog Discovery
entradas	CLOCK	GPIO_0_D1		Patterns – Clock – 1 KHz StaticIO – LED – DIO0
	RESET	GPIO_0_D3		StaticIO – Button 0/1 – DIO1
	JOGAR	GPIO_0_D5		StaticIO – Button 0/1 – DIO2
	NIVEL	SW9		-
	MEMORIA	SW8		-
	BOTOES(0)	GPIO_0_D7		StaticIO – Button 0/1 – DIO4
	BOTOES(1)	GPIO_0_D9		StaticIO – Button 0/1 – DIO5
	BOTOES(2)	GPIO_0_D11		StaticIO – Button 0/1 – DIO6
saídas	BOTOES(3)	GPIO_0_D13		StaticIO – Button 0/1 – DIO7
	GANHOU	GPIO_1_D1		StaticIO – LED – DIO8
	PERDEU	GPIO_1_D3		StaticIO – LED – DIO9
	PRONTO	GPIO_1_D5		StaticIO – LED – DIO10
	TIMEOUT	GPIO_1_D7		StaticIO – LED – DIO11
	LEDS(0)	GPIO_1_D9		StaticIO – LED – DIO12
	LEDS(1)	GPIO_1_D11		StaticIO – LED – DIO13
	LEDS(2)	GPIO_1_D13		StaticIO – LED – DIO14
	LEDS(3)	GPIO_1_D15		StaticIO – LED – DIO15



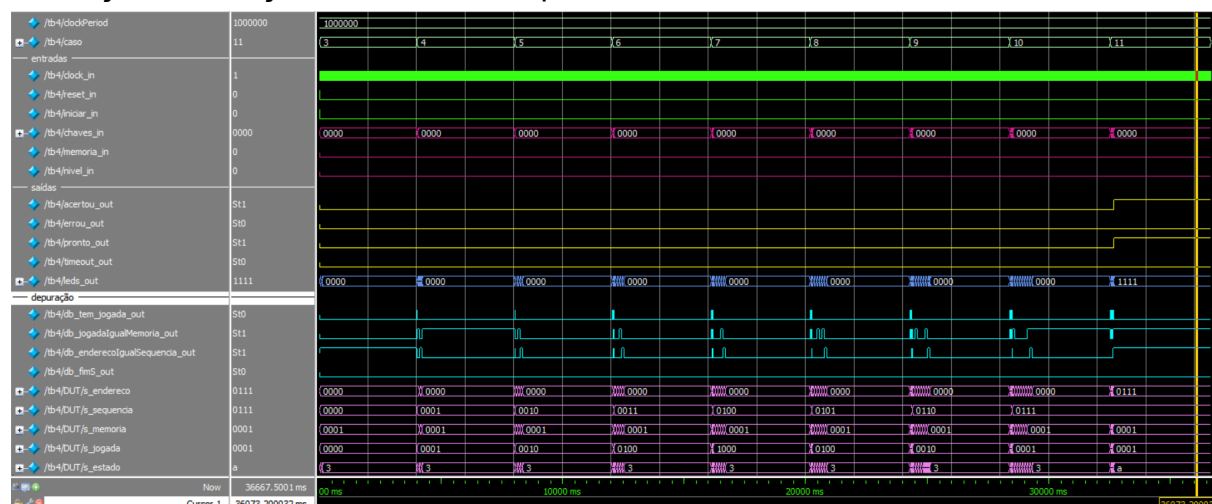


Além disso, alguns sinais de depuração foram colocados em displays hexadecimais na própria FPGA:

- display_endereco = HEX00
- display_memoria = HEX01
- display_jogada = HEX02
- display_sequencia = HEX03
- display_estado = HEX04

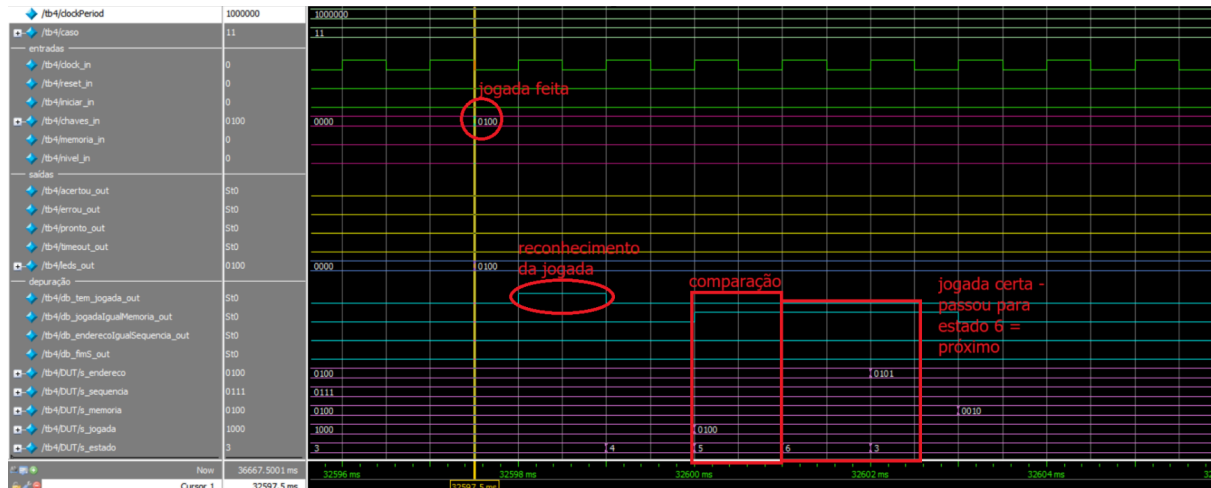
2. ATIVIDADE 2

A verificação da atividade 2 pedia o cenário de testes no qual há o acerto de todas as jogadas até ganhar o jogo no modo fácil. Para isso, realizamos a análise da testbench 4, na qual há a vitória com a memória 0 e nível 0. Para fins de simulação, a exibição dos leds dura apenas 0,05s.



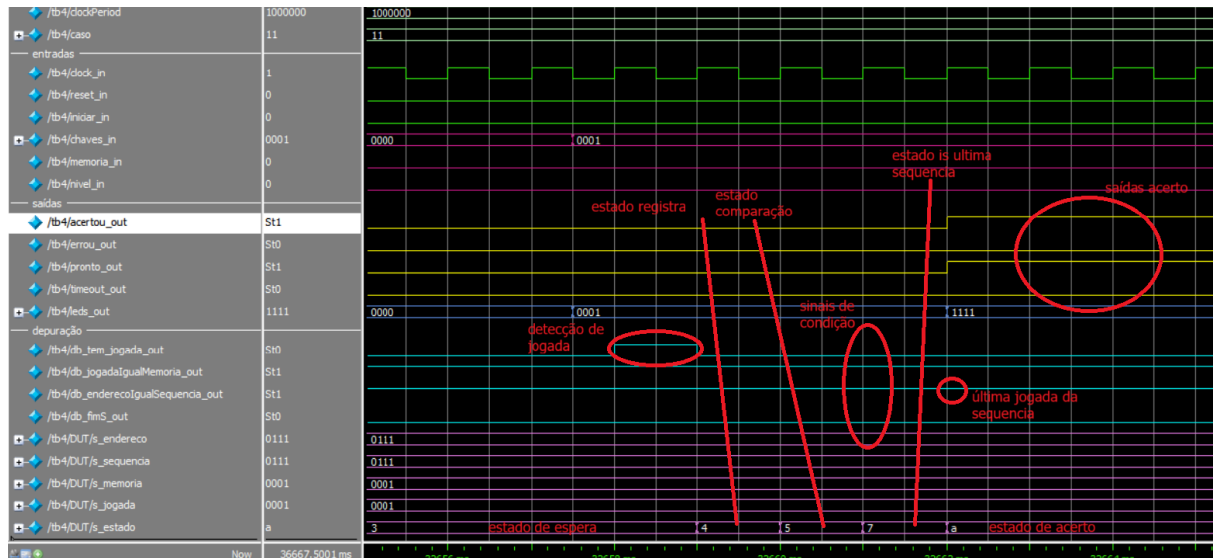
2.1. QUINTA JOGADA DA ÚLTIMA RODADA

Foi pedida a análise do instante de acionamento do botão da jogada, do reconhecimento da jogada feita, da comparação e da determinação da jogada como correta.



2.2. TRANSIÇÕES DE ESTADOS

Pediu-se as transições de estado da última jogada, a partir do estado de espera da jogada até o resultado final do jogo.



3. ATIVIDADE 3 - PROJETO LÓGICO DO DESAFIO

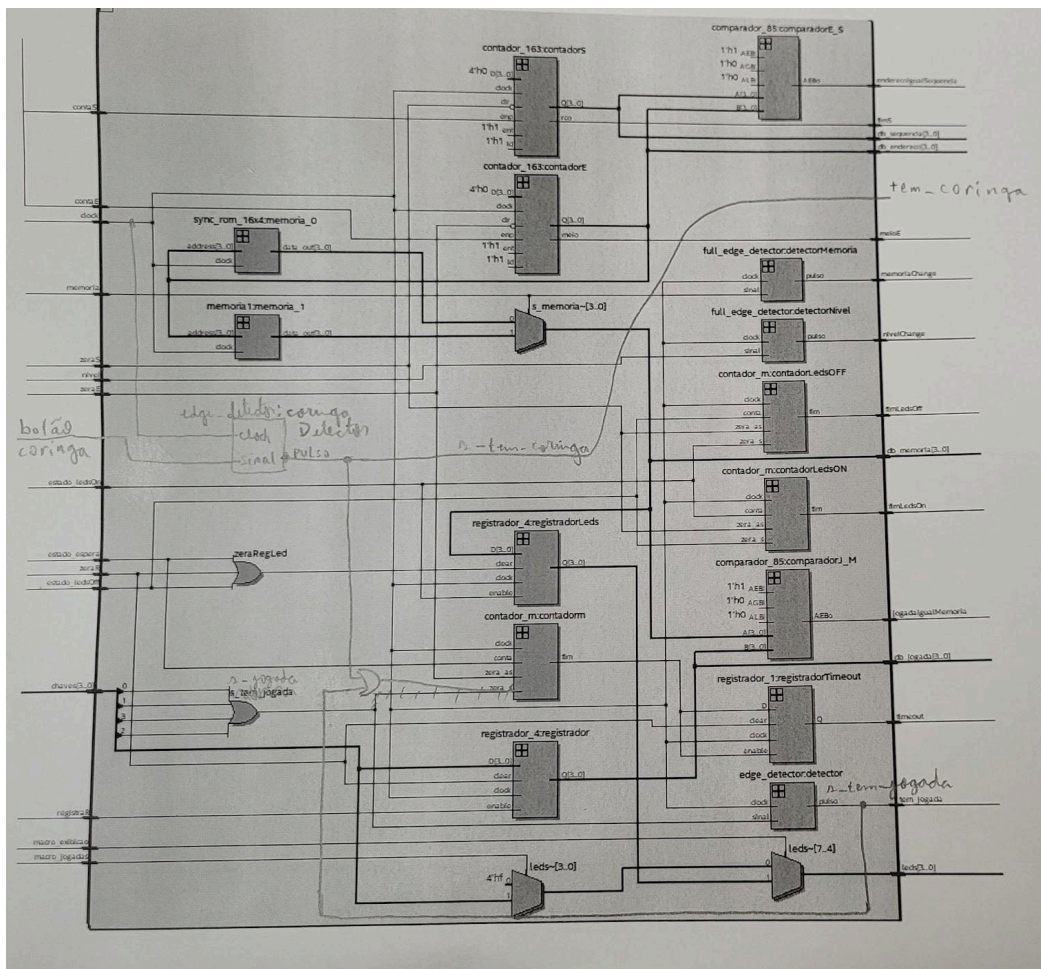
O desafio proposto foi um botão adicional *wildcard* (botão curinga), que pode ser acionada conforme o descrito abaixo:

- Durante a espera de uma jogada, quando o botão curinga for acionado, o jogo reconhece uma jogada correta e passa imediatamente para a próxima jogada.
- A saída de depuração db_tem_jogada não deve ser ativada quando o botão curinga for acionado.

3.1. ALTERAÇÕES NO FLUXO DE DADOS

O fluxo de dados foi adaptado:

- Novo edge_detector que irá realizar a detecção da entrada wildcard.
- O contador de timeout terá seu reset síncrono como *s_tem_jogada* OR *s_tem_coringa*, de modo que irá resetar toda vez que for detectada uma jogada ou um acionamento do botão curinga. É importante ressaltar que *s_tem_coringa* é a saída do edge detector do botão wildcard, e *s_tem_jogada* é a saída do edge detector dos botões.

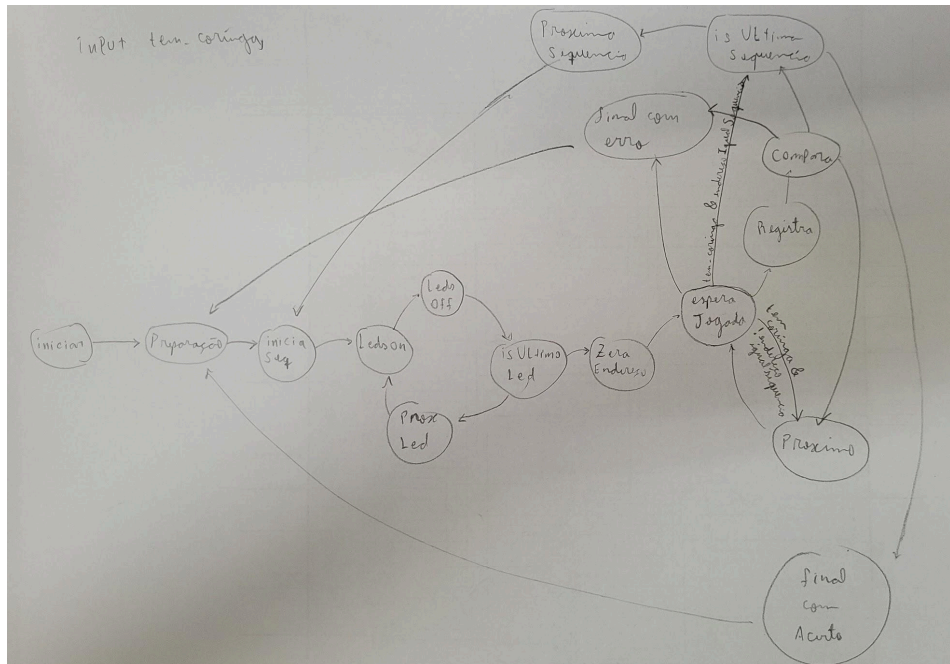


3.2. ALTERAÇÕES NA UNIDADE DE CONTROLE

Na Unidade de Controle, foram adicionadas duas transições do estado espera jogada, que estão destacadas abaixo:

No estado espera_jogada:

1. Se tem_coringa && enderecolgualSequencia -> vai para estado is_ultima_sequencia
2. Caso contrário, se tem_coringa && !enderecolgualSequencia -> vai para estado próximo
3. Caso contrário, se timeout -> vai para estado final_com_erro
4. Caso contrário, se tem_jogada -> vai para estado registra
5. Caso contrário, mantém estado_espera.



4. ATIVIDADE 4 - IMPLEMENTAÇÃO DO PROJETO LÓGICO

O botão novo *wildcard* foi atribuído ao DIO3 do Analog Discovery, através do pino N19 da FPGA, representando o GPIO-0-D15. O funcionamento foi verificado pela monitora da disciplina.