



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ
ТЕХНОЛОГИИ (ИУ7)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

ОТЧЕТ

По лабораторной работе № 4

Название: Исследование мультиплексоров

Дисциплина: Архитектура ЭВМ

Студент

ИУ7И-44Б

(Группа)

(Подпись, дата)

Динь Вьет Ань

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

А. Ю. Попов

(И.О. Фамилия)

Цель работы

Изучение принципов построения, практического применения и экспериментального исследования мультиплексоров.

1. Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 – 1 цифровых сигналов:

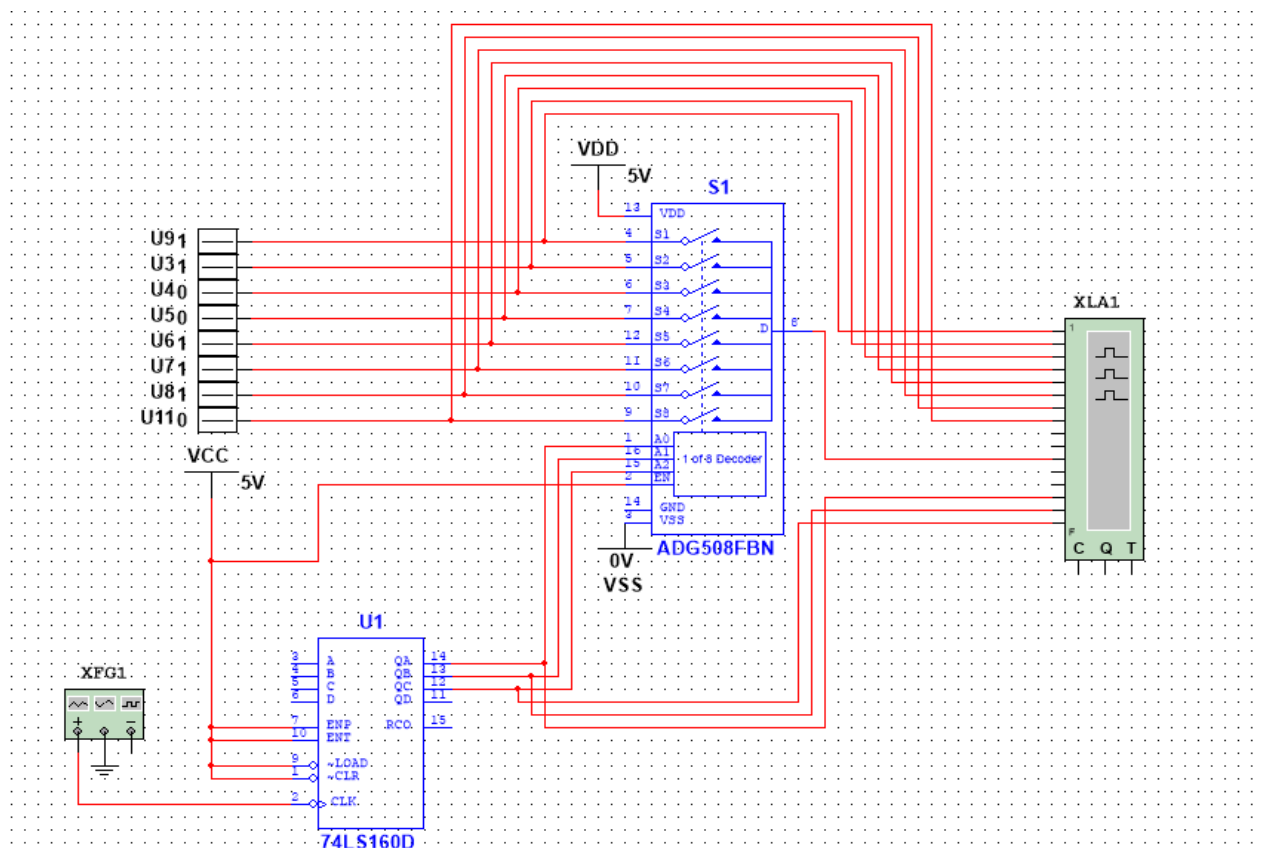
а) на информационные входы D0 ...D7 мультиплексора подать комбинацию сигналов, заданную преподавателем из табл. 2. Логические уровни 0 и 1 задавать источниками напряжения $U=5\text{ В}$ и 0 В (общая);

б) на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц .

в) снять временную диаграмму сигналов при $EN=1$ и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе.

Составим схему по варианту 21 (рисунок 1.1).

Вариант 21: 1100 1110



Временная диаграмма (рисунок 1.2)

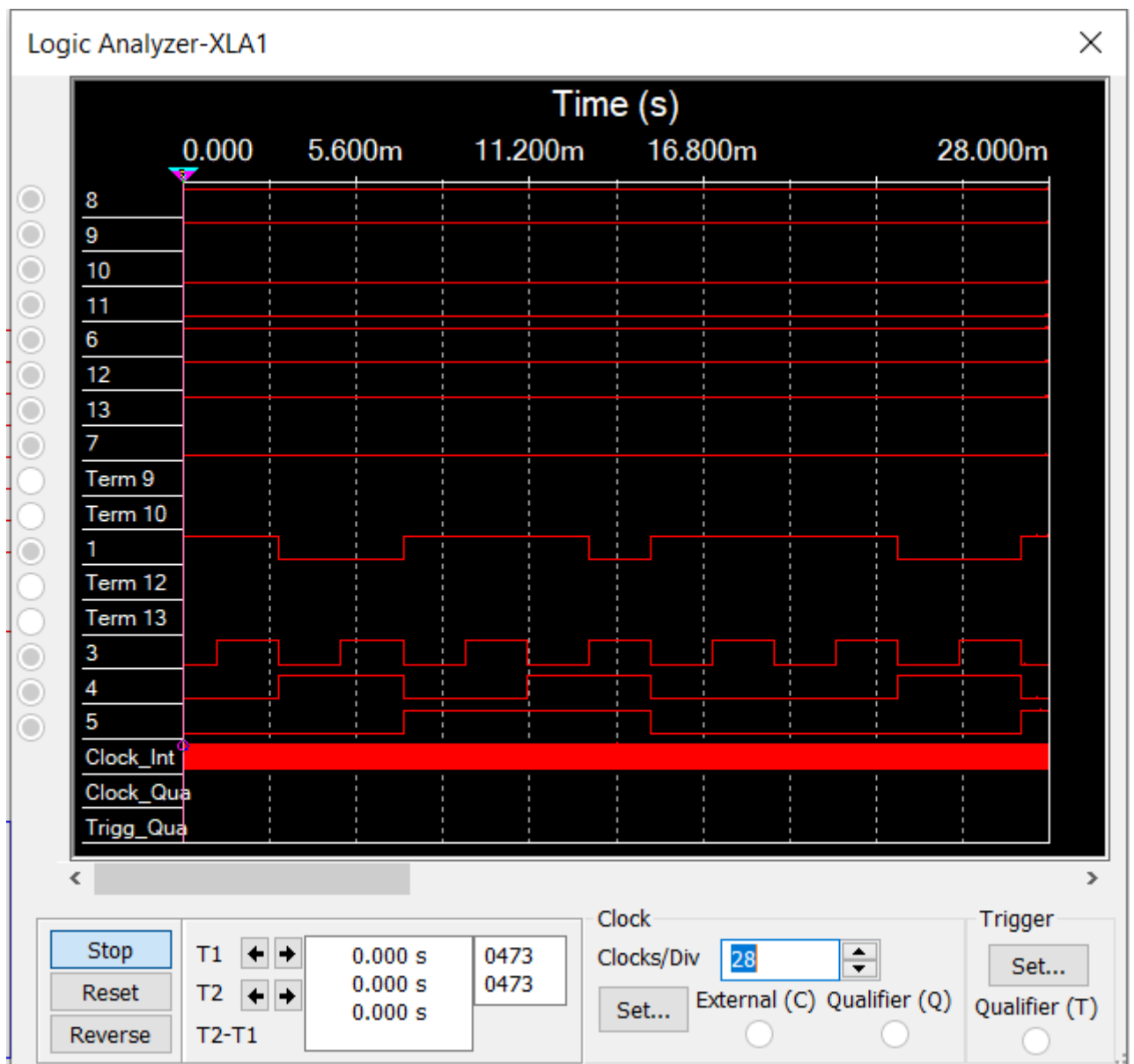


рис 1.2 Временная диаграмма

Проводя анализ полученных данных, можно заметить, что на самом деле мультиплексор выполняет функцию адресного коммутатора, т.е. выполняет передачу на выход того информационного сигнала, адрес которого установлен на адресных входах.

2. Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 – 1 аналоговых сигналов:

а) на информационные входы D0...D7 мультиплексора подать дискретные уровни напряжений с источников напряжения UCC (приложение Multisim): 0 В; 0.7 В; 1.4 В; 2.1 В; 2.8 В; 3.5 В; 4.2 В; 5.0 В;

б) на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц;

в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе, выходного сигнала мультиплексора – на логическом анализаторе и осциллографе. Совместить развертки сигналов, регистрируемых логическим анализатором и осциллографом.

Составим схему (рисунок 2.1).

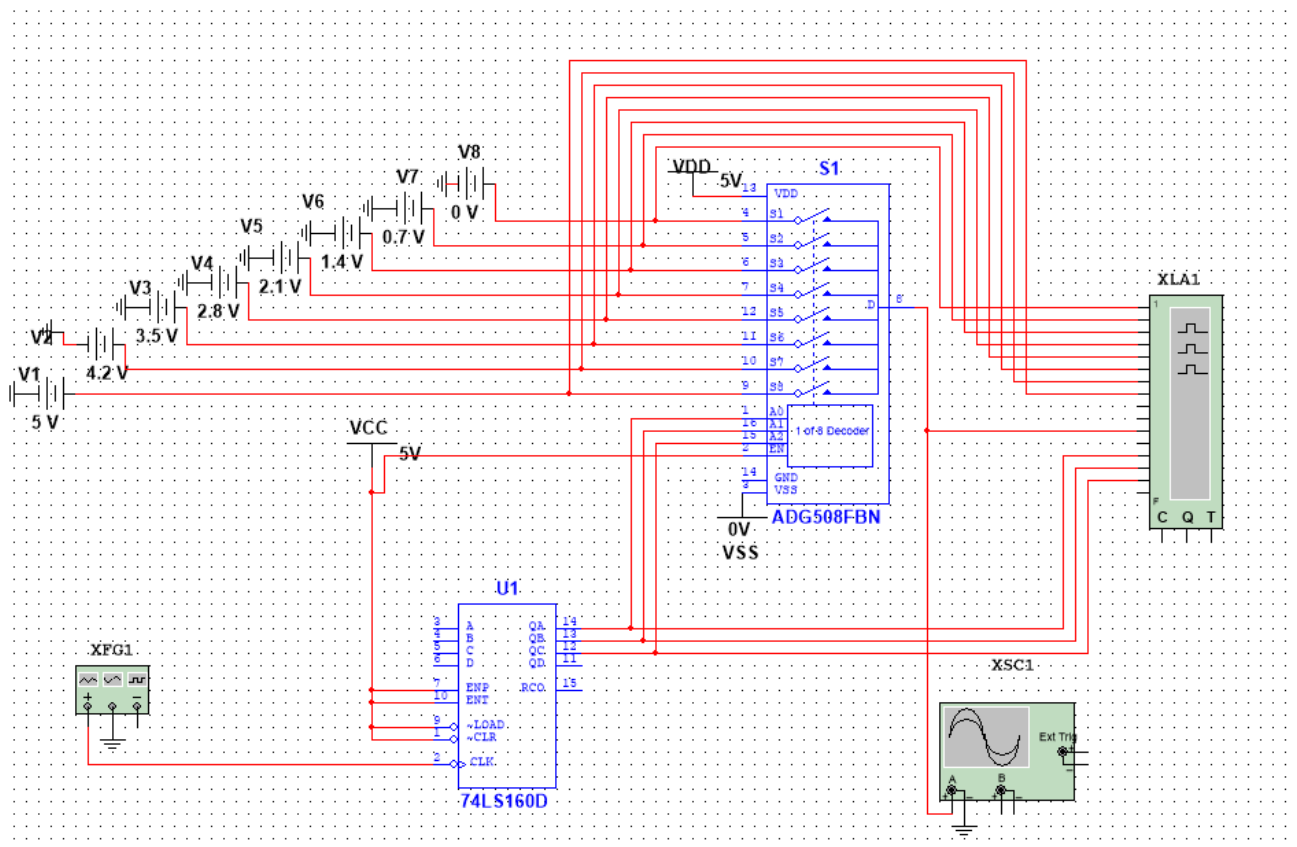


рис 2.1 схема в Multisim

Проведем анализ и получим следующую диаграмму (рисунок 2.2).

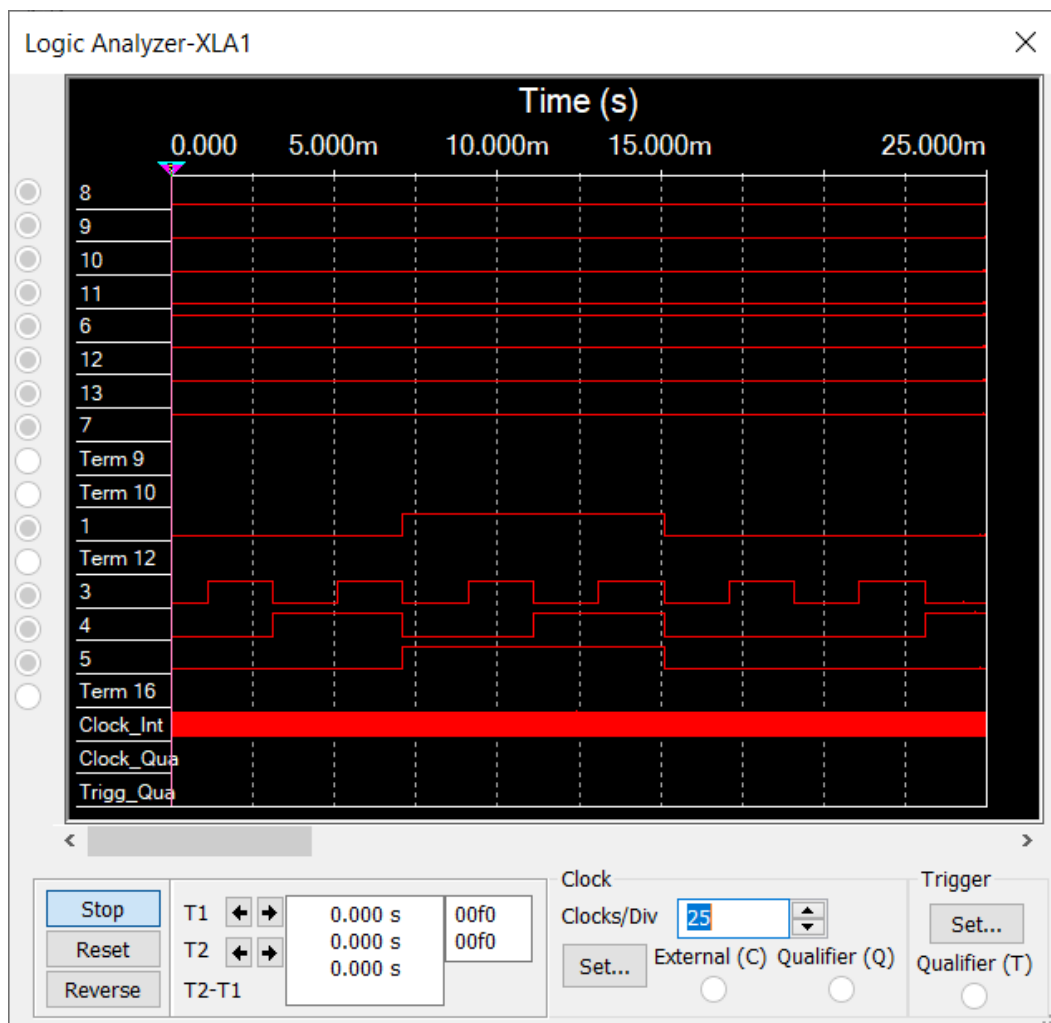


рис 2.2 Временная диаграмма

Анализ с осциллографом (рисунок 2.3).

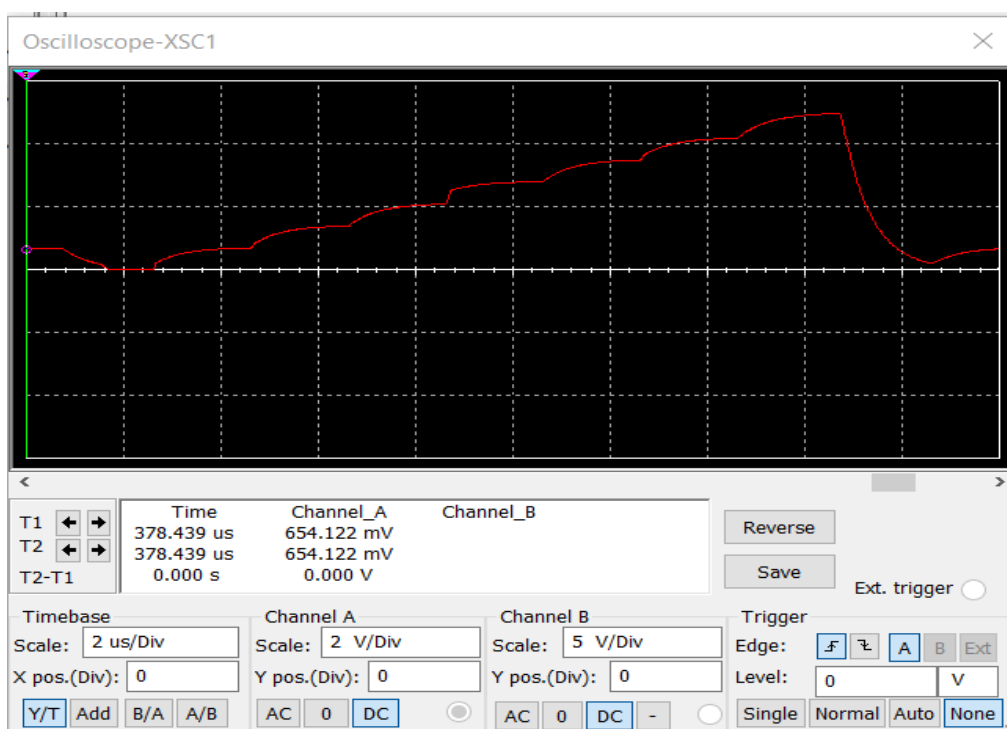


рис 2.3 Анализ с осциллографом

Добавим катушку индуктивности в схему (рисунок 2.4)

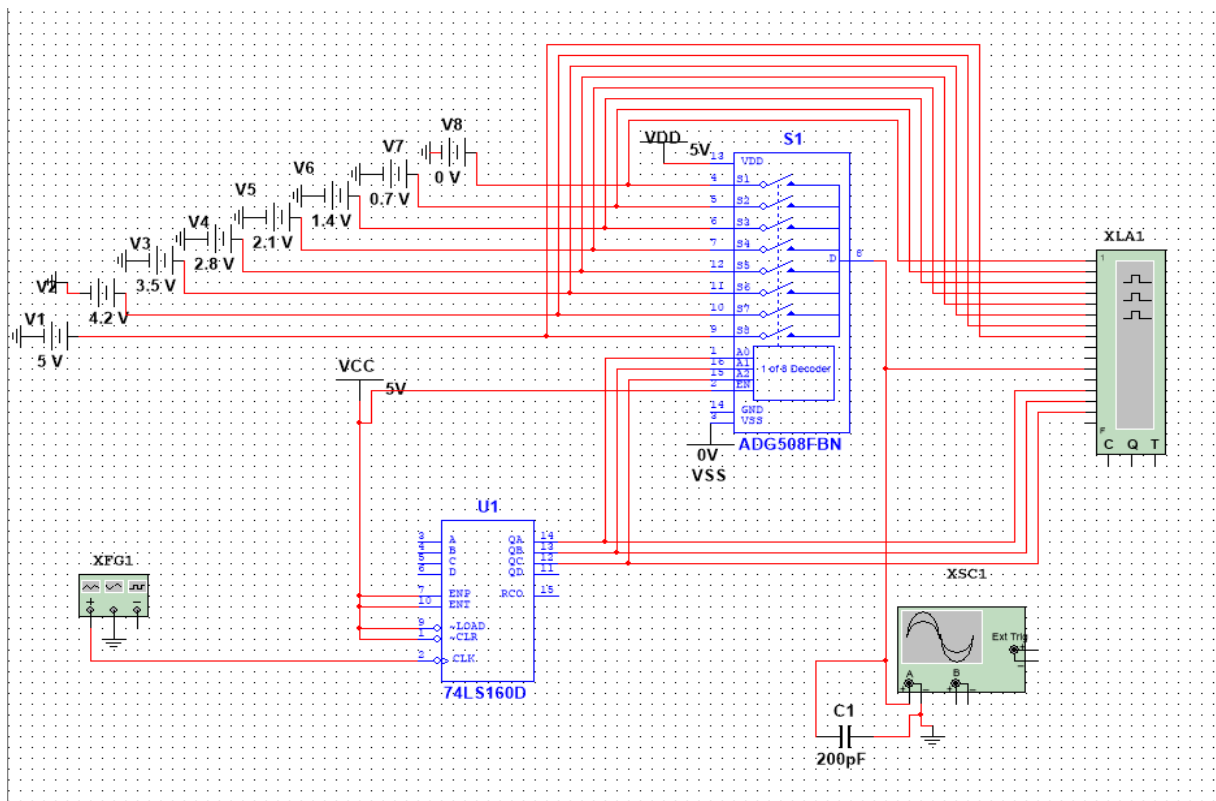


рис 2.4 схема с катушкой индуктивности
Информация с осциллографа (рисунок 2.5)

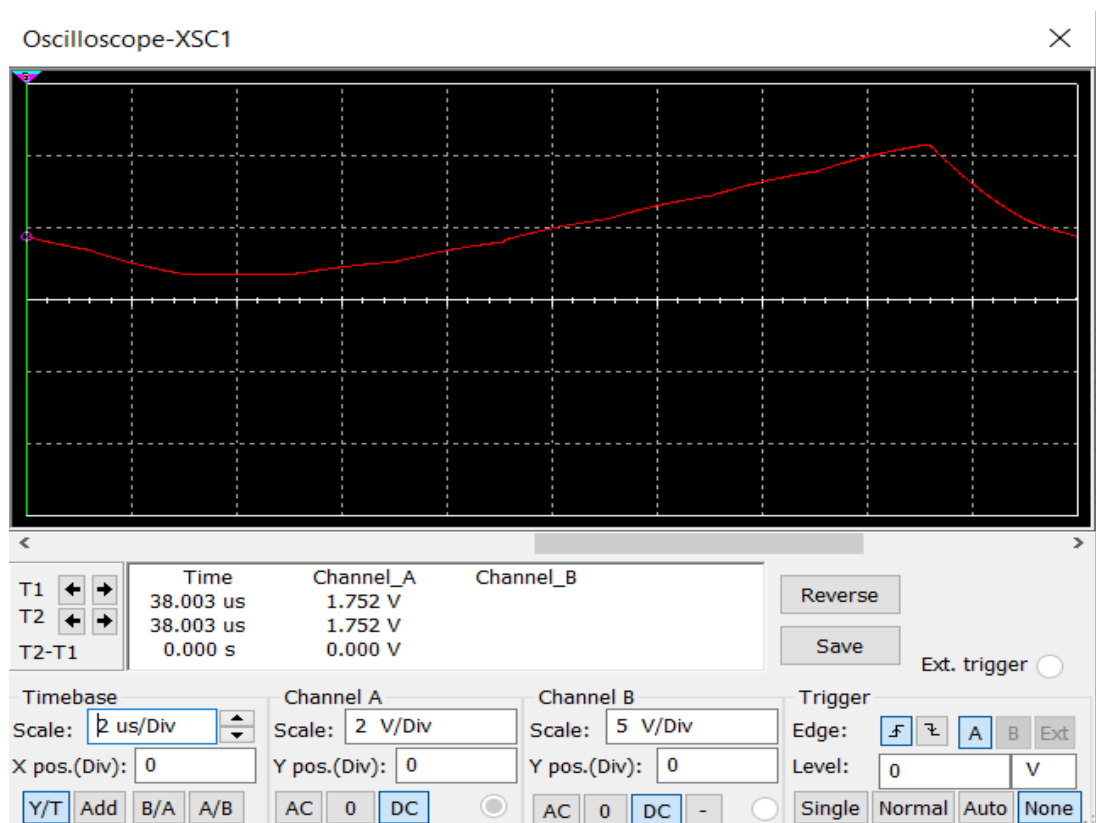


рис 2.5 Информация анализа с осциллографа

3. Исследование ИС ADG408 или ADG508 как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных. ФАЛ задается преподавателем.

Проверить работу формирователя в статическом и динамическом режимах. Снять временную диаграмму сигналов формирователя ФАЛ и провести ее анализ.

Вариант 21: (0110 0011 0001 1110)

Таблица 3.1

$x4$	$x3$	$x2$	$x1$	f	<i>Примечание</i>
0	0	0	0	0	D0 = x1
0	0	0	1	1	
0	0	1	0	1	D1 = $\sim x1$
0	0	1	1	0	
0	1	0	0	0	D2 = 0
0	1	0	1	0	
0	1	1	0	1	D3 = 1
0	1	1	1	1	
1	0	0	0	0	D4 = 0
1	0	0	1	0	
1	0	1	0	0	D5 = x1
1	0	1	1	1	
1	1	0	0	1	D6 = 1
1	1	0	1	1	
1	1	1	0	1	D7 = $\sim x1$
1	1	1	1	0	

Схема (рисунок 3.1).

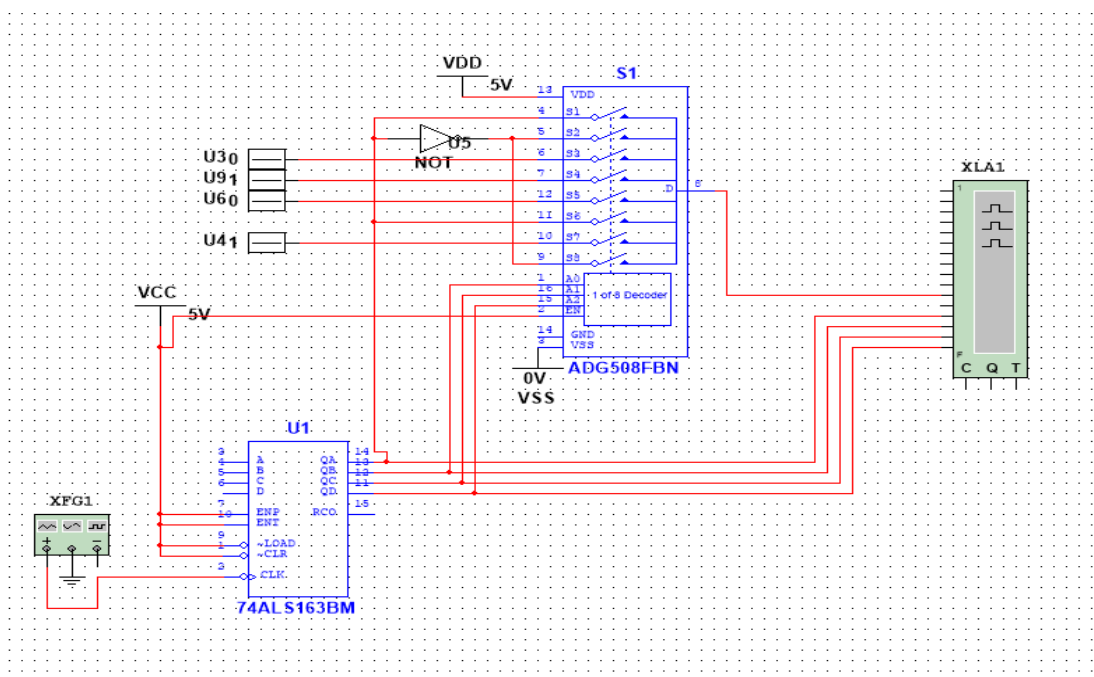


рис 3.1 схема в Multisim

Временная диаграмма (рисунок 3.2) для схемы на рисунке 3.1.

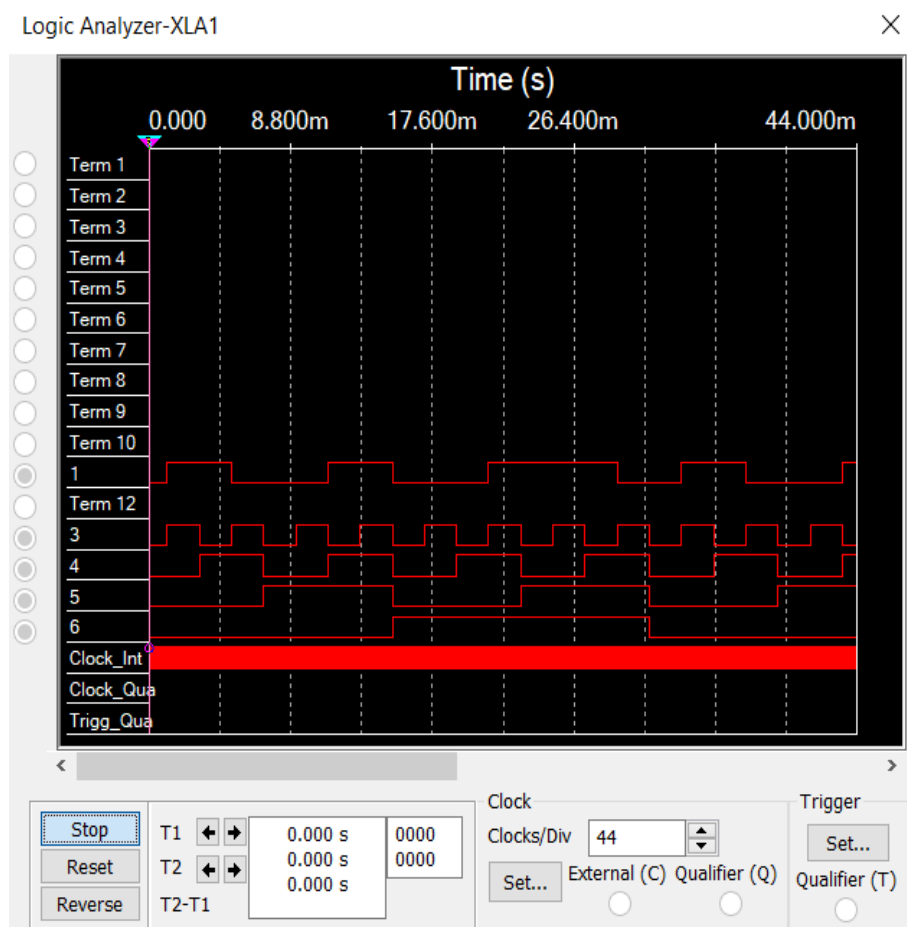


рис 3.2 Временная диаграмма

Исходя из данных полученных с логического анализатора, построенная схема работает верно.

4. Нарращивание мультиплексора.

Построить схему мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4.

Исследовать мультиплексора MUX 16 – 1 в динамическом режиме. На адресные входы подать сигналы с 4-разрядного двоичного счетчика, на информационные входы D0 ...D15 – из табл. 2. Провести анализ временной диаграммы сигналов мультиплексора MUX 16 – 1.

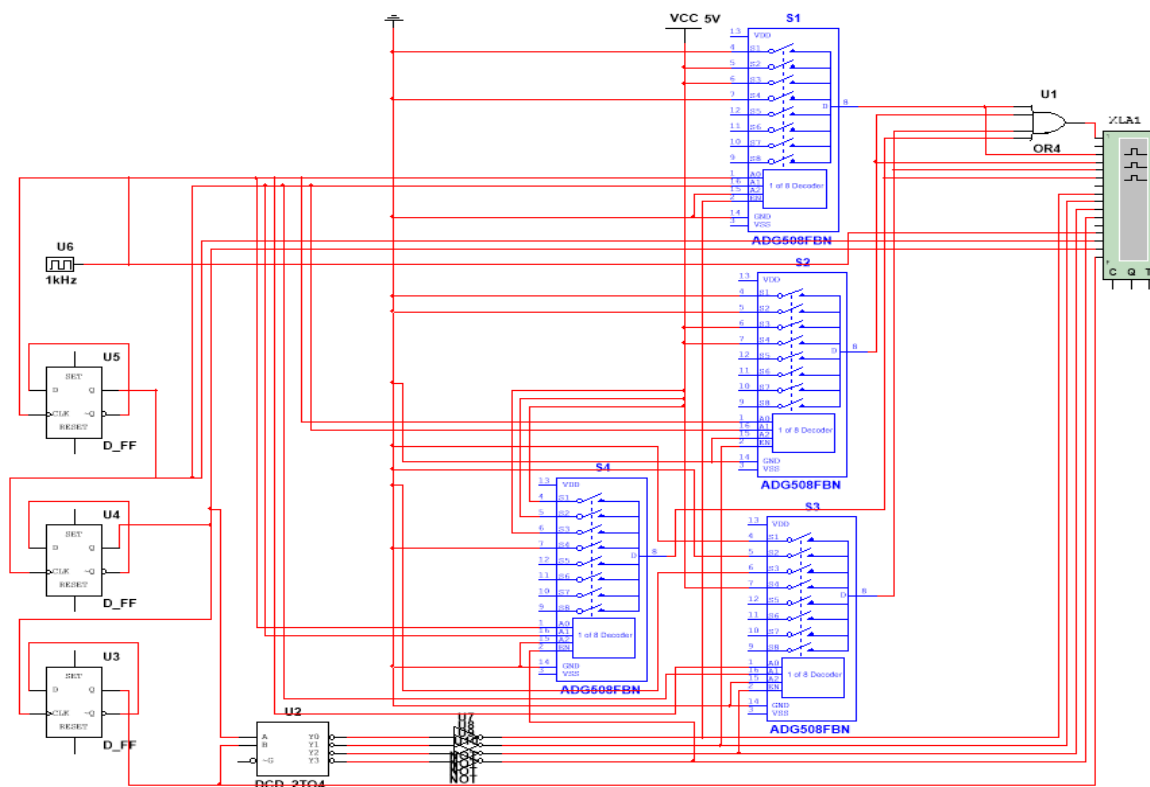


рис 4.1 схема в Multisim

Результаты логического анализатора:

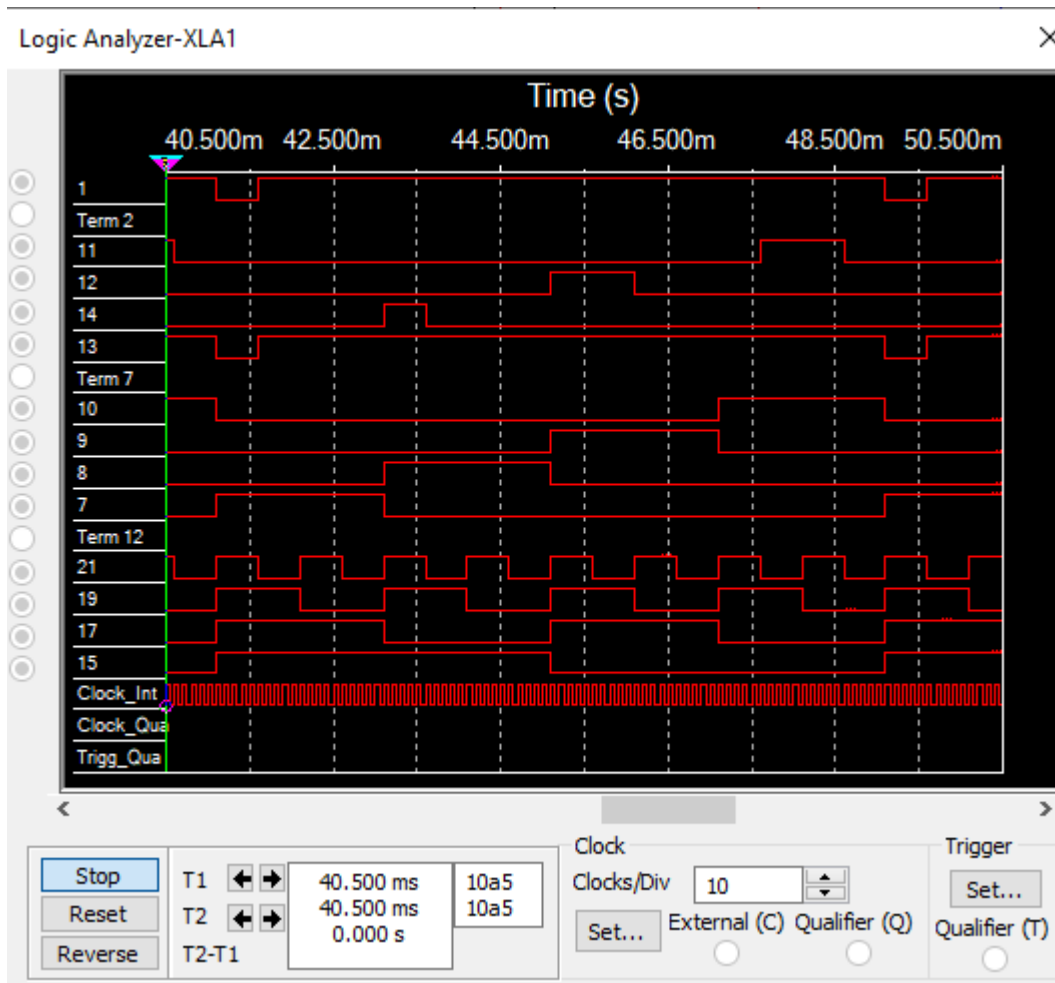


рис 4.2 временная диаграмма

Вывод

В результате данной лабораторной работы были изучены принципы построения и практического применения, а также экспериментально исследованы мультиплексоры.

Контрольные вопросы

1. Что такое мультиплексор?

Мультиплексор – это функциональный узел, имеющий n адресных входов и $N = 2^n$ информационных входов и выполняющий коммутацию на выход того информационного сигнала, адрес (т.е. номер) которого установлен на адресных входах. Мультиплексор переключает сигнал с одной из N входных линий на один выход.

2. Какую логическую функцию выполняет мультиплексор?

$$Y = EN \bigvee_{j=0}^{2^n-1} D_j m_j(A_{n-1}, A_{n-2}, \dots, A_i, \dots, A_1, A_0)$$

A_i - адресные входы и сигналы

D_j - информационные входы и сигналы

m_j - конституента числа, образованному двоичным кодом сигналов на адресных входах

EN - вход и сигнал разрешения (стробирования)

3. Каково назначение и использование входа разрешения?

Вход EN используется для:

- разрешения работы мультиплексора
- стробирования
- наращивания числа информационных входов

При $EN = 1$, разрешается работа мультиплексора, при $EN = 0$ – работа запрещена.

4. Какие функции может выполнять мультиплексор?

Мультиплексоры широко применяются для построения:

- коммутаторов-селекторов,
- постоянных запоминающих устройств емкостью бит
- комбинационных схем, реализующих функции алгебры логики
- преобразователей кодов (например, параллельного кода в последовательный) и других узлов.

5. Какие способы наращивания мультиплексоров?

Существует два способа наращивания коммутируемых каналов:

- по пирамидальной схеме соединения мультиплексоров меньшей размерности
- путем выбора мультиплексора группы информационных входов по адресу (т.е. номеру) мультиплексора с помощью дешифратора адреса мультиплексора группы, а затем выбором информационного сигнала мультиплексором группы по адресу информационного сигнала в группе.

6. *Поясните методику синтеза формирователя ФАЛ на мультиплексоре?*

Для реализации ФАЛ $n + 1$ переменных на адресные входы мультиплексора подаются n переменных, на информационных входы $n+1$ -ая переменная (или ее инверсия), константы 0 или 1 (в соответствии со значениями ФАЛ)

7. *Почему возникают ложные сигналы на выходе мультиплексора? Как их устранить?*

Для исключения на выходе ложных сигналов (их вызывают гонки входных сигналов), вход EN используется как стробирующий. Для выделения полезного сигнала на вход EN подается сигнал в интервале времени, свободном от действия ложных сигналов.