



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение высшего
образования
«Московский государственный технический университет имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ
КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)
НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

ОТЧЕТ

По лабораторной работе № 3

Название: Исследование синхронных счетчиков

Дисциплина: Архитектура ЭВМ

Студент

ИУ7И-44Б

(Группа)

Динь Вьет Ань

(Подпись, дата)

(И.О. Фамилия)

Преподаватель

А. Ю. Попов

(Подпись, дата)

(И.О. Фамилия)

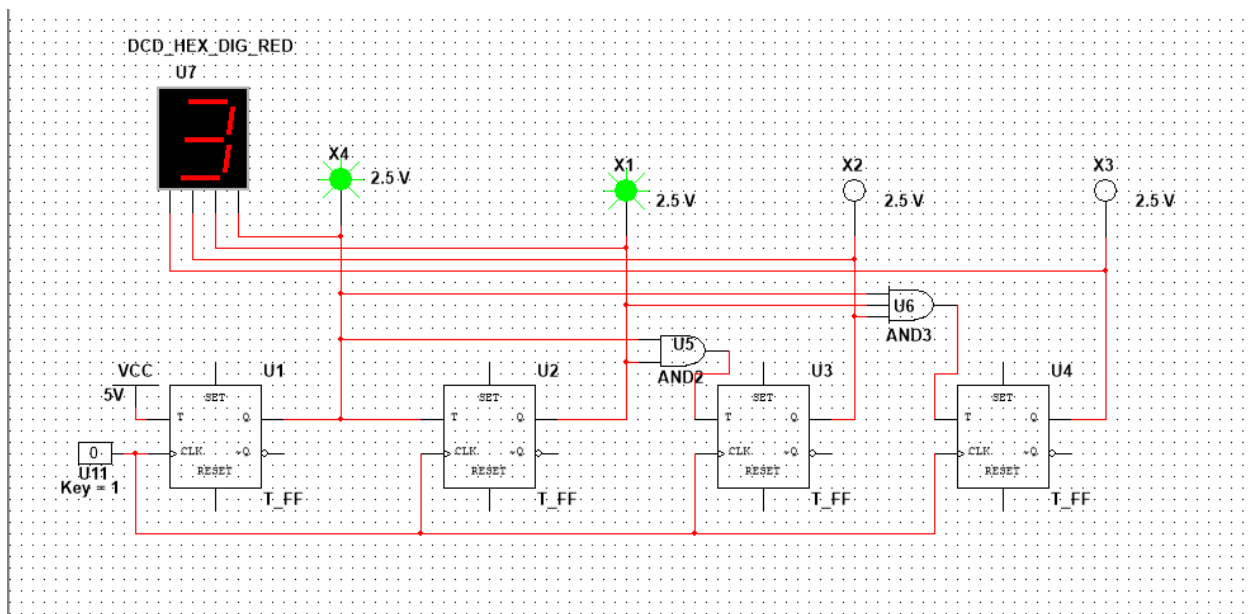
Цель работы: изучение принципов построения счетчиков, овладение методом синтеза синхронных счетчиков, экспериментальная оценка динамических параметров счетчиков, изучение способов наращивания разрядности синхронных счетчиков.

1. Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом на Ттриггерах. Проверить работу счётчика

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,
- от импульсов генератора.

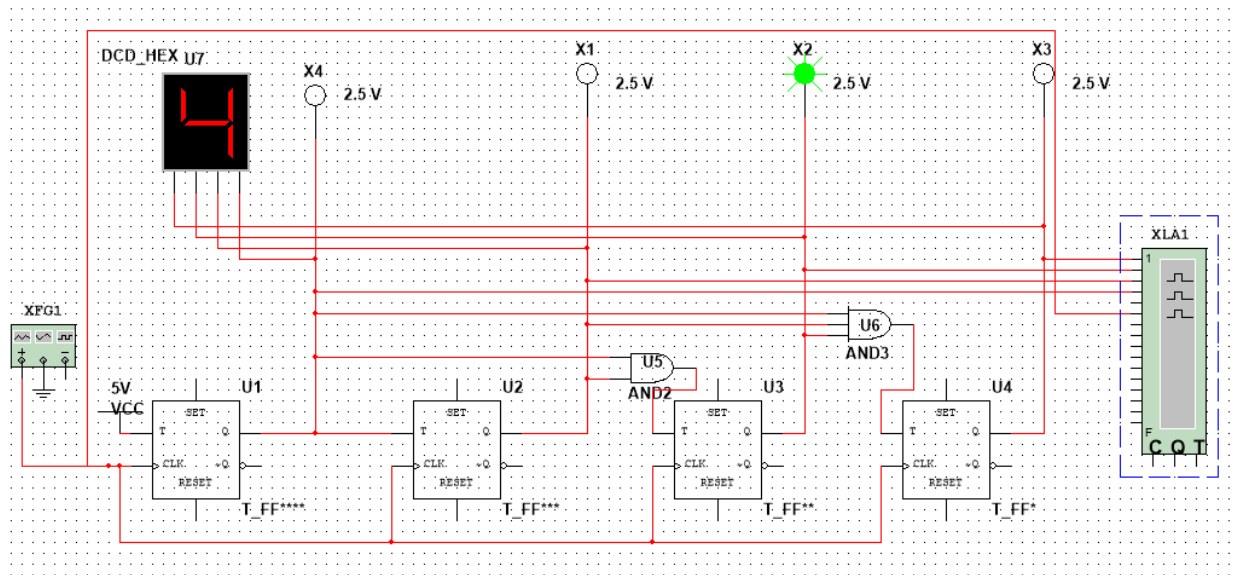
Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.

Схема от одиночного импульса (рисунок 1.1).



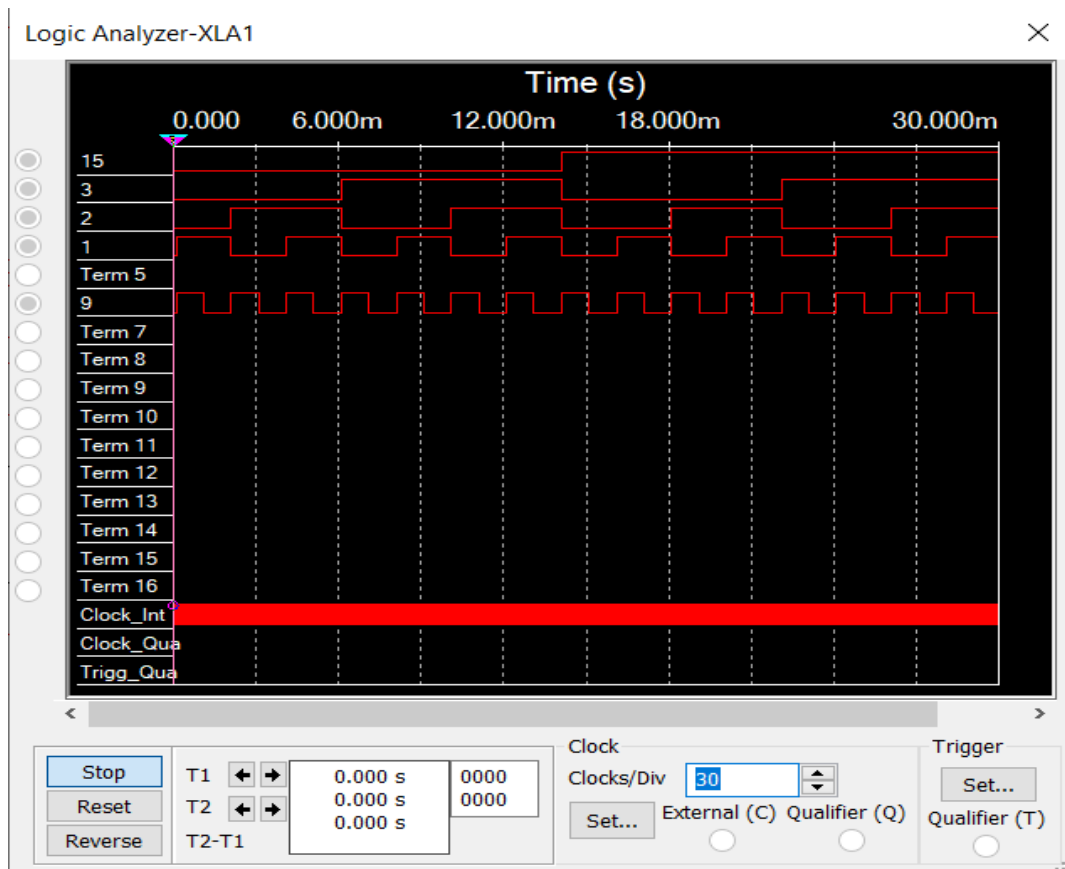
(рис 1.1 Схема от одиночного импульса)

Схема от импульсного генератора (рисунок 1.2).



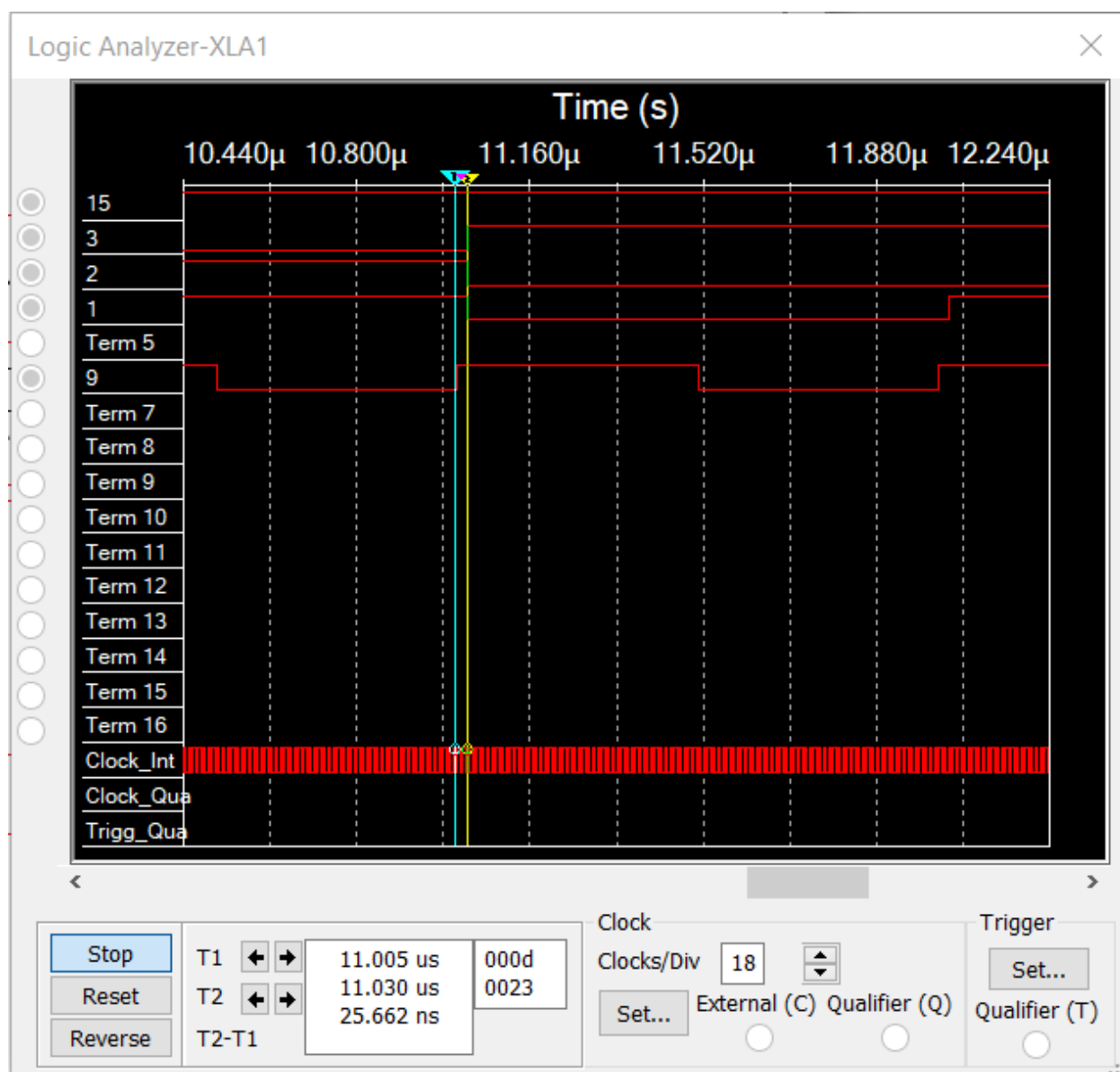
(рис 1.2 Схема от импульсного генератора)

Временная диаграмма (рисунок 1.3) для схемы на рисунке 1.2.



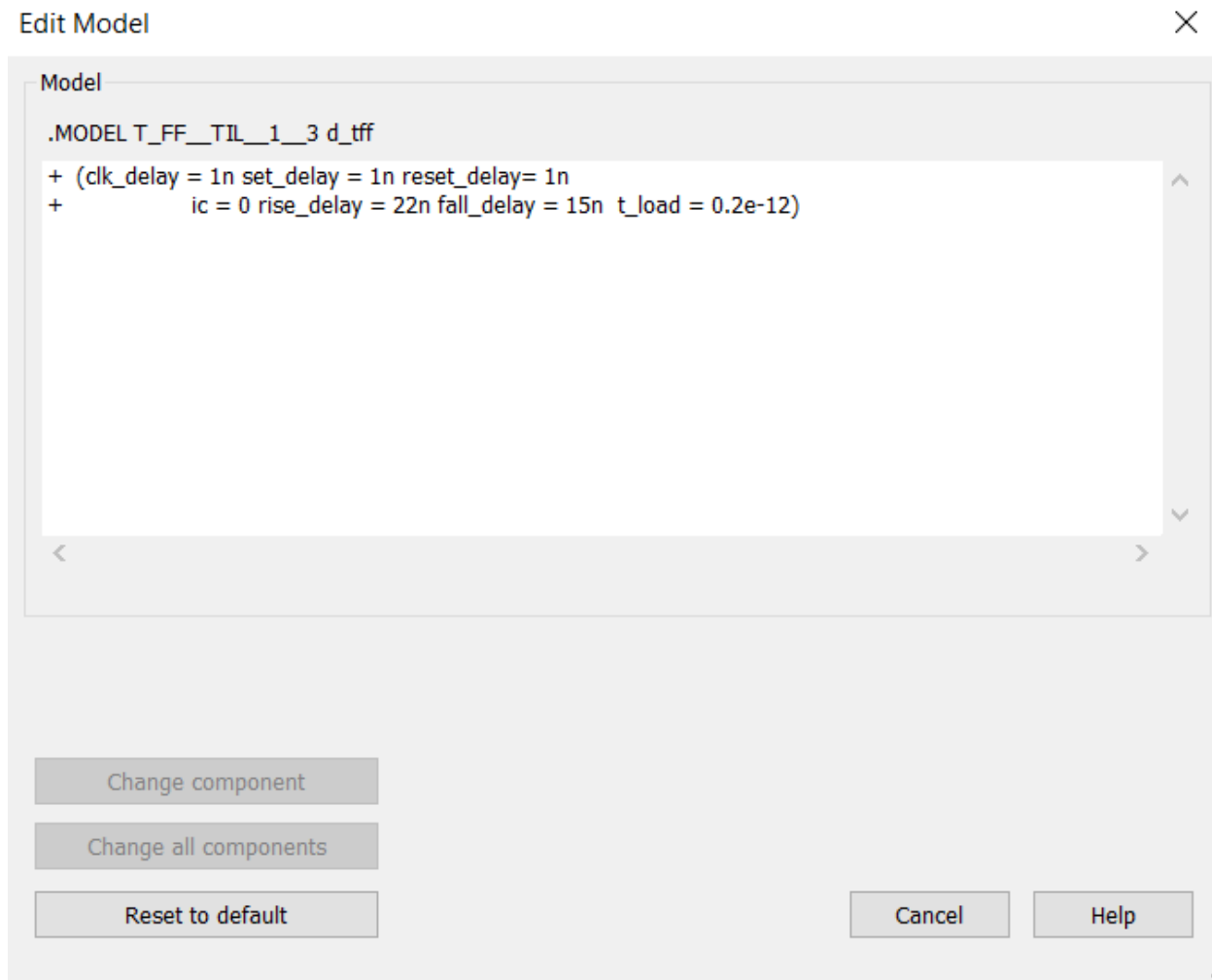
(рис 1.3 Временная диаграмма)

Получена задержка (рисунок 1.4) при данных настройках триггера (рисунок 1.5).



(рис 1.4 Временная диаграмма)

Получена задержка равна 25.662 ms.



(рис 1.5 Изменение свойства модели)

2. Синтезировать двоично-десятичный счётчик с заданной последовательностью состояний. Последовательность состояний счётчика для каждого варианта работы; десятичными числами обозначены номера двоичных наборов, изображающие десятичные цифры и определяющие состояние счётчика. Начертить схему счётчика на элементах интегрального базиса (И-НЕ; И, ИЛИ, НЕ), синхронных *JK*-триггерах

Вариант 21 0,1,2,3,4,11,12,13,14,15

Таблица 2.1

	Q_3	Q_2	Q_1	Q_0	Q_3^*	Q_2^*	Q_1^*	Q_0^*	J_3	K_3	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	0	0	0	0	1	0	*	0	*	0	*	1	*
1	0	0	0	1	0	0	1	0	0	*	0	*	1	*	*	1
2	0	0	1	0	0	0	1	1	0	*	0	*	*	0	1	*
3	0	0	1	1	0	1	0	0	0	*	1	*	*	1	*	1
4	0	1	0	0	1	0	1	1	1	*	*	1	1	*	1	*
5
6
7
8
9
10
11	1	0	1	1	1	1	0	0	*	0	1	*	*	1	*	1
12	1	1	0	0	1	1	0	1	*	0	*	0	0	*	1	*
13	1	1	0	1	1	1	1	0	*	0	*	0	1	*	*	1
14	1	1	1	0	1	1	1	1	*	0	*	0	*	0	1	*
15	1	1	1	1	0	0	0	0	*	1	*	1	*	1	*	1

Минимизация:

Карта Карно для $J_3 = q_2$ (таблица 2.2)

Таблица 2.2

q_1q_0 q_3q_2	00	01	11	10
00	0	0	0	0
01	1	-	-	-
11	*	*	*	*
10	-	-	*	-

Карта Карно для $K_3 = q_2q_1q_0$ (таблица 2.3)

Таблица 2.3

q_1q_0 q_3q_2	00	01	11	10
00	*	*	*	*
01	*	-	-	-
11	0	0	1	0
10	-	-	0	-

Карта Карно для $J_2 = q_1q_0 \mid q_3$ (таблица 2.4)

Таблица 2.4

q_1q_0 q_3q_2	00	01	11	10
00	0	0	1	0
01	*	-	-	-
11	*	*	*	*
10	-	-	1	-

Карта Карно для $K_2 = q_1q_0 \mid \sim q_3$ (таблица 2.5)

Таблица 2.5

q_1q_0 q_3q_2	00	01	11	10
00	*	*	*	*
01	1	-	-	-
11	0	0	1	0
10	-	-	*	-

Карта Карно для $J_1 = q_0 \mid \sim q_3q_2$ (таблица 2.6)

Таблица 2.6

q_1q_0 q_3q_2	00	01	11	10
00	0	1	*	*
01	1	-	-	-
11	0	1	*	*
10	-	-	*	-

Карта Карно для $K_1 = q_0$ (таблица 2.7)

Таблица 2.7

q_1q_0 q_3q_2	00	01	11	10
00	*	*	1	0
01	*	-	-	-
11	-	-	1	-
10	*	*	1	0

Карта Карно для $J_0 = 1$ (таблица 2.8)

Таблица 2.8

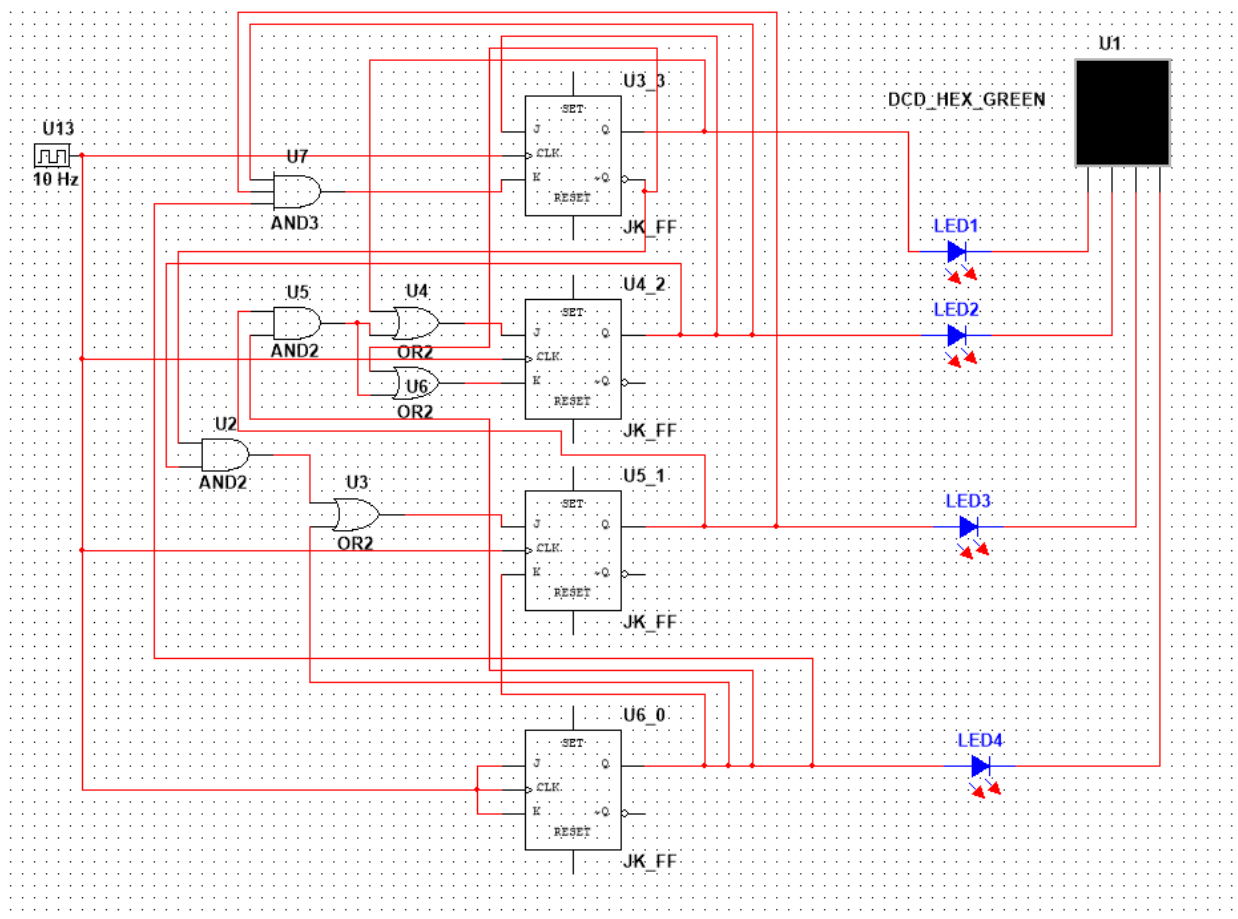
q_1q_0 q_3q_2	00	01	11	10
00	1	*	*	1
01	1	-	-	-
11	1	*	*	1
10	-	-	*	-

Карта Карно для $K_0 = 1$ (таблица 2.9)

Таблица 2.9

q_1q_0 q_3q_2	00	01	11	10
00	*	1	1	*
01	*	-	-	-
11	*	1	1	*
10	-	-	1	-

Схема счётчика на элементах интегрального базиса (И-НЕ; И, ИЛИ, НЕ), синхронных JK-триггерах (рисунок 2.1).



(рис 2.1 Схема в Multisim)

3. Собрать десятичный счётчик, используя элементную базу приложения Multisim или учебного макета. Установить счётчик в начальное состояние, подав на установочные входы R соответствующий сигнал.

Таблица счетчика (таблица 3.1).

Таблица 3.1

[illegible]

Минимизация:

Карта Карно для $J_3 = q_2 q_1 q_0$ (таблица 3.2)

Таблица 3.2

$q_1 q_0$ $q_3 q_2$	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	-	-	-	-
10	*	*	-	-

Карта Карно для $K_3 = q_0$ (таблица 3.3)

Таблица 3.3

$q_1 q_0$ $q_3 q_2$	00	01	11	10
00	*	*	*	*
01	*	*	*	*
11	-	-	-	-
10	0	1	-	-

Карта Карно для $J_2 = q_1q_0$ (таблица 3.4)

Таблица 3.4

q_1q_0 q_3q_2	00	01	11	10
00	0	0	1	0
01	*	*	*	*
11	-	-	-	-
10	0	0	-	-

Карта Карно для $K_2 = q_1q_0$ (таблица 3.5)

Таблица 3.5

q_1q_0 q_3q_2	00	01	11	10
00	*	*	*	*
01	0	0	1	0
11	-	-	-	-
10	0	0	-	-

Карта Карно для $J_1 = q_3q_0$ (таблица 3.6)

Таблица 3.6

q_1q_0 q_3q_2	00	01	11	10
00	0	1	*	*
01	0	1	*	*
11	-	-	-	-
10	0	0	-	-

Карта Карно для $K_1 = q_0$ (таблица 3.7)

Таблица 3.7

q_1q_0 q_3q_2	00	01	11	10
00	*	*	1	0
01	*	*	1	0
11	-	-	-	-
10	*	*	-	-

Карта Карно для $J_0 = 1$ (таблица 3.8)

Таблица 3.8

q_1q_0 q_3q_2	00	01	11	10
00	1	*	*	1
01	1	*	*	1
11	-	-	-	-
10	1	*	-	-

Карта Карно для $K_0 = 1$ (таблица 3.9)

Таблица 3.9

q_1q_0 q_3q_2	00	01	11	10
00	*	1	1	*
01	*	1	1	*
11	-	-	-	-
10	*	1	-	-

Схема (рисунок 3.1).

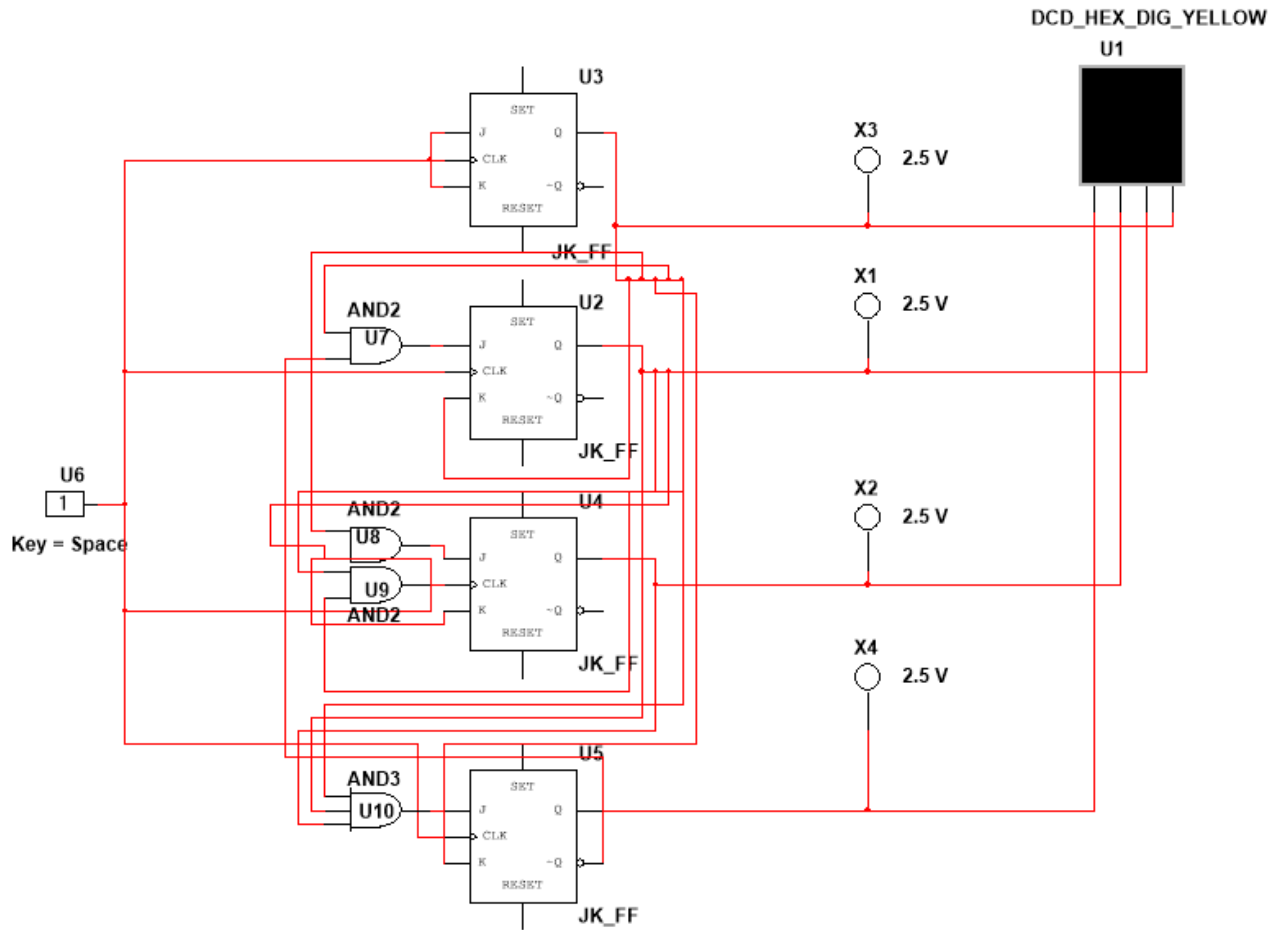


рис. 3.1 (схема в Multisim)

4. Исследование четырехразрядного синхронного суммирующего счетчика с параллельным переносом. Проверить работу счетчика:

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,**
- от импульсов генератора.**

Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.

Схема от одиночных импульсов (рисунок 4.1).

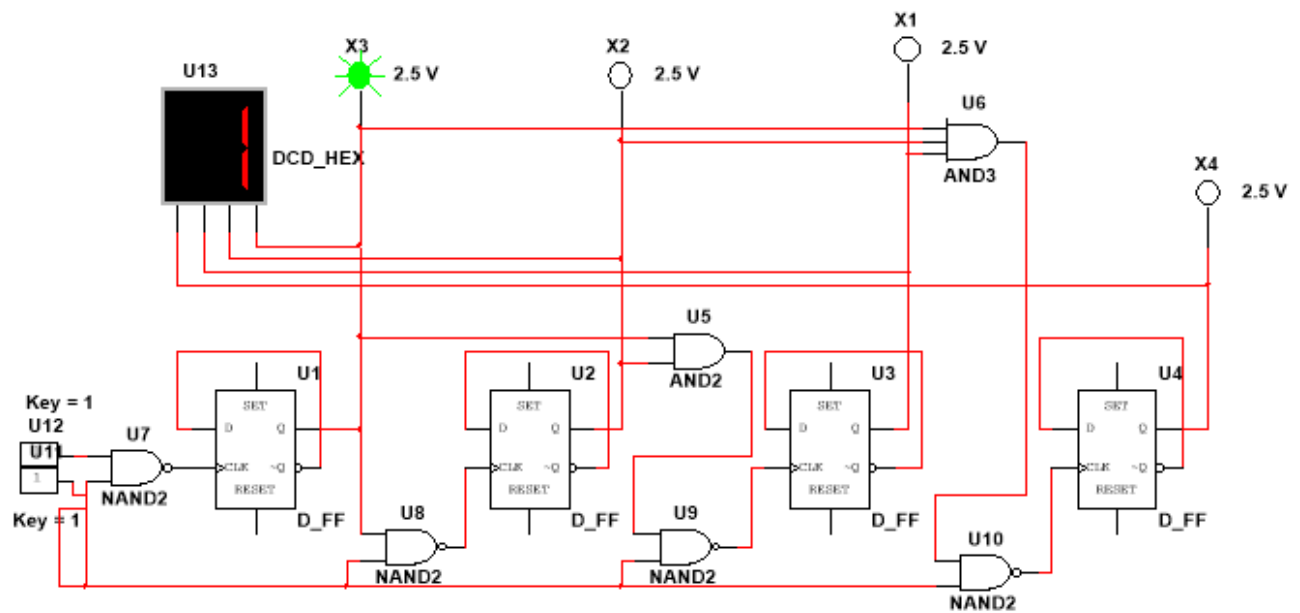


рис. 4.1(схема в Multisim)

Схема от импульсного генератора (рисунок 4.2).

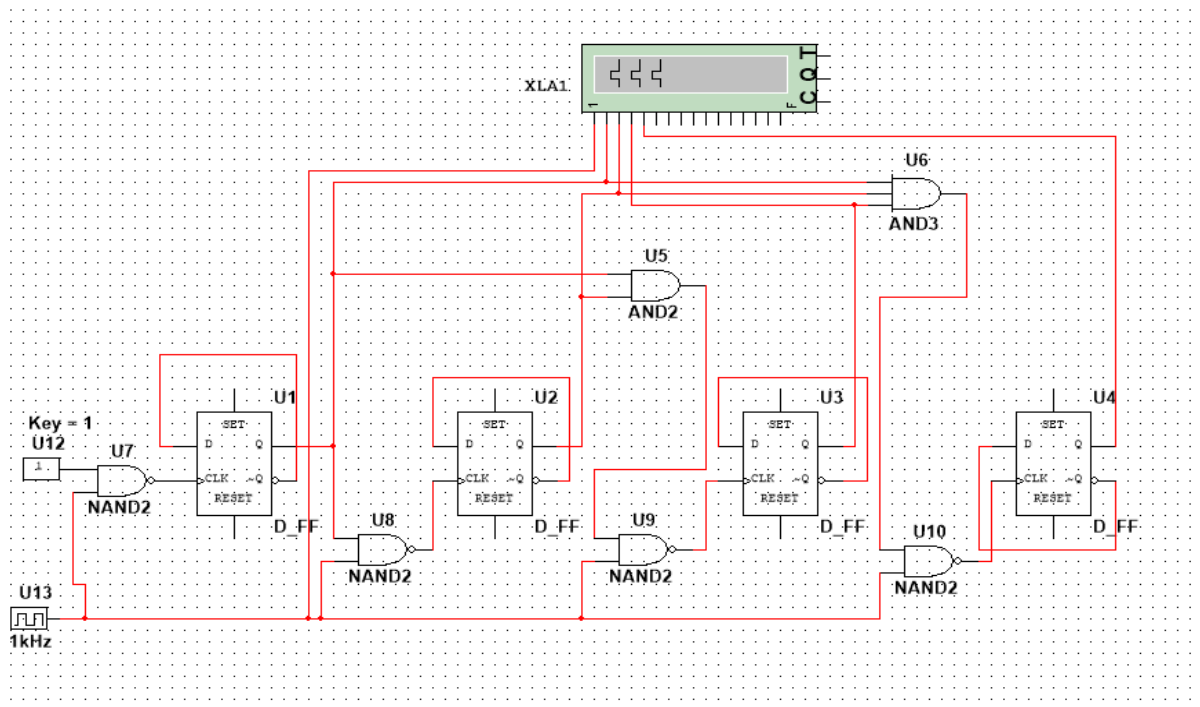


рис. 4.2(схема в Multisim)

Временная диаграмма (рисунок 4.3) для схемы на рисунке 4.2.

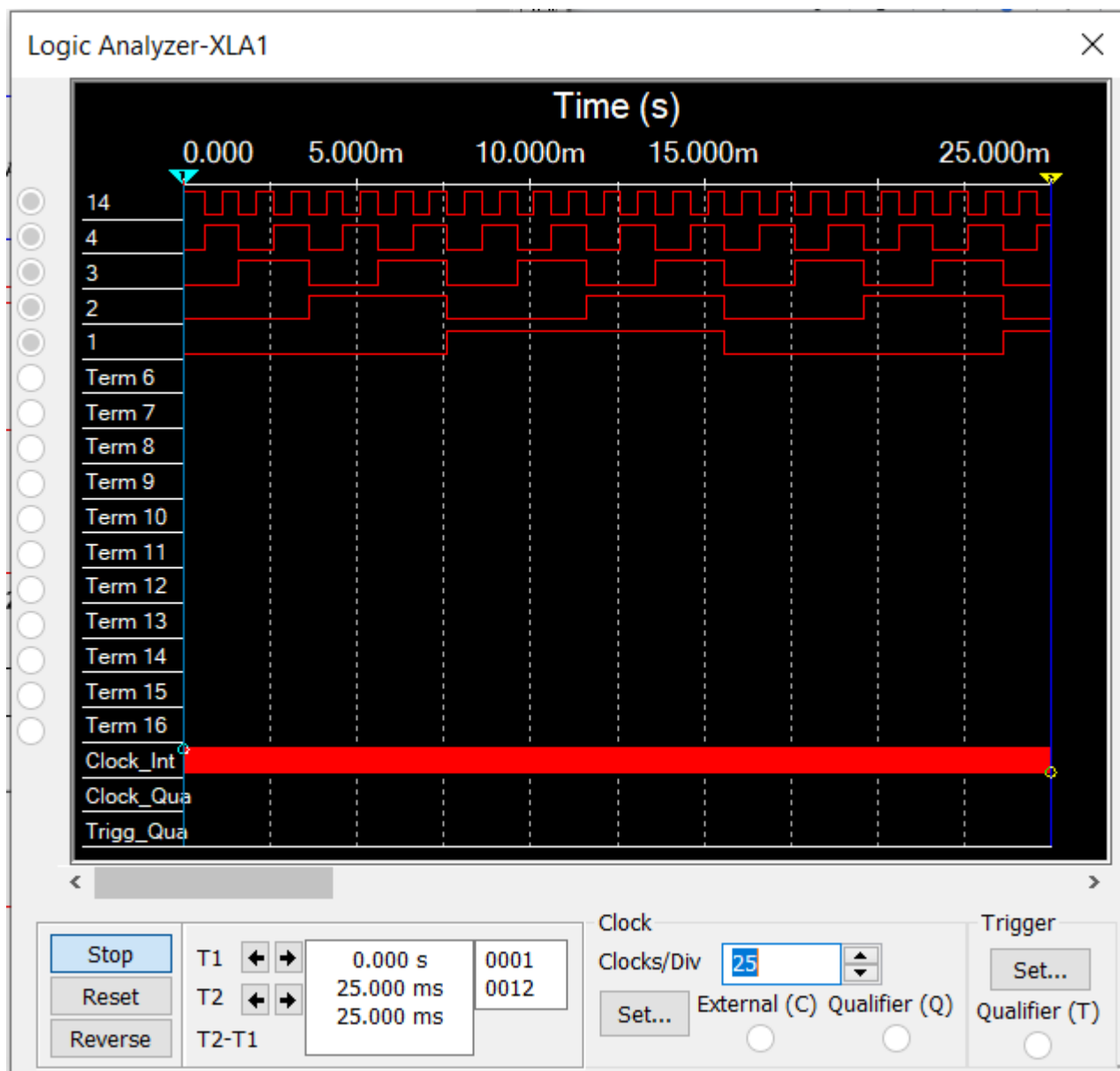


рис. 4.3 Временная диаграмма

5. Исследование четырехразрядного синхронного суммирующего счетчика с параллельным переносом ИС К555ИЕ9, аналог ИС 74LS160.

ИС К555ИЕ9, аналог ИС 74LS160 изображён на рисунке 5.1.



рис. 5.1 ИС 74LS160

Проверить работу счетчика:

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,
- от импульсов генератора.

Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.

Схема от одиночных импульсов (рисунок 5.2).

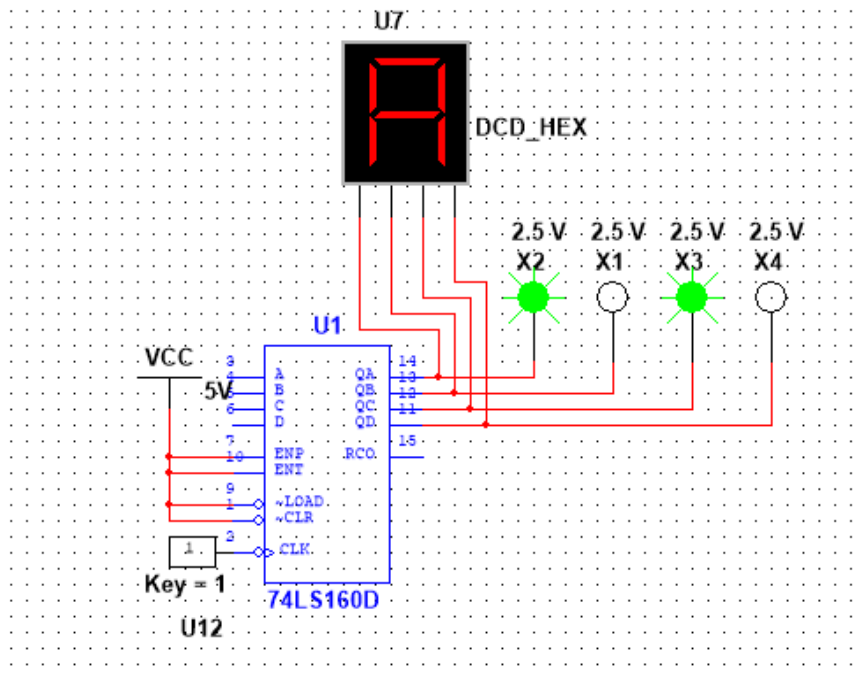


рис. 5.2(схема в Multisim)

Схема от импульсного генератора (рисунок 5.3).

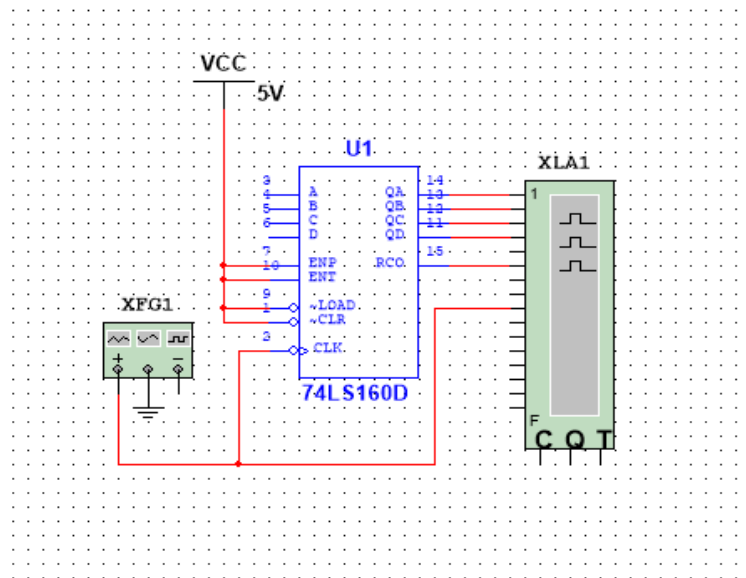


рис. 5.3(схема в Multisim)

Временная диаграмма (рисунок 5.4) для схемы на рисунке 5.3.

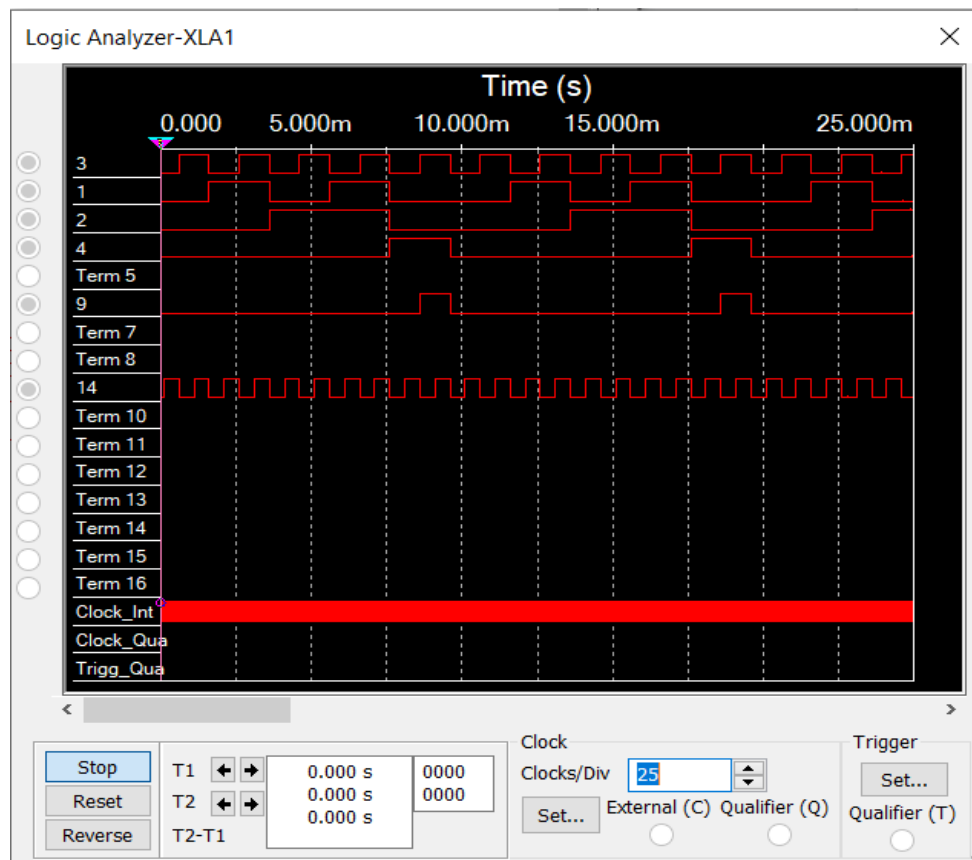


рис.5.4 Временная диаграмма

6. Исследование схем наращивания разрядности счетчиков ИЕ9 до четырех секций с последовательным переносом между секциями и по структуре «быстрого» счета.

Последовательный перенос между секциями - рисунок 6.1.

Структура “быстрого” счета - рисунок 6.2.

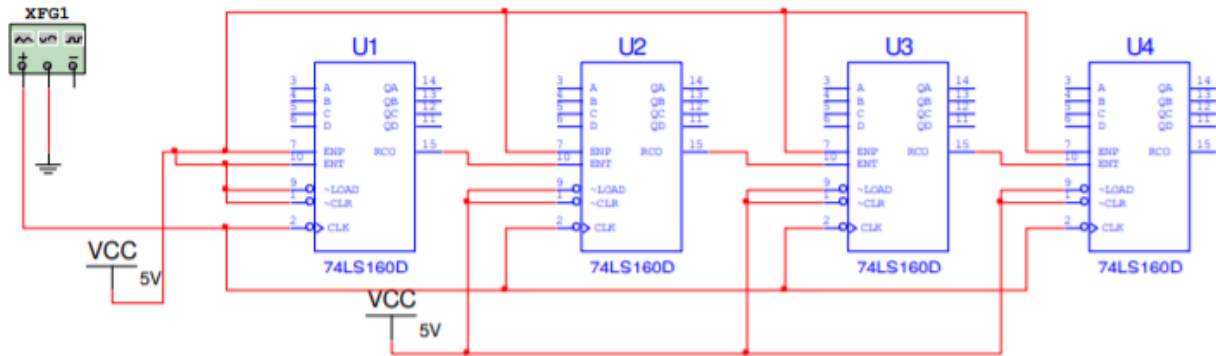


рис. 6.1 Последовательный перенос между секциями

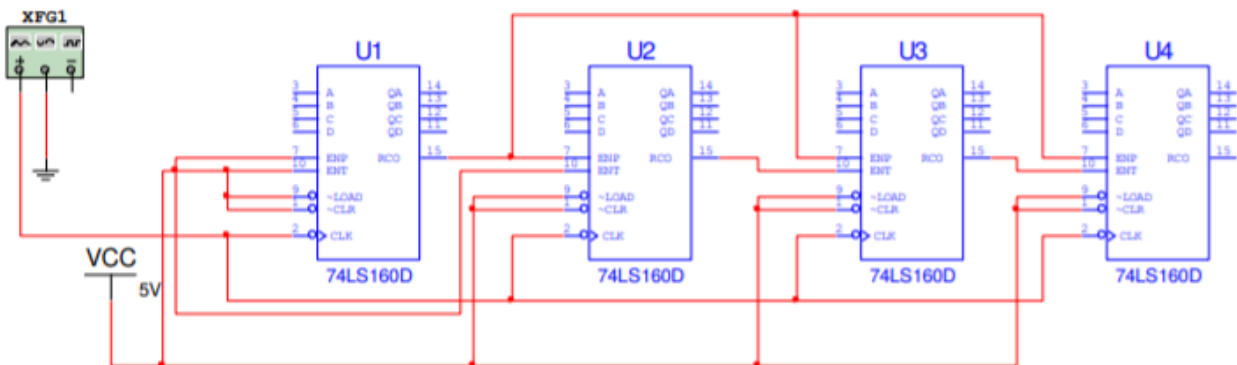


рис. 6.2 Структура “быстрого” счета

Схема наращивания разрядности счетчиков по структуре “быстрого” переноса (рисунок 6.3).

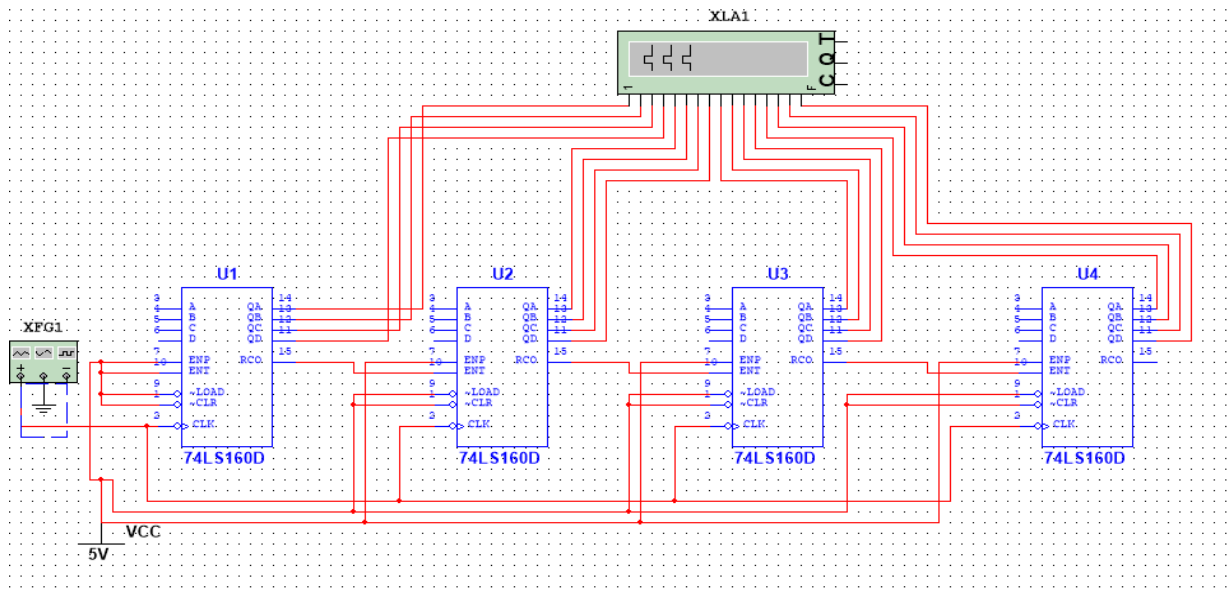


рис. 6.3(Схема в Multisim)

Временная диаграмма (рисунок 6.4) для схемы на рисунке 6.3.

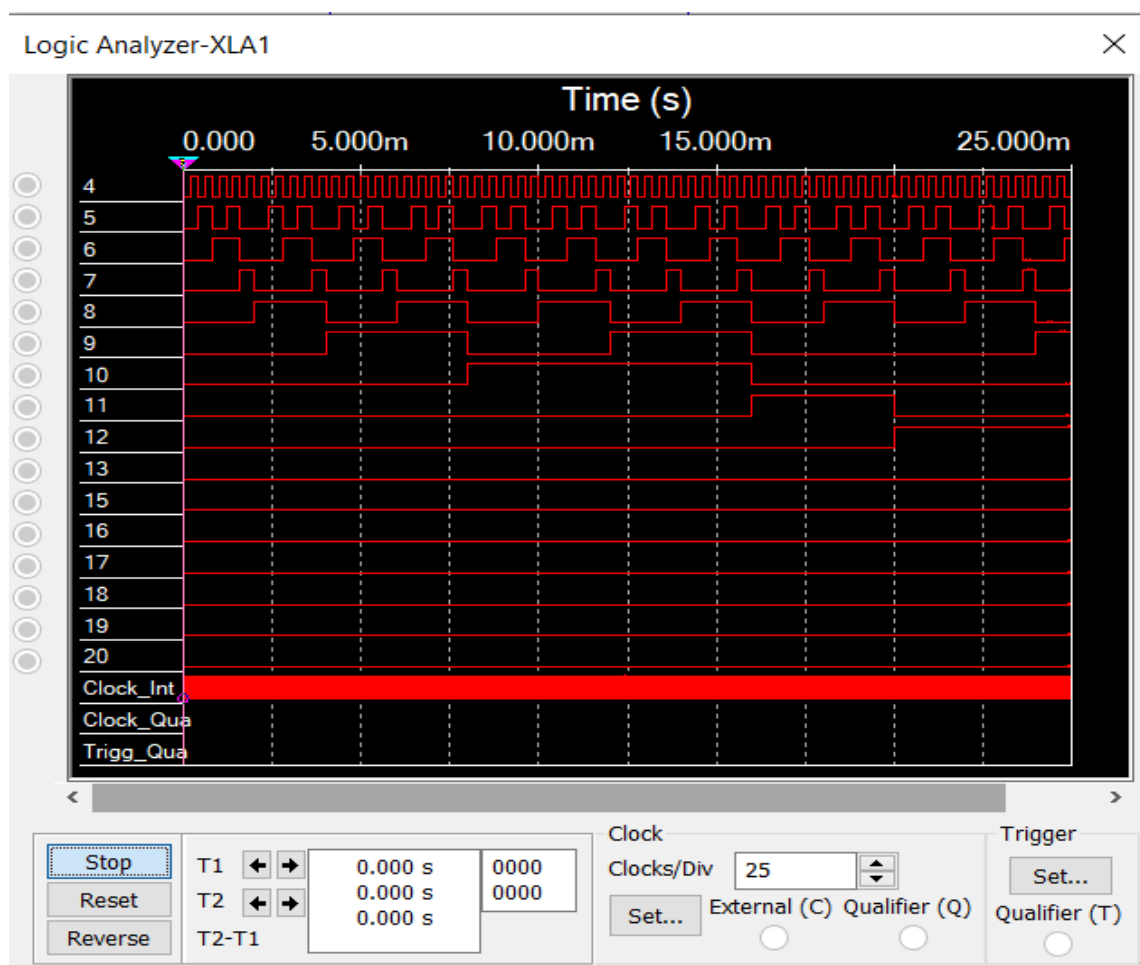


рис. 6.4 Временная диаграмма

Вывод

В ходе выполнения лабораторной работы были изучены принципы построения счетчиков, способы наращивания разрядности синхронных счетчиков; методы синтеза синхронных счетчиков. Также была получена экспериментальная оценка динамических параметров счетчиков.

Контрольные вопросы

1. Что называется счётчиком?

Счётчик – это операционный узел ЭВМ, предназначенный для выполнения счёта, кодирования в определённой системе счисления и хранения числа сигналов импульсного типа, поступающих на счетный вход.

2. Что называется коэффициентом пересчёта?

Коэффициент пересчёта – число входных сигналов, которое возвращает схему в начальное состояние, в качестве которого может быть взято любое ее состояние.

3. Перечислить основные классификационные признаки счётчиков.

По значению модуля счета:

- Двоичные счетчики ($M = 2^n$, n - кол-во двоичных разрядов)
- Двоичные кодированные счетчики
- Счетчики с одинарным кодированием (состояние представлено местом расположения единственной единицы)

Помимо этих, существуют счётчики классификации

- по направлению счёта
- по способу организации межразрядных связей
- по порядку изменения состояний
- по способу управления переключением триггеров во время счёта

4. Указать основные параметры счетчиков.

- Модуль счёта M

- Емкость счетчика N
- Статические и динамические параметры счётчика (максимальная частота счета, минимальные длительности различных импульсов)

5. Что такое время установки кода счетчика?

Время установки кода счетчика – один из параметров, влияющих на его быстродействие. Время установки кода t_{set} равно времени между моментом поступления входного сигнала и моментом установки счетчика в новое устойчивое состояние

6. Объяснить работу синхронного счетчика с параллельным переносом, оценить его быстродействие.

Синхронные счетчики строятся на синхронных триггерах, синхронизирующие входы объединены. Счётные сигналы подают на входы. Поэтому триггеры переключаются одновременно, Отсюда сделаем вывод, что время задержки распространения сигнала от счетного входа до выходов его триггеров равно времени задержки распространения сигнала любого триггера счетчика от C -входа до его выхода.

Максимальная частота – при параллельном образовании сигналов. Сигналы переноса формируется в каждом разряде, с помощью логических схем. В качестве триггеров - синхронные триггеры с динамическим управлением.

В синхронном двоичном суммирующем счетчике с параллельным переносом, построенном на JK -триггерах, функции возбуждения формируются параллельно.

7. Объяснить методику синтеза синхронных счётчиков на двухступенчатых JK - и D -триггерах.

Синтез синхронного счётчика как цифрового автомата содержит 6 этапов:

1. Определение числа триггеров счетчика, исходя из модуля счета M и максимального состояния L счётчика: $n1 = \lceil \log_2 M \rceil$, $n2 = \lceil \log_2 L \rceil$, где $\lceil \dots \rceil$ – округление до ближайшего большего целого числа.
2. Составление обобщенной таблицы переходов счетчика и функций возбуждения триггеров.
3. Минимизация функции возбуждения триггеров счётчика.
4. Перевод минимизированных функций возбуждения в заданный базис логических функций.
5. Построение функциональной схемы счётчика
6. Проверка полученной схемы счётчика на самовосстановление после сбоев.