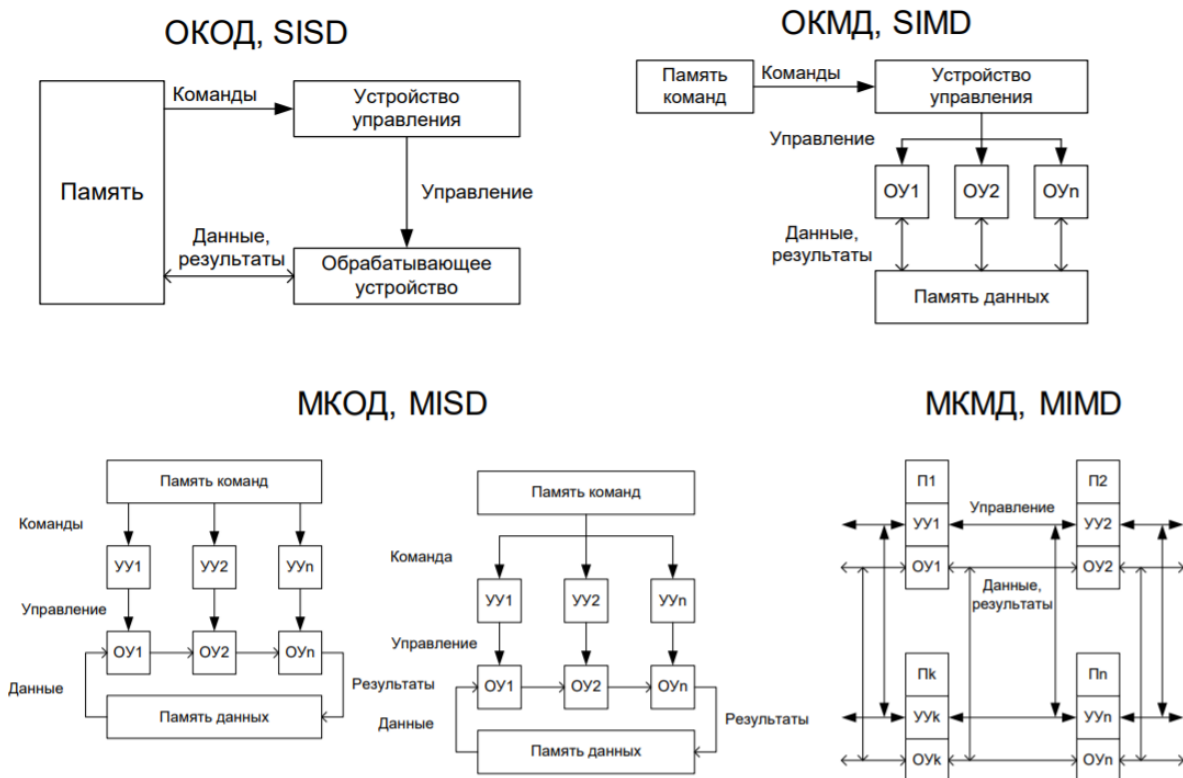


1. Классификация ЭВМ по количеству потоков команд и данных (классификация Флинна).

<https://parallel.ru/computers/taxonomy/flynn.html>

Классификация ЭВМ по количеству потоков команд и данных:

- ЭВМ с одним потоком команд и одним потоком данных (ОКОД, SISD);
- ЭВМ с одним потоком команд и многими потоками данных (ОКМД, SIMD);
- ЭВМ с многими потоками команд и одним потоком данных (МКОД, MISD);
- ЭВМ с многими потоками команд и многими потоками данных (МКМД, MIMD).



1. *SISD* (*Single Instructions Single Data*) — однопроцессорный компьютер, который в любой момент времени управляется единственным потоком команд и обрабатывает единственный поток данных (рис. 6.1).

2. *SIMD* (*Single Instructions Multiple Data*) — многопроцессорный компьютер, управляемый единственным потоком команд (все процессоры одновременно выполняют одну и ту же команду) и производящий одновременную обработку нескольких потоков данных. В *SIMD*-компьютерах процессоры объединяют в одномерную либо многомерную матрицы. В системе команд многих современных процессоров имеется набор *-SYMD*-операций, предназначенных для работы с векторными и матричными данными.

3. *MISD (Multiple Instructions Single Data)* — многопроцессорный компьютер, управляемый несколькими потоками команд (все процессоры одновременно выполняют команды, относящиеся, вообще говоря, к разным потокам) и обрабатывающий единственный поток данных. В *MISD*-компьютерах процессоры соединены в конвейер, так что результаты с выхода одного процессора поступают на вход следующего. Элементы конвейерной архитектуры широко используются в современных процессорах.

4. *MIMD (Multiple Instructions Multiple Data)* — многопроцессорный компьютер, управляемый несколькими потоками команд и обрабатывающий одновременно несколько потоков данных. В *MIMD*-компьютерах межпроцессорные связи образуют различные сложные структуры.

2. Классификация ЭВМ по назначению.

По назначению ЭВМ можно разделить на три группы: универсальные (общего назначения), проблемно-ориентированные и специализированные

Универсальные ЭВМ предназначены для решения самых различных инженерно-технических задач: экономических, математических, информационных и других задач, отличающихся сложностью алгоритмов и большим объемом обрабатываемых данных.

Они широко используются в вычислительных центрах коллективного пользования и в других мощных вычислительных комплексах.

Характерными чертами универсальных ЭВМ являются:

- высокая производительность;
- разнообразие форм обрабатываемых данных: двоичных, десятичных, символьных, при
- большом диапазоне их изменения и высокой точности их представления;
- обширная номенклатура выполняемых операций, как арифметических, логических,
- так и специальных;
- большая емкость оперативной памяти;
- развитая организация системы ввода-вывода информации, обеспечивающая подключение разнообразных видов внешних устройств.

Проблемно-ориентированные ЭВМ служат для решения более узкого круга задач, связанных, как правило, с управлением технологическими объектами; регистрацией, накоплением и обработкой относительно небольших объемов данных; выполнением расчетов по относительно несложным алгоритмам; они обладают ограниченными по сравнению с универсальными ЭВМ аппаратными и программными ресурсами.

Специализированные ЭВМ используются для решения узкого круга задач или реализации строго определенной группы функций.

К специализированным ЭВМ можно отнести, например, программируемые микропроцессоры специального назначения; адаптеры и контроллеры, выполняющие логические функции управления отдельными несложными техническими устройствами, агрегатами и процессами; устройства согласования и сопряжения работы узлов вычислительных систем.

Классификация ЭВМ по назначению:

Общего назначения

- Супер ЭВМ
- Минисупер ЭВМ
- Мэйнфреймы
- Серверы
- Рабочие станции
- Персональные компьютеры
- Ноутбуки
- Портативные компьютеры –
- ... Специализированные

3. Прямой, обратный и дополнительный коды.

Прямой код представляет собой одинаковое представление значимой части числа для положительных и отрицательных чисел и отличается только знаковым битом. В прямом коде число 0 имеет два представления «+0» и «-0».

Обратный код для положительных чисел имеет тот же вид, что и прямой код, а для отрицательных чисел образуется из прямого кода положительного числа путем инвертирования всех значащих разрядов прямого кода. В обратном коде число 0 также имеет два представления «+0» и «-0».

Дополнительный код для положительных чисел имеет тот же вид, что и прямой код, а для отрицательных чисел образуется путем прибавления 1 к обратному коду. Добавление 1 к обратному коду числа 0 дает единое представление числа 0 в дополнительном коде.

Прямой, обратный и дополнительный коды

Прямой код

$$G_{пр} = \begin{cases} G, & \text{при } G \geq 0 \\ A + |G|, & \text{при } G < 0 \end{cases}$$

$A - B = A + (-B)$
 G – n -разрядное число;
 A – вес старшего разряда
 $A = 2^{n-1}$ для целых и $A=1$ для дробей

Положительные числа

$$10_{10} = 01010_2$$

$$0.75_{10} = 0.110_2$$

Отрицательные числа

$$-10_{10} = 11010_2 = 10000 + 01010$$

$$-0.75_{10} = 1.110_2 = 1.000 + 0.110$$

Обратный код

$$G_{обр} = \begin{cases} G, & \text{при } G \geq 0 \\ B - |G|, & \text{при } G < 0 \end{cases}$$

G – n -разрядное число;
 B – наибольшее число без знака
 $B = 2^n - 1$ для целых и $B = 2 - 2^{-(n-1)}$ для дробей

Положительные числа

$$10_{10} = 01010_2$$

$$0.75_{10} = 0.110_2$$

Отрицательные числа

$$-10_{10} = 10101_2 = 11111 - 01010$$

$$-0.75_{10} = 1.001_2 = 1.111 - 0.110$$

Дополнительный код

$$G_{доп} = \begin{cases} G, & \text{при } G \geq 0 \\ C - |G|, & \text{при } G < 0 \end{cases}$$

G – n -разрядное число;
 C – наибольшее число без знака + 1
 $C = 2^n$ для целых и $C=2$ для дробей

Положительные числа

$$10_{10} = 01010_2$$

$$0.75_{10} = 0.110_2$$

Отрицательные числа

$$-10_{10} = 10110_2 = 100000 - 01010$$

$$-0.75_{10} = 1.010_2 = 10.000 - 0.110$$

Переполнение при сложении чисел в дополнительном коде определяется, если перенос в знаковый разряд не вызывает перенос из знакового разряда, и перенос из знакового разряда не вызван переносом в знаковый

4. Числа с фиксированной и плавающей запятой: сравнение способов кодирования и области применения .

Числа с фиксированной запятой (позиция разделителя дробной и целой части заранее определена)

Числа с плавающей запятой (позиция разделителя определяется с помощью порядка числа)

Числа с плавающей запятой: $X = SP \cdot q$ q – мантисса числа X ; P – порядок числа S – основание характеристики (для двоичной системы $S=2$); SP - характеристика

Пример: $0,0110000 \cdot 10011_2 = 0,375 \cdot 23_{10} = 0.0011000 \cdot 10100_2 = 0.1100000 \cdot 10010_2 = 0.75 \cdot 22_{10}$

• Сравнение чисел с Ф.З и с П.З.: У Ч.П.З. Большой диапазон представления
Арифметика над Ч.П.З. более сложная

В вычислительных машинах применяются две формы представления двоичных чисел:

- естественная форма или форма с фиксированной запятой(точкой);
- нормальная форма или форма с плавающей запятой(точкой).

В форме представления с *фиксированной запятой* все числа изображаются в виде последовательности цифр с постоянным для всех чисел положением запятой, отделяющей целую часть от дробной.

Например: в десятичной системе счисления имеется 5 разрядов в целой части числа (до запятой) и 5 разрядов в дробной части числа (после запятой); числа, записанные в такую разрядную сетку, имеют вид:

+00721,35500; +00000,000328; -10301,20260.

Эта форма наиболее проста, естественна, но имеет небольшой диапазон представления чисел и поэтому чаще всего не приемлема при вычислениях. Диапазон значащих чисел n в системе счисления с основанием P при наличии m разрядов в целой части и s разрядов в дробной части числа (без учета знака числа) будет:

$$P^{-s} \leq N \leq P^m - P^{-s}.$$

Например, при $P = 2$, $m = 10$ и $s = 6$ числа изменяются в диапазоне:

$$0,015 < N < 1024.$$

Если в результате операции получится число, выходящее за допустимый диапазон, происходит переполнение разрядной сетки, и дальнейшие вычисления теряют смысл. В современных ЭВМ естественная форма представления используется как вспомогательная и только для целых чисел.

В форме представления с *плавающей запятой* каждое число изображается в виде двух групп цифр. Первая группа цифр называется *мантиссой*, вторая – *порядком*, причем абсолютная величина мантиссы должна быть меньше 1, а порядок – целым числом. В общем виде, число в форме с плавающей запятой может быть представлено так:

$$N = \pm M \cdot P^{\pm r},$$

где M – мантисса числа ($|M| < 1$); r – порядок числа (r – целое число); P – основание системы счисления. Например, приведенные ранее числа в нормальной форме запишутся так:

$$+0,721355 \cdot 10_3; +0,328 \cdot 10^{-3}; -0,103012026 \cdot 10_5.$$

Нормальная форма представления имеет огромный диапазон отображения чисел и является основной в современных компьютерах.

Следует заметить, что все числа с плавающей запятой хранятся в машине в так называемом нормализованном виде. *Нормализованным* называют такое число, в старшем разряде мантииссы которого стоит единица.

5. Комбинационные схемы и цифровые автоматы.

- ЭВМ состоит из взаимодействующих устройств, задачей которых является преобразование входной информации в выходную. Такие устройства бывают двух типов: Комбинационные схемы

Цифровые автоматы



Цифровые автоматы представляют собой автоматы комбинационные схемы и устройства хранения (память). Работа цифровых автоматов происходит в соответствии с частотой поступления входного слова. Для того, чтобы сигналы поступали одновременно, срабатывание ЦА происходит по синхросигналу

Преобразование информации в ЭВМ производится электронными устройствами (логическими схемами) двух классов: *комбинационными схемами и цифровыми автоматами.*

В комбинационных схемах (КС) совокупность выходных сигналов (выходное слово Y) в любой момент времени однозначно определяется входными сигналами (входным словом X), поступающими на входы в тот же момент времени (рис. 2.4, а). Реализуемый в этих схемах способ обработки информации называется комбинационным, так как результат обработки информации зависит только от комбинации входных сигналов и вырабатывается сразу при подаче входной информации.

Закон функционирования КС определен, если задано соответствие между ее входными и выходными словами, например, в виде таблицы. Это соответствие может быть задано и в аналитической форме с использованием булевых функций.

Другой, более сложный класс преобразователей дискретной информации составляют цифровые автоматы. Цифровой автомат в отличие от

комбинационной схемы имеет некоторое конечное число различных внутренних состояний. Под воздействием входного слова цифровой автомат переходит из одного состояния в другое и выдает выходное слово. Выходное слово на выходе цифрового автомата в такте определяется в общем случае входным словом, поступившим в этот такт на вход автомата, и внутренним состоянием автомата, которое явилось результатом воздействия на автомат входных слов в предыдущие такты.

Комбинация входного слова и текущего состояния автомата в данном такте определяет не только выходное слово, но и то состояние, в которое автомат перейдет к началу следующего такта.

Цифровой автомат содержит память, состоящую из запоминающих элементов (ЗЭ) - триггеров, элементов задержки и др., фиксирующих состояние, в котором он находится. Комбинационная схема не содержит ЗЭ. Поэтому ее называют автоматом без памяти или примитивным автоматом

6. Цифровые автоматы Мили и Мура: сравнение, достоинства и недостатки.

Автомат Мили

$$\begin{cases} Q(t+1) = A(Q(t), x(t)). \\ Y(t+1) = B(Q(t), x(t)). \end{cases}$$

Автомат Мура

$$\begin{cases} Q(t+1) = A(Q(t), x(t)). \\ Y(t+1) = B(Q(t)). \end{cases}$$

Схема автомата Мили

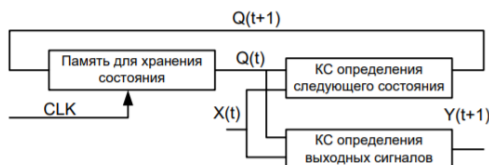
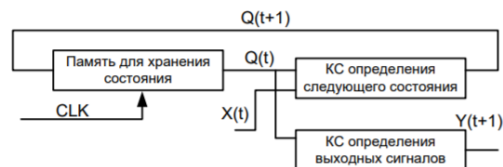


Схема автомата Мура



Автомат Мура отличается от Мили тем, что он описывается формулами $Y=f_1(T)$, $D=f_2(X,T)$. Т.е. его выходные сигналы зависят только от состояния триггеров.

Автоматы Мура и Мили отличаются только функцией выхода, которая определена на множестве всех пар состояние-команда. Так, в автомате Мили функция выходов двухаргументная и символ в выходном канале $y(t)$ обнаруживается только при наличии символа во входном канале $x(t)$. А в автомате Мура выходной сигнал зависит только от текущего состояния автомата и в явном виде не зависит от входного сигнала.

Недостатки и достоинства

7. Классификация триггеров.

Триггер – логический элемент, который может находиться в одном из двух устойчивых состояний.

Входы триггера имеют различные обозначения, связанные с выполняемыми ими функциями:

S — вход для установки в состояние «1»; S (от англ. set);

R — вход для установки в состояние «0»; R (от англ. reset);

J — вход для установки в состояние «1» в универсальном триггере;

K — вход для установки в состояние «0» в универсальном триггере;

T — счетный (общий) вход;

D — вход для установки в состояние «1» или в состояние «0»;

V — дополнительный управляющий вход для разрешения приема информации (иногда используют букву E вместо V).

Выходы триггера обозначают буквами Q и \overline{Q} , тогда если Q соответствует «1», то \overline{Q} — нулю и наоборот.

по логике:

RS, D, T, JK

по способу приема: Асинхронные, Синхронные, Одноступенчатые, Двухступенчатые
по способу синхронизации :

управляемые фронтом/спадом (динамические). управляемые уровнем (зашелки)

Триггеры подразделяются на две большие группы — динамические и статические. Названы они так по способу представления выходной информации.

Динамический триггер представляет собой управляемый генератор, одно из состояний которого (единичное) характеризуется наличием на выходе непрерывной последовательности импульсов определенной частоты, а другое (нулевое) — отсутствием выходных импульсов. Смена состояний производится внешними импульсами

К статическим триггерам относят устройства, каждое состояние которых характеризуется неизменными уровнями выходного напряжения (выходными потенциалами): высоким — близким к напряжению питания и низким — около нуля. Статические триггеры по способу представления выходной информации часто называют потенциальными.

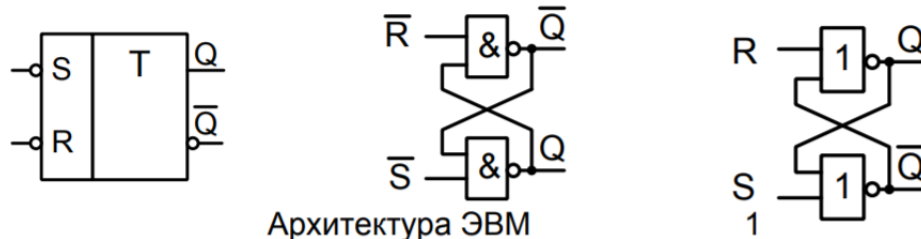
Статические (потенциальные) триггеры, в свою очередь, подразделяются на две неравные по практическому значению группы — симметричные и несимметричные триггеры. Оба класса реализуются на двухкаскадном двухинверторном усилителе с положительной обратной связью, а названием своим они обязаны способам организации внутренних электрических связей между элементами схемы.

Симметричные триггеры отличается симметрия схемы и по структуре, и по параметрам элементов обоих плеч. Для несимметричных триггеров характерна неидентичность параметров элементов отдельных каскадов, а также и связей между ними.

Симметричные статические триггеры составляют основную массу триггеров, используемых в современной радиоэлектронной аппаратуре.

8. Одноступенчатый асинхронный RS-триггер: схема, принцип функционирования, назначение.

Асинхронный RS - триггер сохраняет одно из устойчивых состояний независимо от многократного изменения информационного сигнала на одном входе при нулевом значении информационного сигнала на другом входе.



Асинхронные RS-триггеры.

В асинхронных триггерах срабатывание происходит непосредственно в момент изменения сигнала на информационных входах. Асинхронные -RS-триггеры являются наиболее простыми. В качестве самостоятельного устройства используются редко, но являются основой для построения более сложных систем.

В зависимости от логической структуры асинхронные RS-триггеры бывают с прямыми либо инверсными входами. Схемы и условные обозначения приведены на рис. 3.1; 3.2. Триггеры такого типа построены на двух логических элементах: 2ИЛИ-НЕ — триггер с прямыми входами (рис. 3.1); 2И-НЕ — триггер с инверсными входами (рис. 3.2).

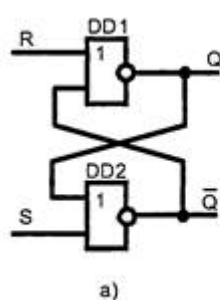


Рис. 3.1

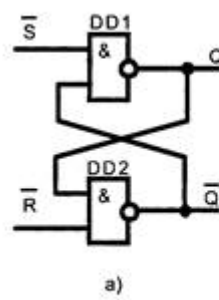
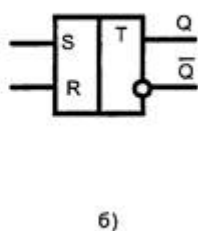


Рис. 3.2

Таблица 3.1

Таблица переходов RS -триггера на элементах 2ИЛИ-НЕ

R	S	Q_{n+1}
0	0	Q_n
1	0	0
0	1	1
1	1	X

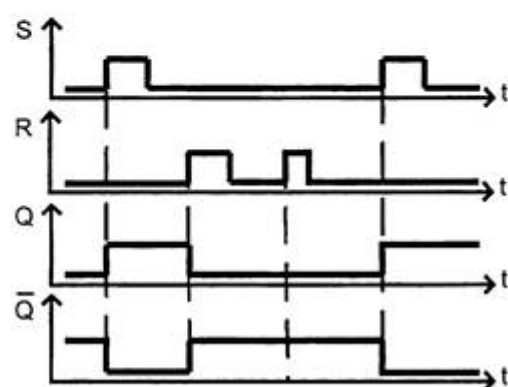


Рис. 3.3

Таблица 3.1

Таблица переходов RS -триггера на элементах 2ИЛИ-НЕ

R	S	Q_{n+1}
0	0	Q_n
1	0	0
0	1	1
1	1	X

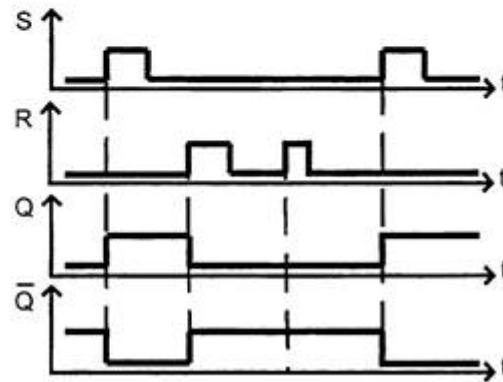


Рис. 3.3

9. Одноступенчатый синхронный RS-триггер: схема, принцип функционирования, назначение.

Синхронный RS-триггер (рис.4) имеет два информационных входа R и S и вход синхронизации C . ЛЭ 1 и 2 образуют схему управления, ЛЭ3 и 4 – асинхронный RS - триггер (запоминающую ячейку). Как и все синхронные триггеры, синхронный RS - триггер при $C = 0$ сохраняет предыдущее внутреннее состояние, т.е. $Q_n Q_{n+1} =$. Сигналы по входам S и R переключают синхронный RS-триггер только с поступлением импульса на вход синхронизации C . При $C=1$ синхронный триггер переключается как асинхронный (табл.2). Одновременная подача сигналов $C=S=R= 1$ запрещена. При $S=R=0$ триггер не изменяет своего состояния

Достоинство синхронных триггеров: они позволяют устранить влияние задержки распространения сигнала в различных частях схемы. Таким образом, достигается одновременный прием сигналов в заданные интервалы времени в разных точках схемы.

Синхронные триггеры бывают со статическим и динамическим управлением. При статическом управлении триггер реагирует на изменение информационных сигналов в течение всего времени действия

синхросигналов. Поэтому изменение информационных сигналов возможно только при отсутствии сигнала на синхровходе.

В синхронных триггерах с динамическим управлением прием сигналов с информационных входов происходит в течение короткого фронта сигнала на синхровходе. В остальное время информационные входы логически отключены и допускаются изменения сигналов на информационных входах.

Логическая структура синхронного RS-триггера содержит синхронный триггер и дополнительную входную логическую схему, которая управляет работой синхронного триггера.

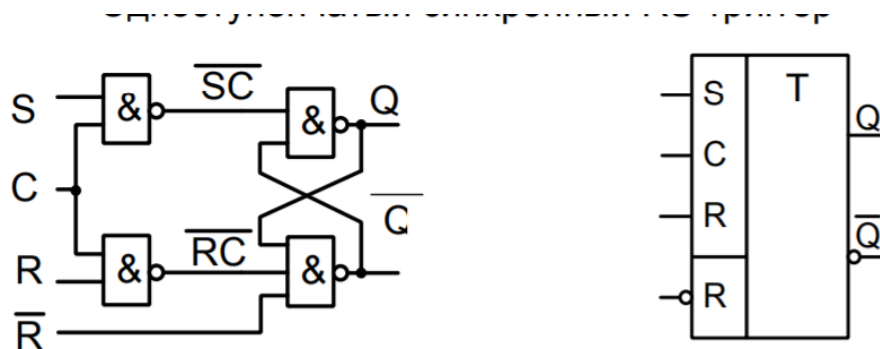


Таблица 3.4

Таблица истинности синхронного RS-триггера с прямыми входами на элементах И-НЕ (рис. 3.5, а, б)

C	R	S	R_d	S_d	Q_{n+1}
0	—	—	1	1	Q_n
1	0	0	1	1	Q_n
1	1	0	0	1	0
1	0	1	1	0	1
1	1	1	0	0	X

Таблица истинности синхронного RS-триггера с инверсными входами на элементах ИЛИ-НЕ (рис. 3.7)

\bar{C}	\bar{R}	\bar{S}	R_a	S_a	Q_{n+1}
1	–	–	0	0	Q_n
0	1	1	0	0	Q_n
0	0	1	1	0	0
0	1	0	0	1	1
0	0	0	1	1	X

10. Двухступенчатый синхронный RS-триггер: схема, принцип функционирования, назначение.

Двухступенчатый синхронный RS-триггер - триггер, в состав которого входят 2 одноступенчатых синхронных RS-триггера и элемент ИЛИ-НЕ.

Назначение двухступенчатого синхронного RS-триггера.

Двухступенчатый синхронный RS-триггер предназначен для тактирования триггера фронтом импульса или перепадом потенциала.

Условное обозначение двухступенчатого синхронного RS-триггера.

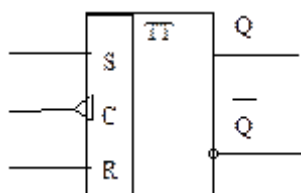
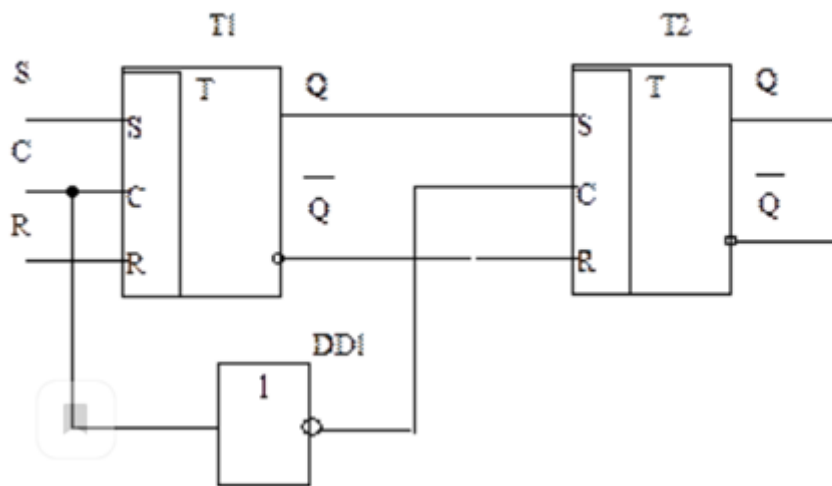


Схема двухступенчатого синхронного RS-триггера.



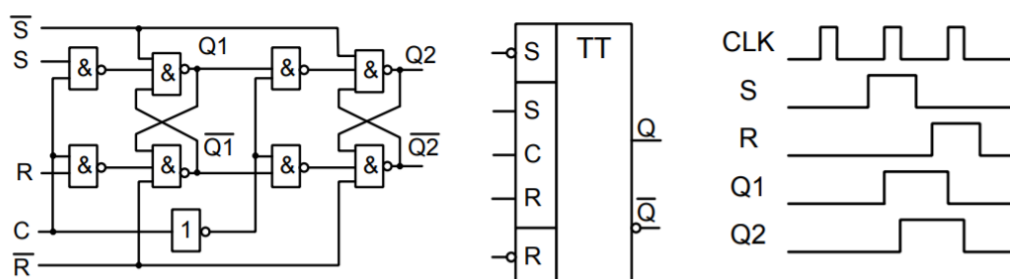
Работа двухступенчатого синхронного RS-триггера.

Каждая ступень представляет собой синхронный RS - триггер. При наличии на шине С логической 1 триггер Т1 воспринимает информацию, поступившую по шинам S и R которая и определяет его состояние. В это время за счет инвертора на входе С триггера Т2 действует 0 и его состояние не меняется.

В момент, когда $C=0$ на выходе инвертора DD1 появляется логическая единица U^1 , которая разрешает перезапись в триггер T2 информации из триггера T1.

Таким образом, информация в триггере Т1 записывается по фронту синхроимпульса, а в триггере Т2 - по его срезу.

Двухступенчатый синхронный RS-триггер



11. Т-триггер: схема, принцип функционирования, назначение.

Т-триггер. Т-триггер имеет один информационный вход Т, называемый счетным входом. Асинхронный Т-триггер переходит в противоположное состояние каждый раз при подаче на Т-вход единичного сигнала. Таким образом Т-триггер реализует счет по модулю 2, т.е. . Синхронный Т-триггер имеет вход С и вход Т. Синхронный Т-триггер переключается в противоположное состояние сигналом С, если на счетном входе Т действует сигнал логической 1.

Т-триггер — это триггер со счетным входом. Он имеет один информационный вход. При приходе активного сигнала Т-триггер меняет свое состояние на противоположное и сохраняет предыдущее значение при отсутствии сигнала на входе.

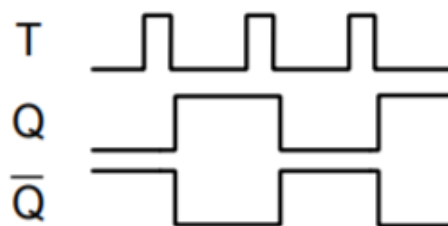
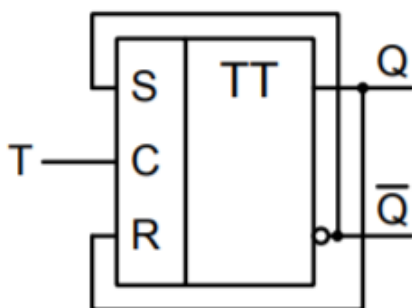
Таблица 3.7

Таблица истинности Т-триггера

T	Q_{n+1}
0	Q_n
1	$\overline{Q_n}$

Т-триггеры широко используются в различных цифровых устройствах в качестве делителей частоты и двоичных счетчиков.

Т-триггер



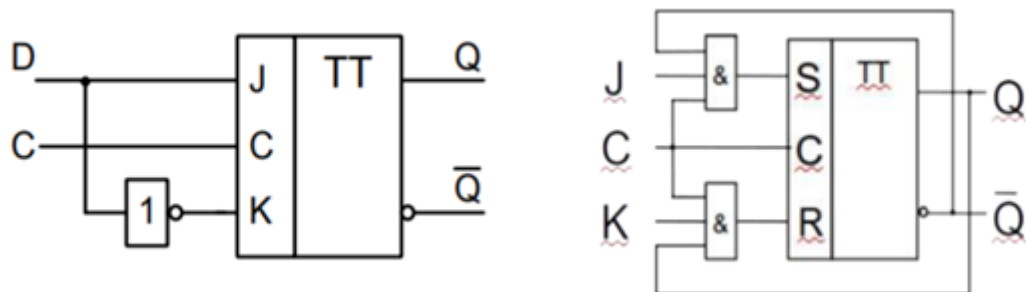
12. Синхронный двухступенчатый D-триггер: : схема, принцип функционирования, назначение.

Особенность триггера с двухступенчатым запоминанием информации состоит в том, что он содержит две триггерные структуры: первый

триггер считается ведущим, второй – ведомым. Оба триггера с синхронизирующим входом С. Двухступенчатый D–триггер можно построить на базе одноступенчатого D–триггера и синхронного RS–триггера

При значении на входе $C = 1$ первый триггер устанавливается в состояние, соответствующее сигналу на информационном входе D. Второй триггер не изменяет своего состояния до тех пор, пока на входе С действует сигнал лог.1, т.к. на выходе инвертора – лог.0.

После окончания действия сигнала С ($C = 0$) первый триггер отключается от информационного входа D и подключается своими выходами к входам S и R второго RS-триггера, на входе С которого уже действует лог.1 и этому триггеру передается состояние первого триггера.



13. Динамический D-триггер: : схема, принцип функционирования, назначение.

Динамический D триггер, запоминающий входную информацию по фронту, может быть построен из двух статических D триггеров. Сигнал синхронизации С будем подавать на статические D триггеры в противофазе.

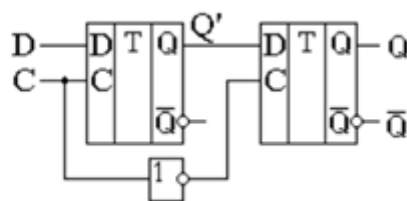


Рис. 1. Схема динамического D триггера, работающего по фронту

Основное назначение D-триггеров - задержка сигнала, поданного на вход D

14. JK-триггер: схема, принцип функционирования, назначение.

Таблица истинности jk триггера практически совпадает с таблицей истинности синхронного RS-триггера. Для того чтобы исключить запрещённое состояние, его схема изменена таким образом, что при подаче двух единиц jk триггер превращается в счётный триггер. Это означает, что при подаче на тактовый вход С импульсов он изменяет своё состояние на противоположное. Таблица истинности jk триггера приведена в таблице 1.

Таблица 1. Таблица истинности jk триггера.

С	К	J	Q(t)	Q(t+1)	Пояснения
0	x	x	0	0	Режим хранения информации
0	x	x	1	1	
1	0	0	0	0	Режим хранения информации
1	0	0	1	1	
1	0	1	0	1	Режим установки единицы J=1
1	0	1	1	1	
1	1	0	0	0	Режим записи нуля K=1
1	1	0	1	0	
1	1	1	0	1	K=J=1 счетный режим триггера
1	1	1	1	0	

..

Применение JK триггеров в составе цифровых счетчиков является их основной областью применения. В современной технике цифровые схемы собираются на основе заказных микросхем (ASIC) или микросхем программируемой логики (FPGA). Их проектирование может вестись в графическом редакторе, точно так же, как это было описано выше, а может применяться язык программирования цифровых микросхем.

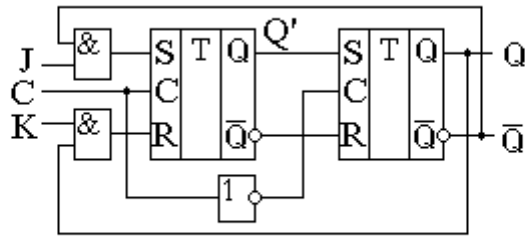


Рисунок 1. Внутренняя схема jk триггера

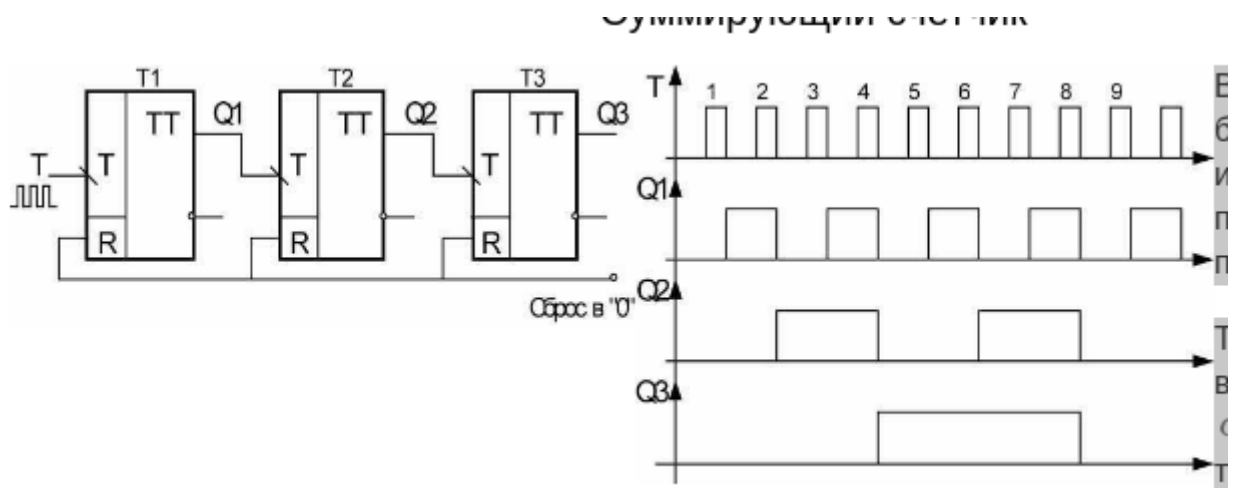
15. Счетчики с последовательным переносом: схема, принцип функционирования, назначение.

Представляют собой цепочку триггеров, в которой импульсы, подлежащие счёту поступают на вход первого триггера, а сигнал переноса передается последовательно от одного разряда к другому.

Суммирующий счетчик

Все триггеры должны быть счетными, чтобы изменять свое состояние под действием каждого переключающего периода.

T – последовательность входных импульсов, Q_1, Q_2, Q_3 – состояние триггеров.



Вычитающий счетчик

Чтобы вычислить принципы построения вычитающего счетчика, вычитаем из двоичного числа единицу.

$$\begin{array}{r} 111001 \\ - \quad 1 \\ \hline 111000 \end{array} \qquad \begin{array}{r} 111000 \\ - \quad 1 \\ \hline 110111 \end{array}$$

Достоинство счетчиков с последовательным переносом:

1. простота схемы;
2. наращивание разрядности осуществляется подключением нужного количества триггеров к выходу последнего триггера.

Недостатки:

1. Сравнительно низкое быстродействие, т. к. триггеры последовательно срабатывают один за другим;
2. из – за накопления временных сдвигов на выходах таких счетчиков могут появляться кратковременные ложные импульсы.

16. Счетчики с параллельным переносом: схема, принцип функционирования, назначение.

Данные счетчики состоят из синхронных триггеров. Счетные импульсы подаются одновременно на все тактовые входы, а переключение разрядов в нужной последовательности обеспечиваются логическими цепями, которую при поступлении входного импульса одни триггеры удерживают от переключения, а другим разрешают переключиться.

Счётные импульсы подаются одновременно на тактовые входы всех триггеров, а каждый из триггеров цепочки служит по отношению к последующим только источником сигналов. Срабатывание триггеров параллельного счётчика происходит синхронно, и задержка переключения всего счётчика равна задержке для одного триггера. Следовательно, такие счётчики более быстродействующие. Их основным недостатком является большая мощность, потребляемая от источника входных сигналов, так как входные импульсы подаются на тактовые входы всех триггеров.

Счетчик с параллельным переносом

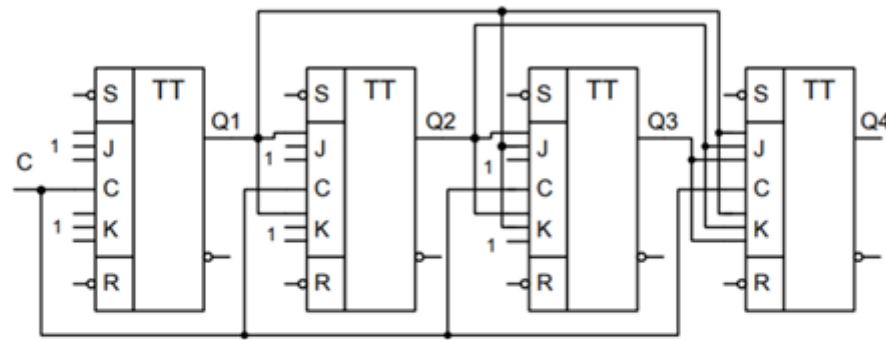
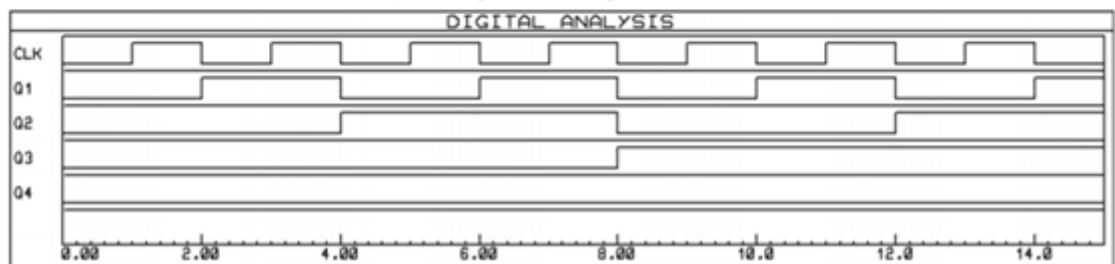


Диаграмма работы



17. Дешифраторы.

Дешифратор - это комбинационный узел с n входами и N выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.

Дешифратор, имеющий 2^n выходов, называется полным, при меньшем числе выходов - неполным.

1. Поясните основные способы построения дешифраторов.

Линейный дешифратор строится в соответствии с системой из предыдущего вопроса, и представляет собой 2^n конъюнкторов или логических элементов (ЛЭ) ИЛИ-НЕ с n -входами каждый при отсутствии стробирования и с $(n + 1)$ входами - при его наличии.

Пирамидальный дешифратор. Строится на основе последовательной (каскадной) реализации выходных функций. На первом этапе реализуются конъюнкции двух переменных. На втором - все конъюнкции трех переменных путем логического умножения каждой ранее полученной конъюнкции двух переменных на переменную

$A_2(\overline{A_2})$. На третьем этапе каждую из полученных выше конъюнкций трех переменных умножают на $A_3(\overline{A_3})$ и т.д. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкций, чем на предыдущем. Пирамидальные дешифраторы независимо от числа их входов строятся на основе только двухвходовых конъюнкторов.

18. Мультиплексоры.

Мультиплексор – это функциональный узел, имеющий n адресных входов и $N=2^n$ информационных входов и выполняющий коммутацию на выход того информационного сигнала, адрес (т.е. номер) которого установлен на адресных входах.

Вход разрешения EN используется: - собственно для разрешения работы мультиплексора, - для стробирования, - для наращивания числа информационных входов. При $EN=1$ разрешается работа мультиплексора и выполнение им своей функции, при $EN=0$ работа мультиплексора запрещена и на его выходах устанавливаются неактивные уровни сигналов.

Наращивание мультиплексоров. ИС Мультиплексоры, выпускаемые в виде самостоятельных ИС, имеют число информационных входов не более шестнадцати.

Наращивание числа коммутируемых каналов выполняется двумя способами: - по пирамидальной схеме соединения мультиплексоров меньшей размерности, - путем выбора мультиплексора группы информационных входов по адресу (т.е. номеру) мультиплексора с помощью дешифратора адреса мультиплексора группы, а затем выбором информационного сигнала мультиплексором группы по адресу информационного сигнала в группе.

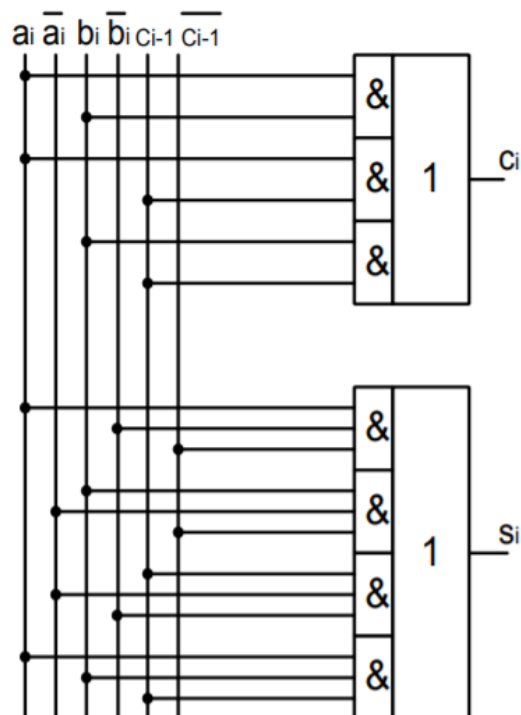
Мультиплексоры КМОП-логики, в которых для коммутации каналов используются двунаправленные ключи (рис. 5), могут переключать как цифровые, так и аналоговые напряжения. Цифровой сигнал – это частный случай аналогового сигнала. Такие мультиплексоры называют аналоговыми.

19. Сумматоры и полусумматоры. Схема одноразрядного сумматора.

Сумматором называется узел ЭВМ, выполняющий арифметическое сложение кодов чисел. Полусумматор выполняет арифметическое сложение кодов двух чисел.

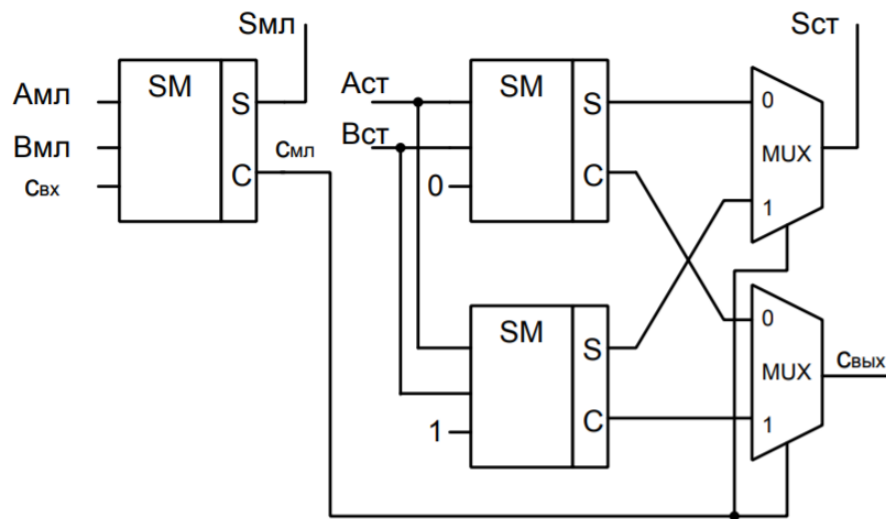
Сумматор выполняет арифметическое сложение кодов двух чисел с учетом переноса в младший разряд.

Схема одноразрядного сумматора



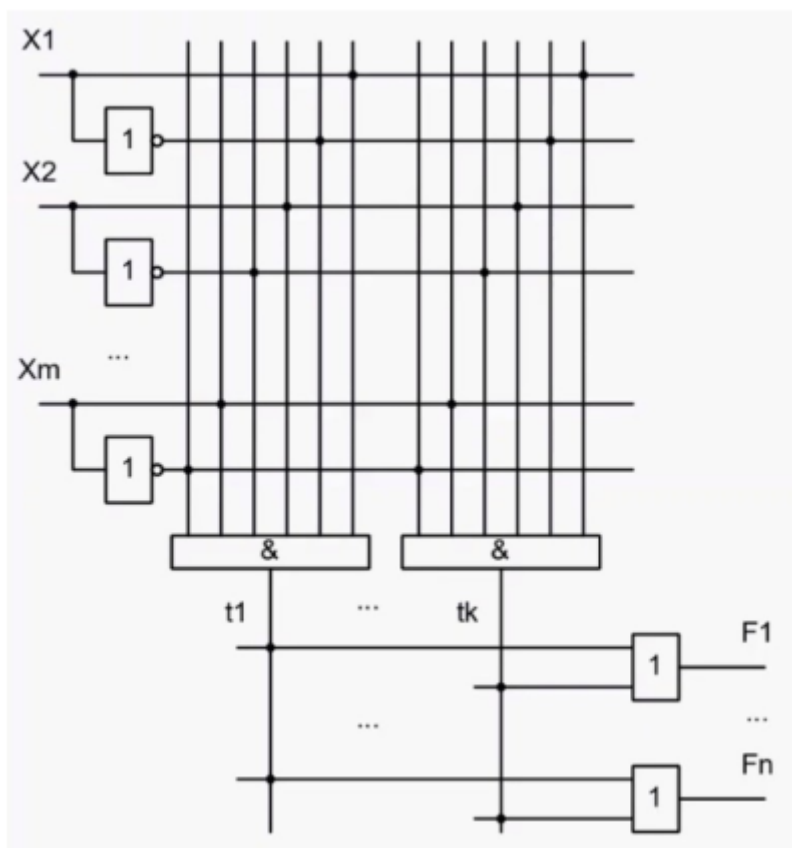
20. Схема сумматора с условным переносом.

Схема сумматора с условным переносом



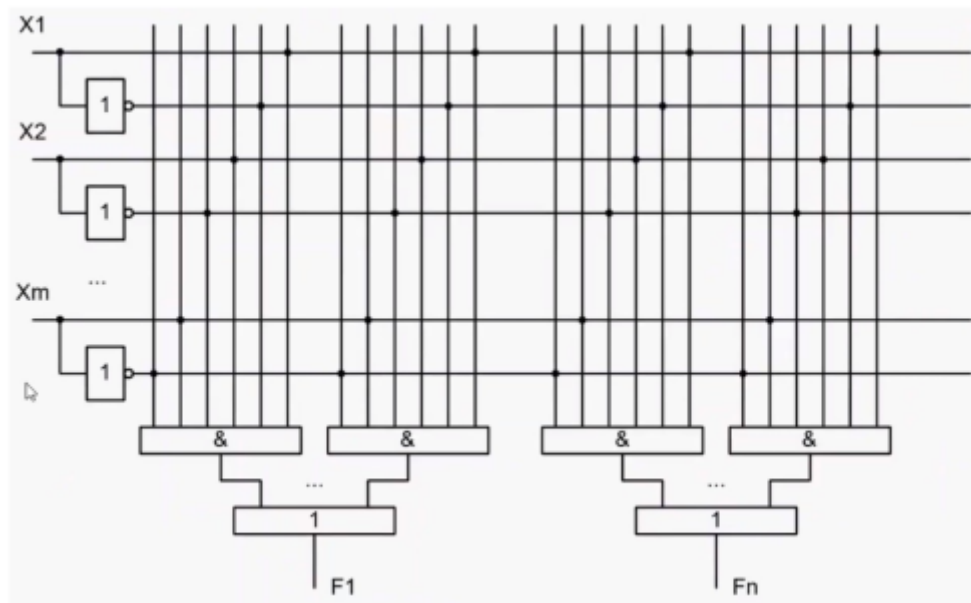
21. Программируемые логические матрицы и Программируемая матричная логика.

Программируемые логические матрицы (ПЛМ) – представители класса программируемых логических устройств.



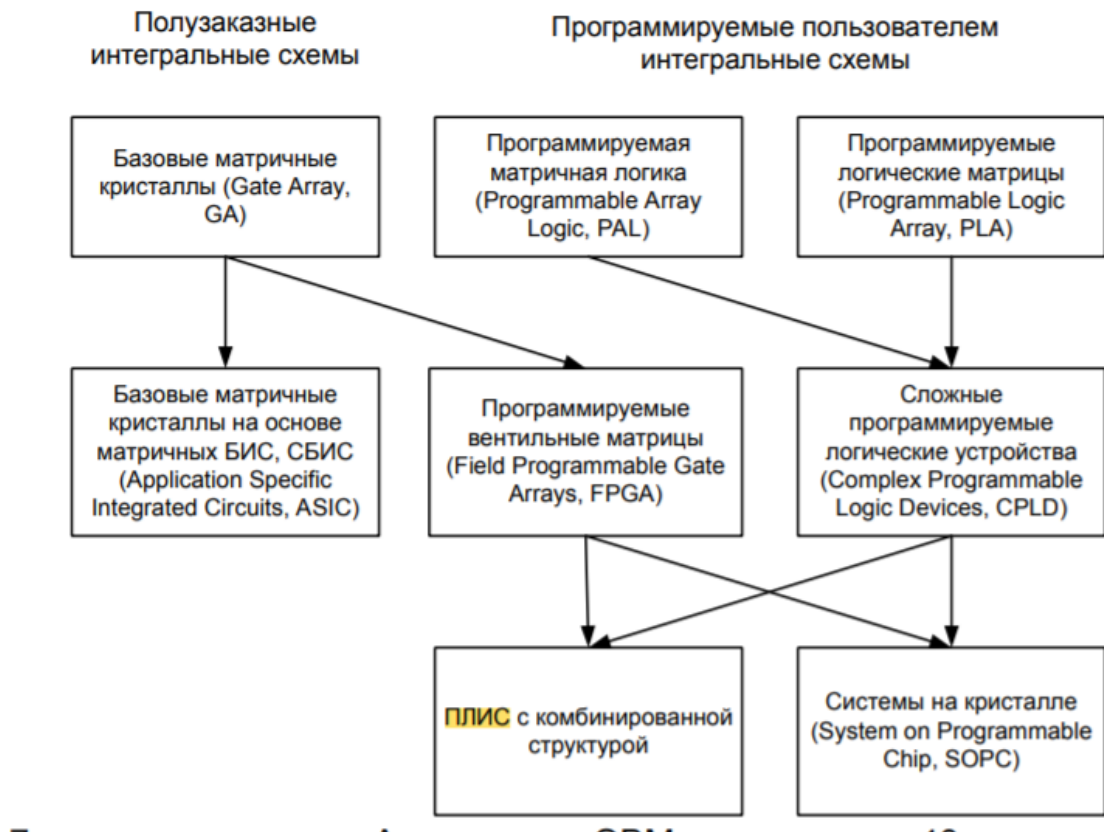
Основная идея работы программируемой логической матрицы заключается в реализации логической функции, которая представлена в виде дизъюнктивной нормальной формы. Матрица состоит из логических элементов “И” (матрицы “И”, на которой происходит реализация термов (сочетание входных сигналов) дизъюнктивной формы) и “ИЛИ” (матрицы “ИЛИ”, на которой осуществляется суммирование термов, требующихся по логическому выражению дизъюнктивной формы). Изначально терм всегда равен нулю, но впоследствии термы можно “пережечь”, чтобы собрать те, которые необходимы разработчику. Преимущество программируемых логических матриц в том, что, получив микросхему в руки, по сути, имеется заготовка, из которой при помощи специального программатора можно получить генератор функций. Минус в том, что получить можно только какое-то простое устройство, по типу дешифратора/шифратора/кодера/мультиплексора, но никак нельзя получить более сложную логику.

Программируемая матричная логика (ПМЛ) – в данном случае матрица “ИЛИ” фиксированная (в отличие от программируемых логических матриц).



Матрица “ИЛИ” в данном случае не тратит места на кристалле.

22. Эволюция ПЛИС.



Базовые матричные кристаллы (Gate Array, GA) Программируемые логические матрицы (Programmable Logic Array, PLA) Базовые матричные кристаллы на основе матричных БИС, СБИС (Application Specific Integrated Circuits, ASIC) Программируемые пользователем интегральные схемы Полузаказные интегральные схемы Программируемые вентиляльные матрицы (Field Programmable Gate Arrays, FPGA) Сложные программируемые логические устройства (Complex Programmable Logic Devices, CPLD) ПЛИС с комбинированной структурой Системы на кристалле (System on Programmable Chip, SOPC) Программируемая матричная логика (Programmable Array

23. Классификация запоминающих устройств по способу доступа.

- Адресные ЗУ

Постоянные ЗУ, ПЗУ (ROM)

ЗУ с произвольным доступом (RAM)

- Ассоциативные ЗУ

Полностью ассоциативные ЗУ

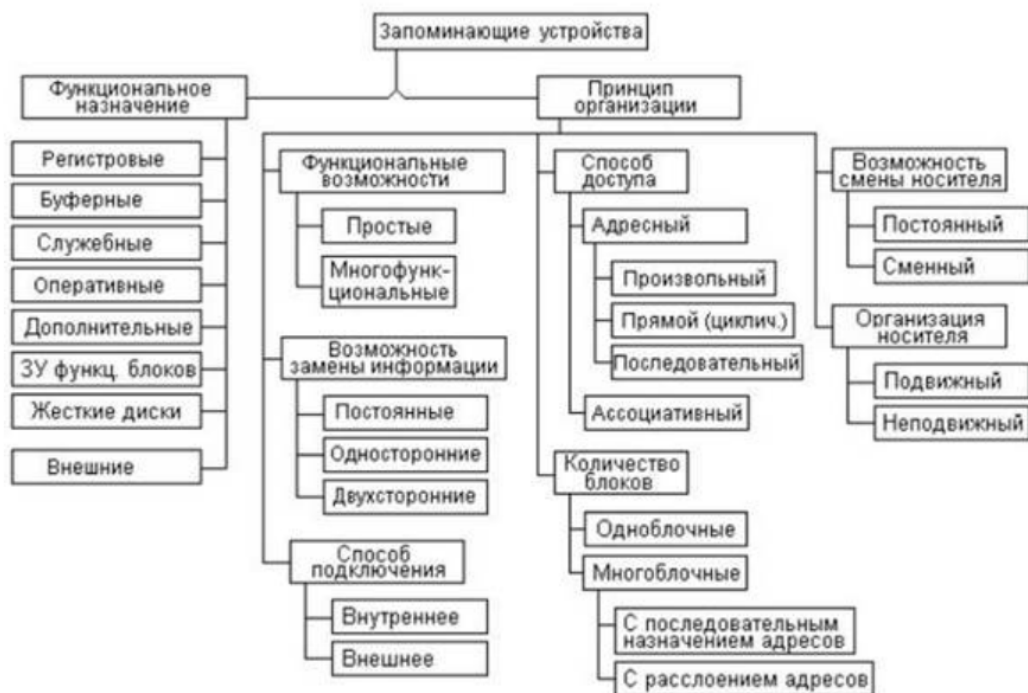
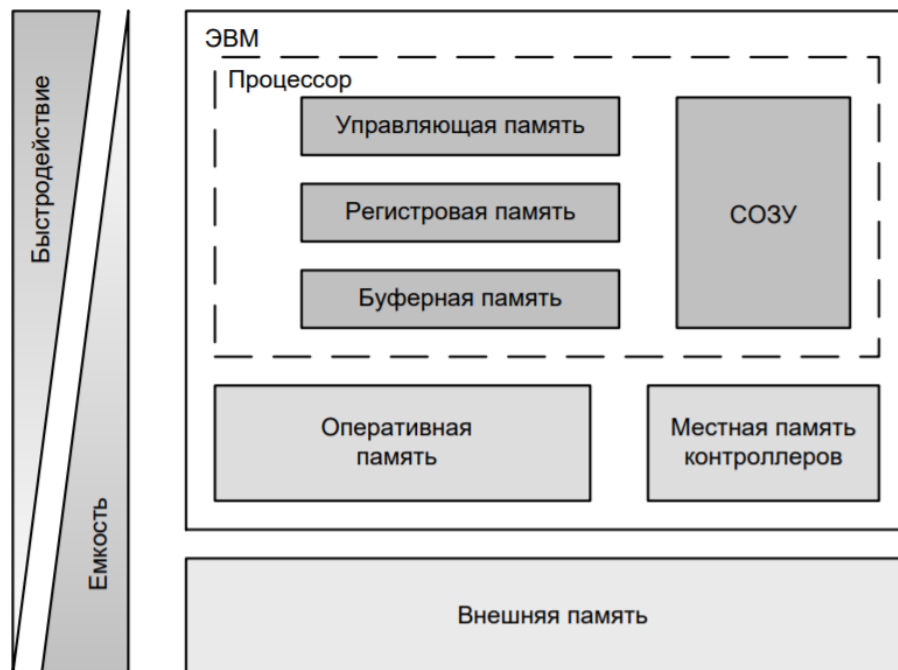
Ассоциативные ЗУ с прямым размещением

Наборно-ассоциативные ЗУ

- Последовательные ЗУ

FIFO LIFO Файловые Циклические

24. Классификация запоминающих устройств по назначению.



25. Латентность при обращении к подсистеме памяти.

Тип обращения к памяти	Объем памяти, байт	Латентность, такты процессора
Регистры процессора	$2^6 \dots 2^{10}$	1
Кэш первого уровня	$2^{14} \dots 2^{16}$	2..4
Кэш второго уровня	$2^{15} \dots 2^{22}$	10..12
Кэш третьего уровня	$2^{21} \dots 2^{26}$	15..50
ОЗУ на одном кристалле с процессором при попадании в TLB (доступ по случайным адресам)	$2^{14} \dots 2^{24}$	10..75
Внешнее ОЗУ при попадании в TLB (доступ по случайным адресам)	$2^{30} \dots 2^{40}$	200..400
Внешнее ОЗУ при промахе в TLB (доступ по случайным адресам)	$2^{30} \dots 2^{40}$	2000..2500
Внешнее ОЗУ при выгруженной во внешний Flash диск странице	$2^{30} \dots 2^{42}$	$1 \cdot 10^5 \dots 1 \cdot 10^6$
Внешнее ОЗУ при выгруженной во внешний жесткий диск странице	$2^{30} \dots 2^{50}$	$1 \cdot 10^6 \dots 1 \cdot 10^8$

26. Обобщенная схема адресного ЗУ.

Обобщенная схема **адресного** ЗУ

