



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ

ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА

КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ**

О Т Ч Е Т

по лабораторной работе № 2

Название: Исследование дешифраторов

Дисциплина: Архитектура ЭВМ

Студент

ИУ7И-44Б

(Группа)

(Подпись, дата)

Динь Вьет Ань

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

А.Ю. Попов

(И.О. Фамилия)

в) подать на вход счетчика сигнал генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;

Изменяем схему:

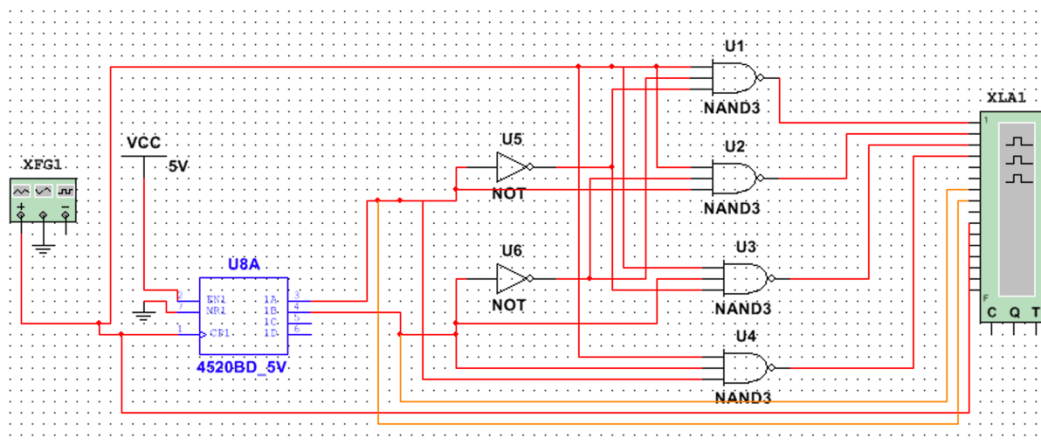


Рисунок 2 Линейный стробируемый дешифратор с сигналом генератора на входе

Снимаем временные диаграммы:

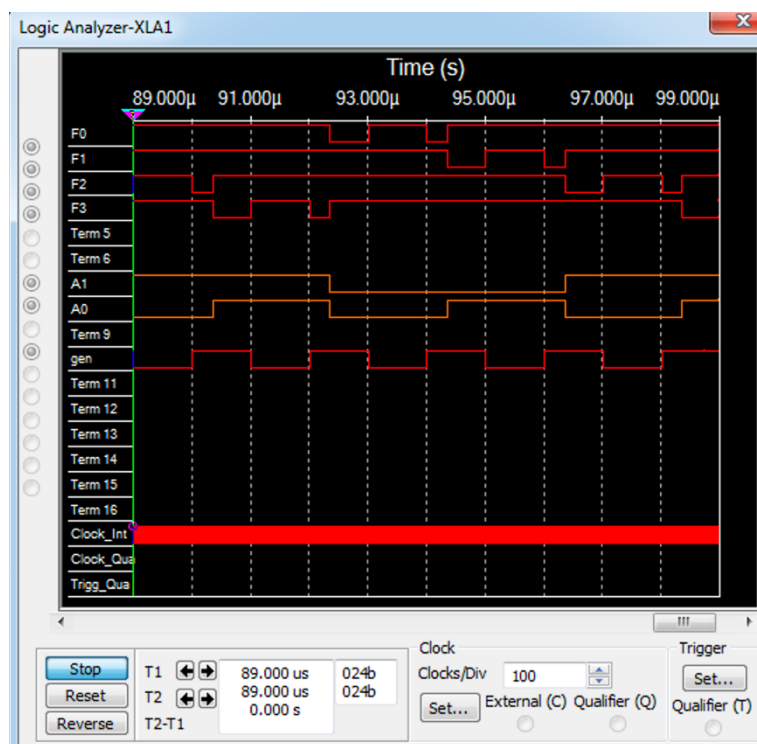
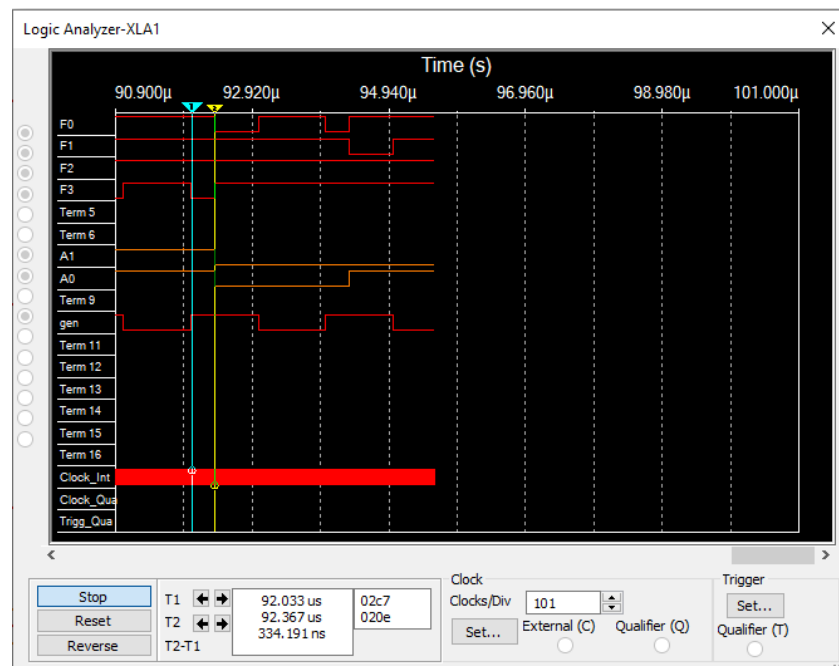


Рисунок 3 Временные диаграммы линейного дешифратора

г) определить амплитуду помех, вызванных гонками, на выходах дешифратора;



амплитуду помех: $\sim 334ns$

д) снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора, задержанный линией задержки логических элементов (повторителей и инверторов);

Поставим 2 инвертора:

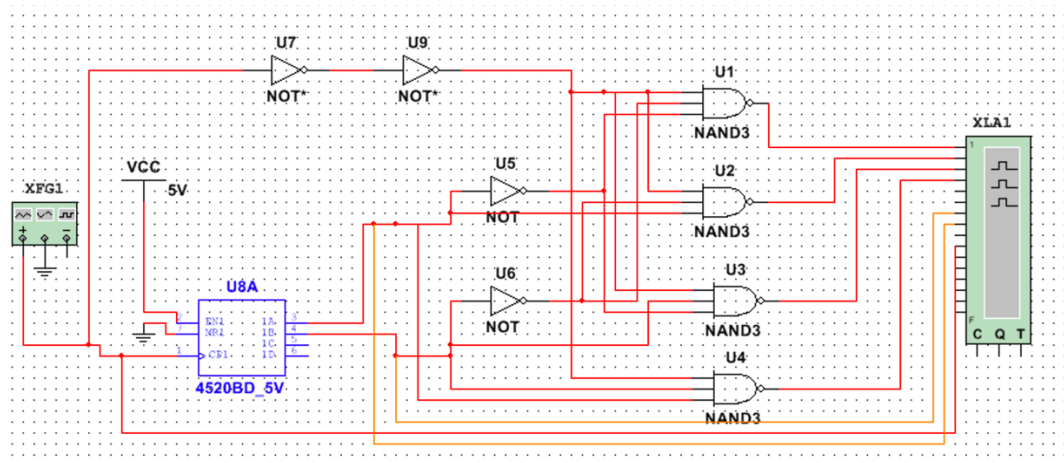


Рисунок 4 Стробируемый дешифратор с использованием инверторов для задержки сигнала генератора

Получим следующие временные диаграммы:



Рисунок 5 Временные диаграммы дешифратора с задержанным сигналом генератора

е) опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками.

Диаграмма снята со схемы из рисунка 2:

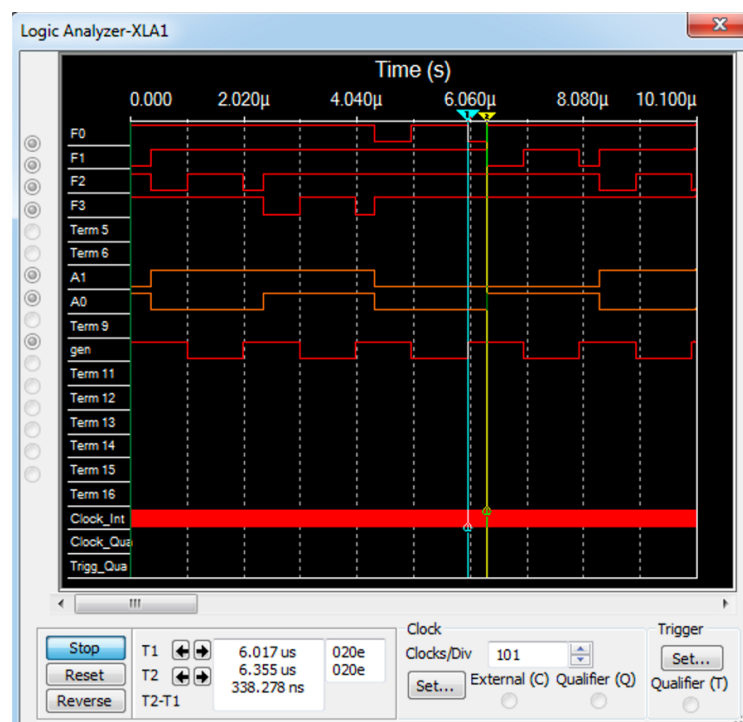


Рисунок 6 Время задержки, необходимое для устранения помех на выходах дешифратора

2. Исследование дешифраторов ИС K155ИД4 (74LS155)

а) снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы Q_0 и Q_1 выходов счетчика, а на стробирующие входы E_3 и E_4 – импульсы генератора, задержанные линией задержки;

Схема:

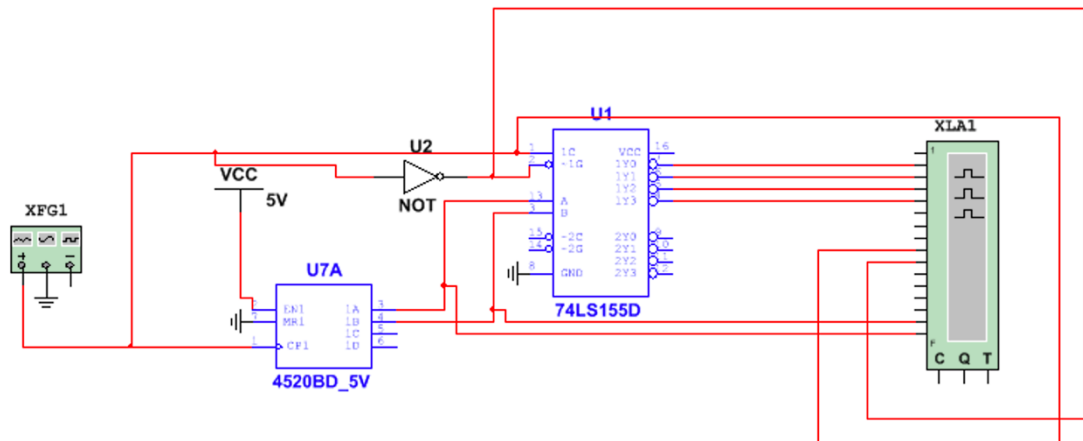


Рисунок 7 Дешифратор 74LS155

Построим временные диаграммы:

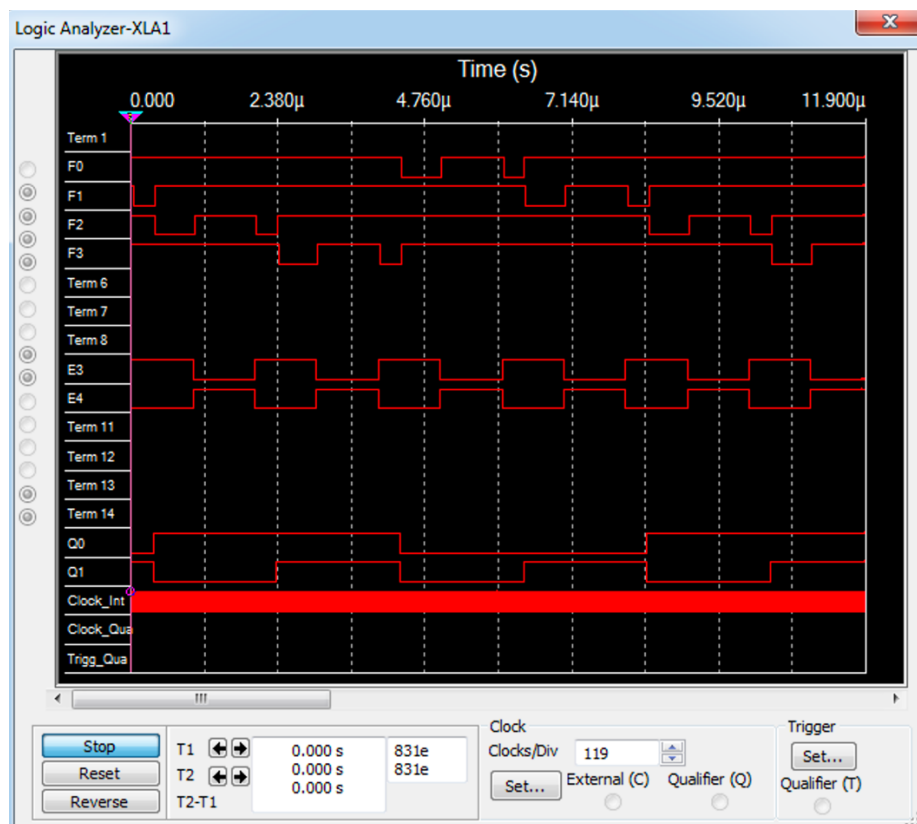


Рисунок 8 Временные диаграммы дешифратора 74LS155

б) определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;

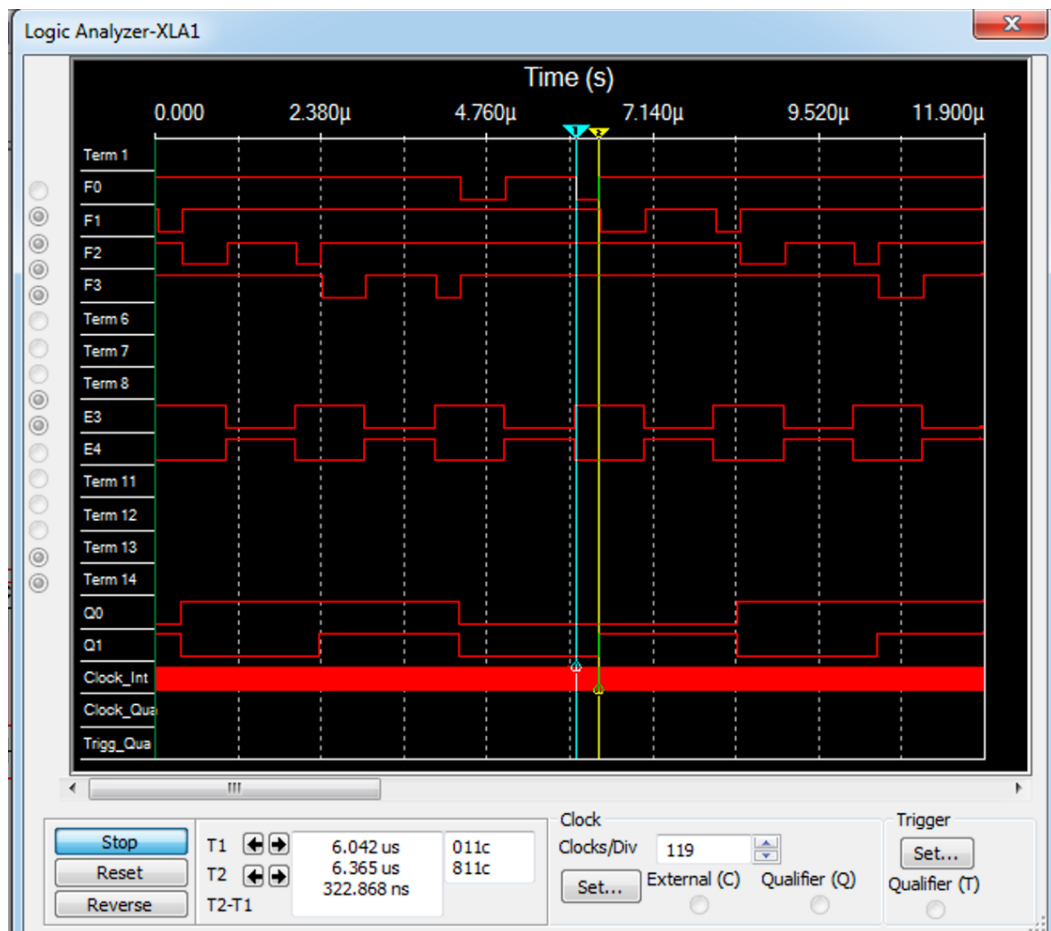


Рисунок 9 Время задержки сигнала для исключения помех на дешифраторе

в) собрать схему трехвходового дешифратора на основе дешифратора K155ИД4, задавая входные сигналы A0, A1, A2 с выходов Q0, Q1, Q2 счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.

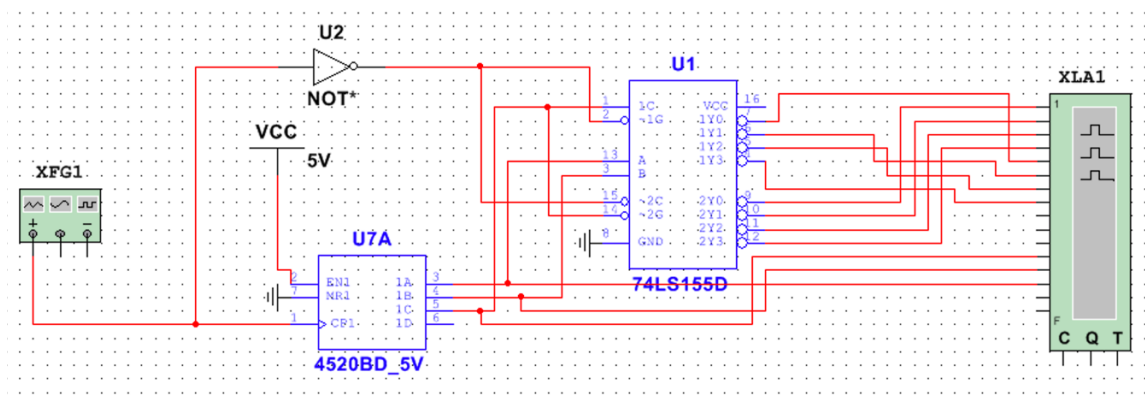


Рисунок 10 Трехвходовый дешифратор

Построим временные диаграммы:

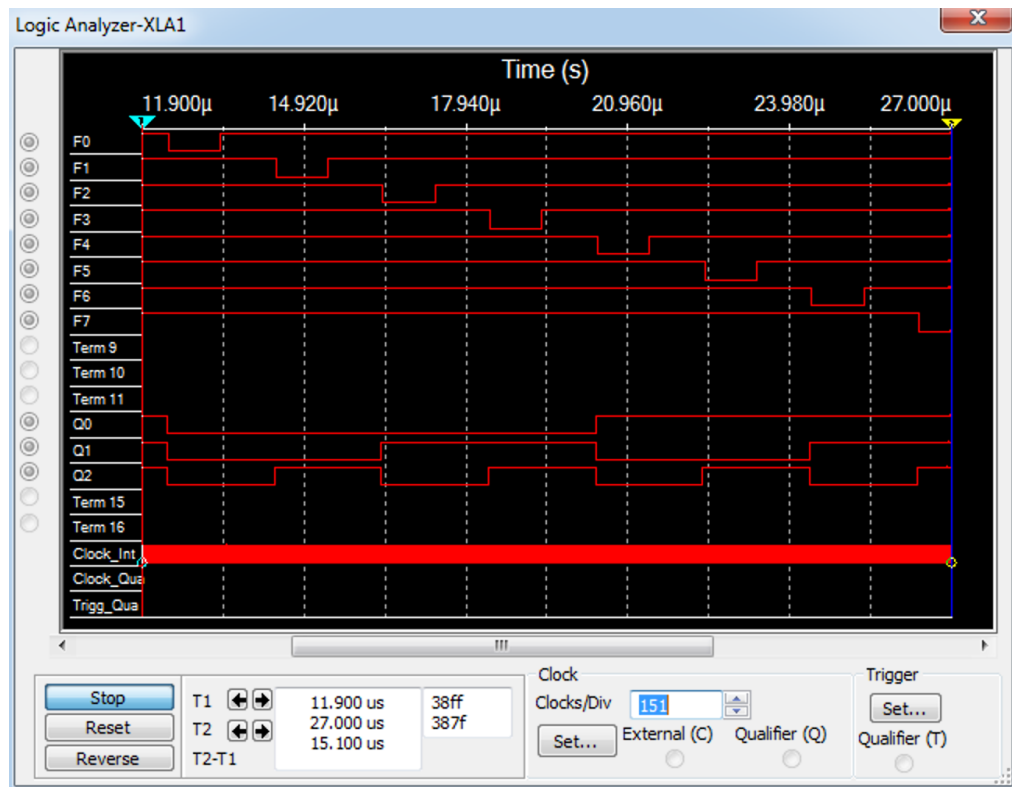


Рисунок 11 Временные диаграммы трёхходового дешифратора

Опираясь на временные диаграммы, построим таблицу истинности:

Q0	Q1	Q2	F0	F1	F2	F3	F4	F5	F6	F7
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

Таблица 2 Таблица истинности дешифратора 74LS155

3. Исследование дешифраторов ИС KP531ИД14 (74LS139) аналогично п.2. ИС 74LS139 содержит два дешифратора DC 2-4 (U1A и U1B) с отдельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции $\text{Not}(\text{EN1}) \cdot \text{Not}(\text{EN2})$, ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наборах входных сигналов – 1.

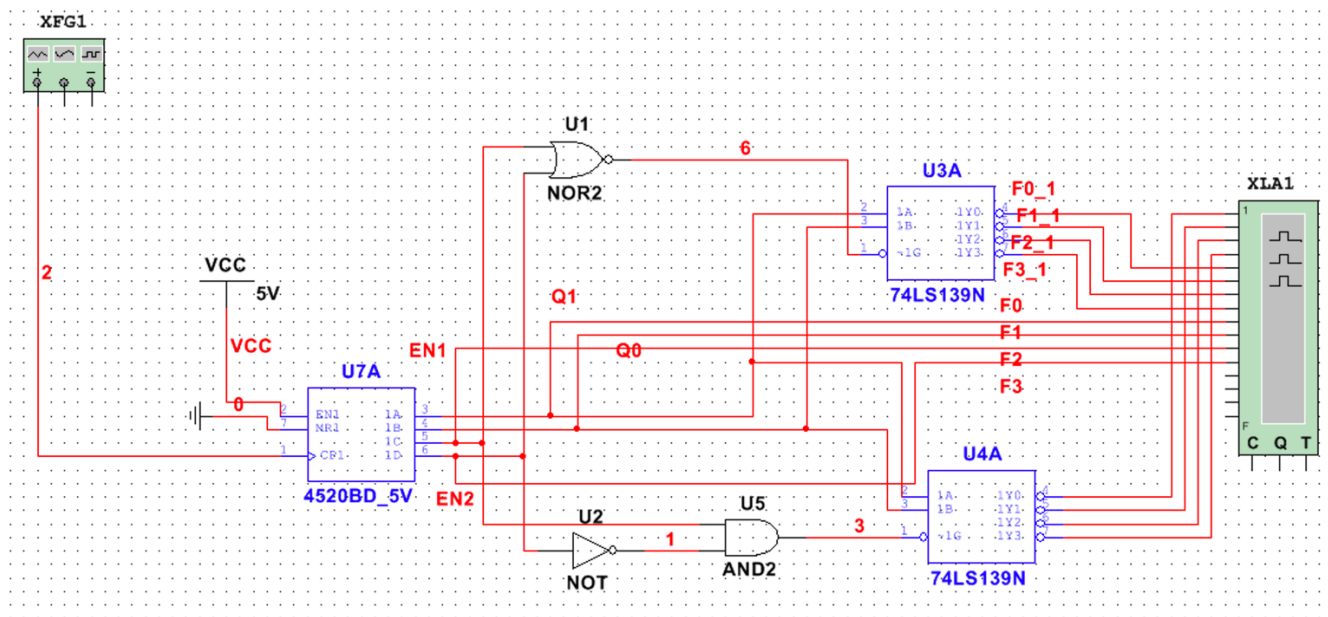


Рисунок 12 Два дешифратора DC 2-4

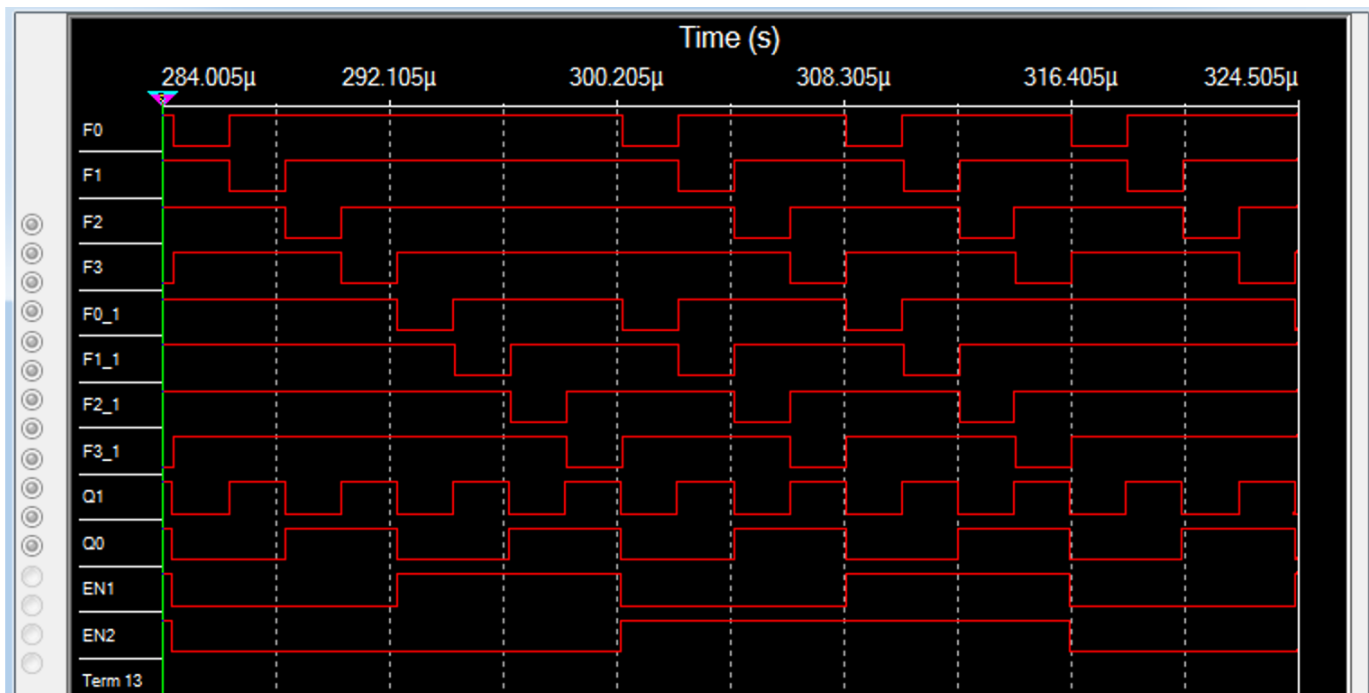


Рисунок 13 Временные диаграммы двух дешифраторов

4. Исследовать работоспособность дешифраторов ИС 533ИД7 (74LS138)

а) снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС 533ИД7, подавая на его адресные входы 1, 2, 4 сигналы Q_0, Q_1, Q_2 с выходов счетчика, а на входы разрешения E_1, E_2, E_3 – сигналы лог. 1, 0, 0 соответственно;

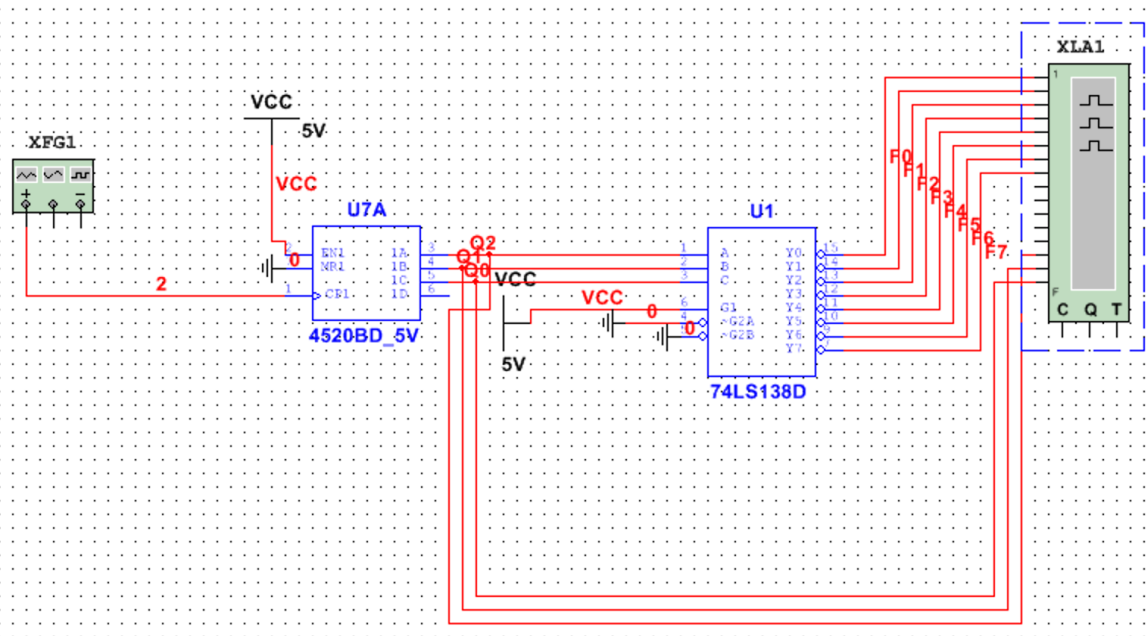


Рисунок 14 Дешифратор DC 3-8 (74LS138)

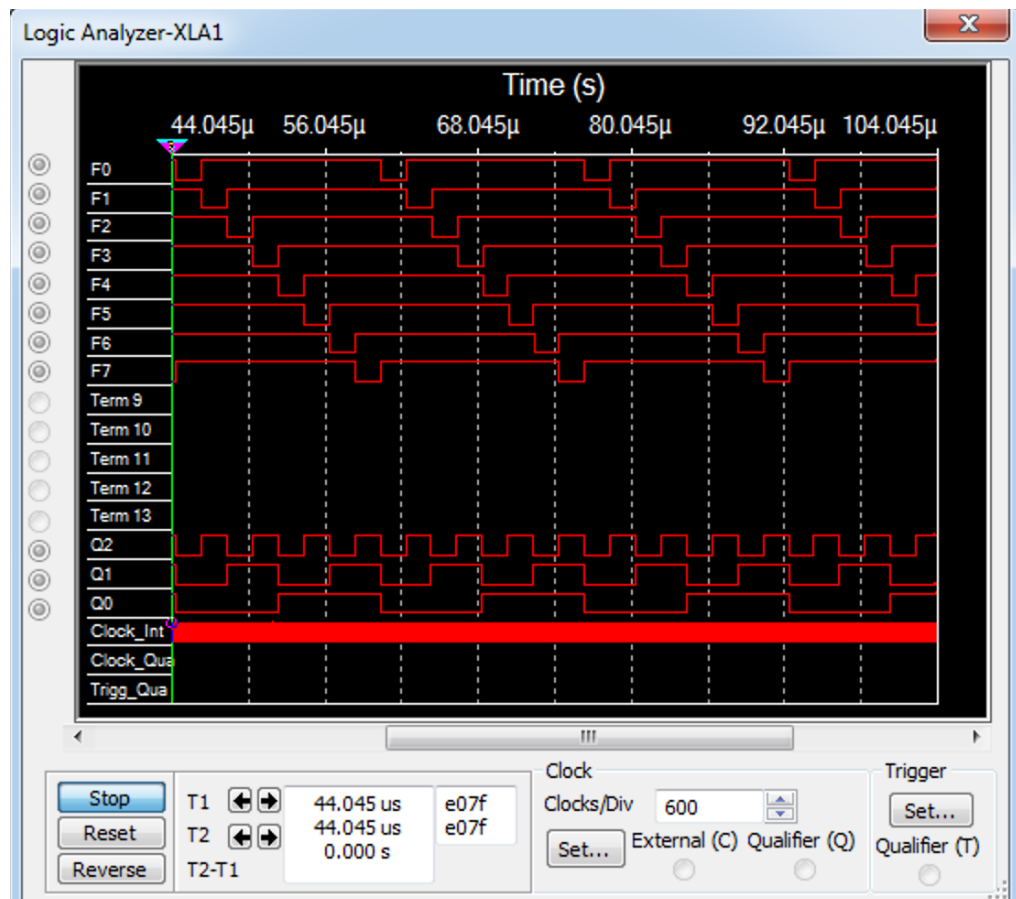


Рисунок 15 Временные диаграммы дешифратора DC 3-8 (74LS138)

б) собрать схему дешифратора DC 5-32 согласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы Q_0, Q_1, Q_2, Q_3, Q_4 с выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора, задержанные линией задержки макета.

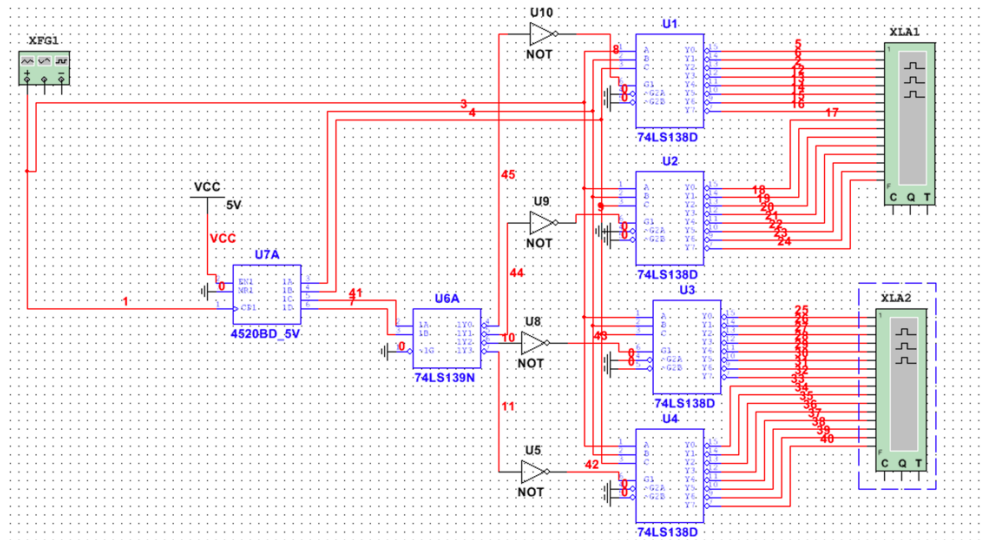


Рисунок 16 Дешифратор 5-32

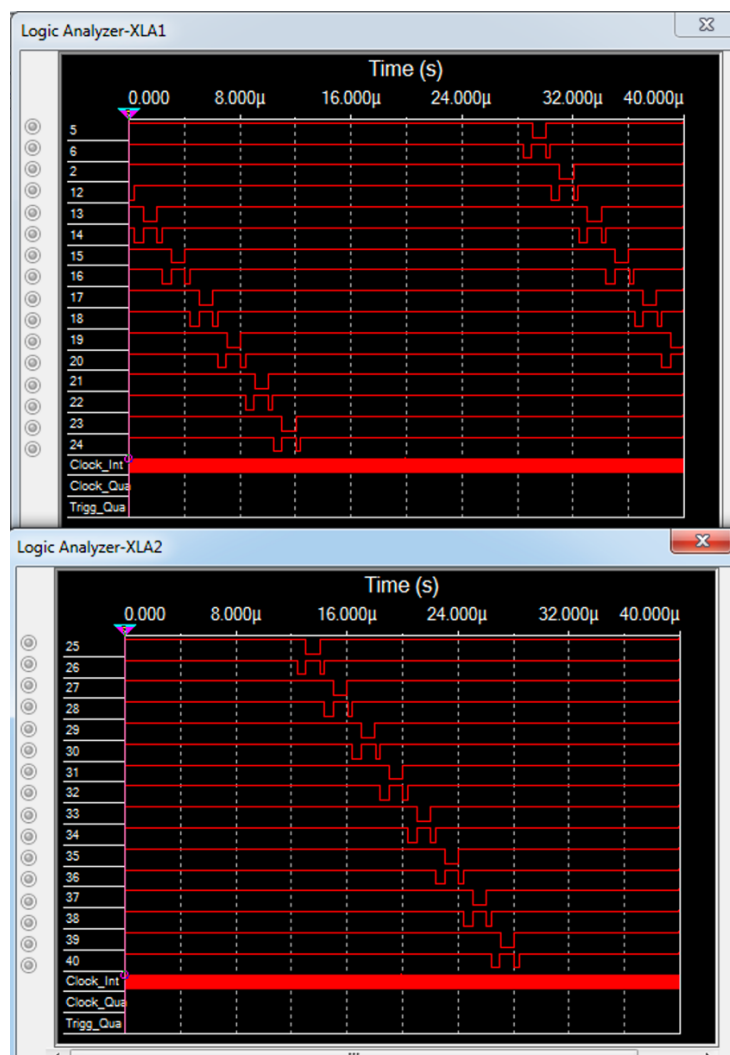


Рисунок 17 Временные диаграммы дешифратора 5-32

Вывод: Были изучены принципы построения и методы синтеза дешифраторов, произведено макетирование и экспериментальное исследование дешифраторов.

Контрольные вопросы

1. Что называется дешифратором?

Дешифратор - это комбинационный узел с n входами и N выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.

2. Какой дешифратор называется полным (неполным)?

Дешифратор, имеющий 2^n выходов, называется полным, при меньшем числе выходов - неполным.

3. Определите закон функционирования дешифратора аналитически и таблично.

Функционирование дешифратора $DC\ n - N$ определяется таблицей истинности:

Входы							Выходы					
EN	A_{n-1}	A_{n-2}	A_{n-3}	...	A_1	A_0	F_0	F_1	F_2	...	F_{N-2}	F_{N-1}
0	x	x	x	...	x	x	0	0	0	...	0	0
1	0	0	0	...	0	0	1	0	0	...	0	0
1	0	0	0	...	0	1	0	1	0	...	0	0
1	0	0	0	...	1	0	0	0	1	...	0	0
...
...
1	1	1	1	...	1	0	0	0	0	...	1	0
1	1	1	1	...	0	1	0	0	0	...	0	1

4. Поясните основные способы построения дешифраторов.

Линейный дешифратор строится в соответствии с системой из предыдущего вопроса, и представляет собой 2^n конъюнкторов или логических элементов (ЛЭ) ИЛИ-НЕ с n -входами каждый при отсутствии стробирования и с $(n + 1)$ входами - при его наличии.

Пирамидальный дешифратор. Строится на основе последовательной (каскадной) реализации выходных функций. На первом этапе реализуются конъюнкции двух переменных. На втором - все конъюнкции трех

переменных путем логического умножения каждой ранее полученной конъюнкции двух переменных на переменную $A_2(\overline{A_2})$. На третьем этапе каждую из полученных выше конъюнкций трех переменных умножают на $A_3(\overline{A_3})$ и т.д. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкций, чем на предыдущем. Пирамидальные дешифраторы независимо от числа их входов строятся на основе только двухвходовых конъюнкторов.

5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками?

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки (состязания), приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками). Стробирующий сигнал на этом входе не должен быть активным во время переходных процессов в дешифраторе.

6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?

Пусть для построения сложного дешифратора $DC\ n - N$ используются простые дешифраторы $DC\ n_1 - N_1$, причем $n_1 \ll n$, следовательно и $N_1 \ll N$.

1. Число каскадов равно $= \frac{n}{n_1}$. Если K – целое число, то во всех каскадах используются полные дешифраторы $DC\ n_1 - N_1$. Если K – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор $DC\ n_1 - N_1$.

2. Количество простых дешифраторов $DC\ n_1 - N_1$ в выходном каскаде равно $\frac{N}{N_1}$, в предвыходном – $\frac{N}{N_1^2}$, в предпредвыходном – $\frac{N}{N_1^3}$ и т.д.; во входном каскаде – $\frac{N}{N_1} \text{ к}$. Если $\frac{N}{N_1} \text{ к}$ – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.

3. В выходном каскаде дешифрируются n_1 младших разрядов адреса сложного дешифратора, в предвыходном – следующие n_1 младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому n_1 младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие n_1 младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора.

4. Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и т.д.