

# **-ESTRUCTURA DE COMPUTADORES-**

## ➤ TEST 1

### 1. ¿Qué puede representar un dato dado en BCD?

Un número decimal, codificado en binario.

### 2. ¿Qué puede representar un dato dado en ASCII?

Un carácter alfanumérico.

### 3. ¿Qué función cumple esta tabla? ----->

$F1 = /A \cdot B + A \cdot /B \cdot C$ ,  $F2 = /A \cdot B \cdot /C + /A \cdot B \cdot C + A \cdot /B \cdot C$  y  
 $F3 = (/A + /B) \cdot (A + B) \cdot (/A + C)$

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

### 4. Expresa en hexadecimal este número dado en binario natural: 10110,001

16.2

### 5. ¿En qué rango están los números representables con 5 bits en complemento a uno?

Da la respuesta con el siguiente formato: ...<=Z<=...

-15<=Z<=15

### 6. ¿En qué rango están los números representables con 5 bits en complemento a dos?

Da la respuesta con el siguiente formato: ...<=Z<=...

-16<=Z<=15

### 7. Simplifica mediante Karnaugh, en forma de minterm, la función F.

Da la respuesta en el siguiente formato F=...

$F = A + C$

$F(ABC) = \Pi(M0, M2)$

### 8. Escribe la función F en su forma canónica. $F(ABC) = /A \cdot B + /B \cdot C$ . Da el resultado en formato F=..... sin espacios ni paréntesis y con los términos ordenados de menor a mayor.

$F = /A \cdot /B \cdot C + /A \cdot B \cdot /C + /A \cdot B \cdot C + A \cdot /B \cdot C$

### 9. Expresa en binario natural el siguiente número decimal: 23,625

$F = 10111,101$

### 10. Pasa a decimal el siguiente número dado en signo y magnitud: 1011,1

-3.5

### 11. Expresa en complemento a uno con 8 bits el número decimal -7

11111000

### 12. Expresa en complemento a dos con 8 bits el número decimal 8

00001000

**13. ¿Qué valor han de tomar las variables A, B y C para que la función F valga 1?**  
 **$F = A + B \cdot C$**

A=0 y B=0 y C=1

**14. ¿En qué rango están los números representables con 5 bits en binario natural?**  
**Da la respuesta en el formato  $0 \leq Z \leq \dots$**

$0 \leq Z \leq 31$

## ➤ TEST 2

**1. El código obtenido al añadir un bit de paridad a unos datos, tiene una distancia Hamming de:**

2

**2. ¿En qué posiciones han de ponerse los bits de paridad del código Hamming?**

En las posiciones potencia de dos.

**3. ¿Qué sucede si un dato, al que se le ha añadido un bit de paridad, sufre un error en uno de sus bits?**

Se detecta que el dato recibido es erróneo.

**4. ¿Qué sucede si un dato, al que se le ha añadido un bit de paridad, sufre un error en dos de sus bits?**

No se puede detectar.

**5. ¿Qué sucede si un dato, al que se le ha aplicado Hamming, sufre un error en uno de sus bits?**

Se detecta que el dato recibido es erróneo y se corrige.

**6. ¿Qué sucede si un dato, al que se le ha aplicado Hamming, sufre un error en dos de sus bits?**

Se detecta que ha habido algún error, pero intentando corregirlo podemos introducir un nuevo error.

**7. Gracias al código Hamming...**

...Pueden detectarse y corregirse errores de un bit.

**8. La distancia Hamming del código Hamming es =**

3

**9. Para aplicar Hamming a un dato de 5 bits ¿cuántos bits hay que añadir?**

4

**10. Añade al final de la secuencia 1000101 un bit de paridad par.**

10001011

**11. Añade al final de la secuencia 1000101 un bit de paridad impar.**

10001010

**12. Añade al final de la secuencia 1000111 un bit de paridad par.**

10001110

**13. Añade al final de la secuencia 1000111 un bit de paridad impar.**

10001111.

**14. Se desea enviar el dato 0010. Añádele los bits de paridad del código Hamming.**

0101010

**15. Se ha recibido la palabra 0111010; sabiendo que en origen se le aplicó Hamming, comprueba si ha habido algún error e indica cuál era el dato de origen.**

0010

**16. ¿Cuántos bits hay que añadir a un dato de 4 bits para aplicarle Hamming?**

3

### ➤ TEST 3

**1. En la arquitectura von Neumann, los datos y las instrucciones...**

...Están en una misma memoria.

**2. En la arquitectura von Neumann, pasan por la Unidad Aritmético-Lógica...**

Todas las operaciones.

**3. En los microcontroladores se utiliza a menudo la siguiente arquitectura:**

Harvard modificada.

**4. Una parte constituyente de la arquitectura von Neumann es la Unidad Central de Proceso, compuesta por:**

Ruta de Datos y Unidad de Control.

**5. Los bloques funcionales que componen un ordenador con arquitectura von Neumann son: Entrada/Salida, buses, CPU y**

Memoria.

**6. En la arquitectura von Neumann datos e instrucciones van por buses diferenciados, gracias a lo cual pueden transferirse simultáneamente.**

Falso.

**7. En la arquitectura von Neumann todas las instrucciones pasan por la UAL, salvo las de movimiento de datos.**

Falso.

**8. En la arquitectura von Neumann datos e instrucciones están en la misma memoria.**

Verdadero.

**9. La arquitectura von Neumann está obsoleta, y ya no se utiliza.**

Falso.

#### ➤ TEST 4

**1. A la salida de la UAL está el resultado de la operación realizada, este irá del bus D al bloque de registros; aquí se almacenará en el registro especificado para guardar el contenido del bus D.**

A veces si, a veces no.

**2. Analiza el circuito aritmético de la figura, donde A y B son datos de 4 bits (S1 y S0 de un único bit). ¿Cuál será la salida?**

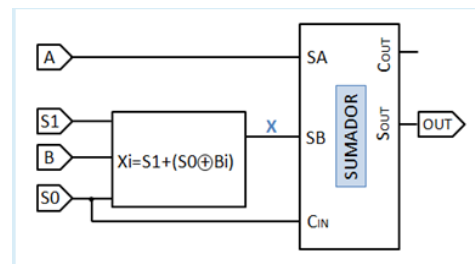
S1 S0 OUT

0 0 A + B

0 0 A - B

0 0 A - 1

0 0 A



**3. ¿Cómo se denomina al conjunto de señales necesarias para que en la Ruta de Datos se den los pasos necesarios para la correcta ejecución de una instrucción?**

Palabra de control.

**4. La Ruta de Datos la conforman: la Unidad Aritmético-Lógica (o Unidad de Funciones) y...**

Bloque de registros.

**5. ¿Cuál es el resultado de la siguiente operación aritmética? 0110 + 0010**

1000

**6. ¿Cuál es el resultado de la siguiente operación lógica? 0110 + 0010**

0110

**7. Se requiere sumar estos dos datos binarios: 1110 + 01001001. Para ello es necesario modificar el primero de ellos. Reescribe cómo quedaría dicho dato.**

00001110

**8. Se requiere sumar estos dos datos que están en complemento a dos: 1110 + 01001001. Para ello es necesario modificar el primero de ellos. Reescribe cómo quedaría dicho dato.**

11111110

**9. En un bloque de registros hay 8 registros, ¿cuántos bits se requieren para poder direccionar uno de ellos?**

3

**10. La UAL toma los datos del bloque de registros, por lo que los operandos que utilizará deben estar necesariamente en dicho bloque de registros.**

Falso.

**11. La siguiente operación puede ejecutarse: 1110+01001001**

Verdadero.

**12. La Ruta de Datos es la encargada de interpretar y ejecutar las instrucciones de un programa.**

Falso.

### ➤ TEST 5

**1. ¿Cuál es la función de la unidad de control?**

Decodificar las instrucciones creando palabras de control.

**2. En una Unidad de Control microprogramada son necesarias, al menos, las siguientes memorias:**

Una para las microinstrucciones (palabras de control) y otra para datos e instrucciones.

**3. ¿Qué es la palabra de control?**

El conjunto de señales necesario para que se ejecuten en la Ruta de Datos las operaciones correspondientes a una cierta instrucción.

**4. ¿Cuántos bits tiene la palabra de control?**

Depende de la arquitectura concreta.

**5. En una Unidad de Control de ciclo múltiple, en general, cada instrucción dará lugar a...**

...una secuencia de palabras de control.

**6. En la Unidad de Control cableada ¿a partir de qué se obtiene la palabra de control?**

Un circuito combinacional formado por puertas lógicas.

**7. En una Unidad de Control microprogramada, ¿mediante qué elemento se obtiene la palabra de control?**

Una memoria.

**8. En una Unidad de Control de ciclo múltiple se utilizan instrucciones con campo de operación de 7 bits. Si cada instrucción genera de media 4 microinstrucciones, ¿de cuántas posiciones ha de ser la memoria de control?**

512

**9. En una Unidad de Control de ciclo múltiple se utilizan instrucciones con campo de operación de 7 bits. Si cada instrucción genera de media 4 microinstrucciones, ¿qué tamaño ha de tener la memoria de control? X posicione y anchura:**

Dependerá de la arquitectura.

**10. ¿Cómo se llama el conjunto de señales necesarias para que en la Ruta de Datos se den los pasos necesarios para la ejecución de una instrucción?**

Palabra de control.

## ➤ TEST 6

**1. La ejecución de una instrucción en canalización tarda menos que sin ella.**

Falso.

**2. Entre las soluciones al riesgo de datos, se vieron la inserción de instrucciones NOP (solución software) o de una "burbuja" en la canalización (solución hardware). ¿Cuál de ellas supone una mayor penalización en cuanto al tiempo de ejecución?**

Ambas igual.

**3. Si la ejecución de una instrucción se divide en 3 etapas, ¿por qué en la ejecución en canalización, en el caso óptimo, no tarda cada instrucción de media un tercio de lo que tardaba antes?**

Porque en general, no podrá dividirse en etapas exactamente iguales y porque hay que añadir registros al final de cada etapa. (Por a y por b)

**4. La ejecución en canalización da lugar al denominado:**

Riesgo de datos.

**5. A la hora de implementar una canalización, se divide la ejecución de una instrucción en varias etapas, buscando que...**

...éstas sean lo más parecidas posibles (en cuanto a duración).

**6. Si la ejecución de una instrucción que tardaba 12 ns se divide en 3 etapas de 4 ns, 6 ns y 5 ns para implementar una canalización ¿cuánto tarda ahora la ejecución de una instrucción por si sola? Da el valor numérico en ns.**

18.

**7. Si la ejecución de una instrucción que tardaba 12 ns se divide en 3 etapas de 4 ns, 6 ns y 5 ns para implementar una canalización ¿cuánto tarda ahora de media cada instrucción en el mejor de los casos? Da el valor numérico en ns.**

6

**8. Si la ejecución de una instrucción que tardaba 12 ns se divide en 3 etapas de 4 ns, 6 ns y 5 ns para implementar una canalización ¿cuántos ciclos de reloj requiere la ejecución de una instrucción?**

3

**9. Si la ejecución de una instrucción que tardaba 12 ns se divide en 3 etapas de 4 ns, 6 ns y 5 ns para implementar una canalización ¿cuál ha de ser el nuevo periodo mínimo del reloj? Da el valor numérico en ns.**

6

**10. Si la ejecución de una instrucción que tardaba 12 ns se divide en 3 etapas de 4 ns, 6 ns y 5 ns para implementar una canalización, en una secuencia de 6 instrucciones ¿cuánto tarda ahora de media la ejecución de cada una de las instrucciones? Da el valor numérico en ns en una secuencia de 6 instrucciones.**

8

## ➤ TEST 7

### **1. En el modo de direccionamiento "directo" ...**

...el campo dirección tiene la dirección efectiva (dirección del operando).

### **2. En el modo de direccionamiento "inmediato" ...**

... el campo dirección tiene el operando.

### **3. En el modo de direccionamiento "indirecto" ...**

...el campo dirección tiene la dirección de memoria en la que se encuentra la dirección efectiva.

**4. Los tipos de instrucciones se clasifican en 3 grupos: de transferencia de datos, de procesamiento de datos y de control de secuencia. ¿Qué tipo de instrucciones nos encontramos en el tercer grupo?**

Salto y bifurcaciones.

### **5. ¿Qué es un diagrama de flujo?**

Es un tipo de diagrama que representa los pasos y la evolución de un algoritmo o proceso.

**6. Los diagramas de flujo se utilizan para diseñar, analizar o documentar un proceso o programa. Permiten ver gráficamente los pasos del proceso, facilitando...**

...su comprensión y depuración.

**7. ¿Qué representa un rombo en un diagrama de flujo?**

Cuestión/comprobación.

**8. El uso de punteros se sustenta en el direccionamiento...**

...indirecto.

**9. Un programa escrito en ensamblador, se pasa (se "traduce" a) código ..... mediante el uso de un ensamblador.**

Máquina.

**10. Un programa escrito en un lenguaje de alto nivel, se pasa (se "traduce" a) código ..... mediante el uso de un compilador.**

Máquina.

➤ **TEST 8**

**1. Indica todas las ventajas del uso de subrutinas vistas en clase:**

Encapsulado del código, división del problema, y evita código redundante.

**2. En el contexto de una interrupción (hardware), ¿qué significa que sea vectorizada?**

Que además de la señal de interrupción, ponen un vector que las identifica

**3. ¿Cómo se denomina el que una subrutina pueda ser invocada dentro de otra subrutina?**

Anidamiento de subrutinas

**4. Una llamada a subrutina implica un cambio en el contenido del contador de programa, para que se pase a ejecutar el código de una determinada parte de la memoria; pero tras la ejecución de la subrutina el programa debe seguir en el punto en el que fue llamado ¿cómo se gestiona?**

Antes de pasar a ejecutar la subrutina se guarda en memoria (en la pila) la dirección de retorno.

**5. ¿Qué diferencia hay entre una llamada a subrutina y una interrupción (hardware)?**

La primera es síncrona y predecible; la segunda no.

**6. Ante una interrupción (hardware), es necesario guardar...**

... la dirección de retorno y los registros de estado (al menos)

**7. Ante una interrupción (hardware)**

...se termina la instrucción en curso, se guardan los valores necesarios y se deshabilitan las interrupciones antes de pasar a ejecutar la RSI.



**8. A la hora de escribir un programa, si queremos introducir una llamada a subrutina nos encontramos con que desconocemos la dirección absoluta en la que se cargará su código, ¿cómo se solventa este problema? Mediante el uso de...**

Etiquetas.

**9. El paso de parámetros y resultados se realiza a través de la pila en un orden determinado, lo que permite acceder a ellos mediante direccionamiento indexado (SP+dirección); sin embargo, el contenido de la pila, y por lo tanto el SP, puede variar durante la ejecución de la subrutina. Para solucionar esto se propone crear una estructura denominada:**

Bloque de activación.

## ➤ TEST 9

**1. ¿Qué características tiene una memoria no volátil?**

No pierde los datos al interrumpirse el flujo eléctrico

**2. Cuanto mayor el tamaño de bloque, mayor la tasa de acierto de la memoria caché.**

Inicialmente sí, pero llegado cierto punto ya no

**3. ¿Qué características tiene una memoria con almacenamiento dinámico?**

Pierde los datos con el paso del tiempo, por lo que requiere ser reescrita (refresco)

**4. En una memoria RAM el acceso al contenido es...**

... por dirección

**5. En una organización 2D o lineal, los bits de dirección direccionan una línea de memoria; en una organización 3D o por coincidencia, ¿cómo se interpretan los bits de dirección?**

unos, parte de la dirección, direccionan una fila; el resto, una columna

**6. Las memorias más rápidas tienen también un mayor coste por bit, lo que lleva a la utilización de memorias de menor tamaño que coexisten con otras más lentas, baratas y por lo tanto de mayor tamaño, dando lugar a una...**

... jerarquía de memorias

**7. El concepto de memoria caché se sustenta en el principio de**

Localidad

**8. ¿Qué sucede si la CPU necesita un dato, se busca en caché y no se encuentra?**

Se produce un miss y se trae de memoria principal el bloque que contiene el dato requerido.

**9. Entre estas memorias con diferentes métodos de acceso, ¿cuál es la más rápida: ¿RAM, SAM o CAM?**

CAM

**10. En lo relativo al acceso a un dato de memoria, ¿qué tiempo es mayor, el tiempo de acceso (TA) o el de ciclo (TC)?**

TC

➤ **TEST 10**

**1. Memoria caché. Une la forma de interpretar la dirección física con el mecanismo de correspondencia utilizado.**

Etiqueta - Línea - Palabra/Byte – Correspondencia directa

Etiqueta - Palabra/Byte – Correspondencia asociativa

Etiqueta - Conjunto - Palabra/Byte – Correspondencia asociativa por conjuntos.

**2. Memoria caché. En uno de los tres tipos de correspondencia vistos, la dirección de memoria principal se divide en tres: etiqueta - línea - palabra/byte. Si la "palabra/byte" indica el desplazamiento dentro del bloque, y la "línea" indica la línea de la caché, ¿a qué hace referencia, para qué es necesaria la "etiqueta"?**

Para saber cuál de los posibles bloques a los que les corresponde esa línea está en caché.

**3. Los datos en caché son datos que estaban en la memoria principal, por lo que cualquier cambio en memoria caché debería verse reflejado en memoria principal. En relación a esto vimos dos estrategias: escritura inmediata o directa (write-through) y post-escritura (write-back). Cada una de ellas tenía sus ventajas e inconvenientes. ¿Cuál es la desventaja de la primera?**

Genera mucho tráfico entre MP y MC.

**4. Los datos en caché son datos que estaban en la memoria principal, por lo que cualquier cambio en memoria caché debería verse reflejado en memoria principal. En relación a esto vimos dos estrategias: escritura inmediata o directa (write-through) y post-escritura (write-back). Cada una de ellas tenía sus ventajas e inconvenientes. ¿Cuál es la desventaja de la segunda?**

Los módulos de E/S se ven obligados a acceder a MP a través de la caché

**5. Cuando la dirección virtual hace referencia a datos que no están en memoria principal, se dice que ha sucedido...**

... un fallo de página

**6. ¿Cuántas entradas tiene la tabla de páginas?**

Tantas como páginas

**7. ¿Cuál de las siguientes memorias viene programada de fábrica?**

(mask) ROM

**8. ¿Cuál de las siguientes memorias puede programarse y borrarse eléctricamente?**

EEPROM

**9. ¿Cuál de las siguientes memorias es una memoria estática de lectura/escritura?**

SRAM

**10. La memoria virtual permite el uso de todo el espacio de direccionamiento, sin embargo, las direcciones virtuales han de traducirse en direcciones físicas, ¿cómo se denomina el mecanismo encargado de dicha traducción?**

Mapeado.

➤ **TEST 11**

**1. Une las estrategias de arbitraje con sus características**

Petición independiente – La más compleja y rápida

Daisy-chain – La más sencilla y lenta

Encuesta – Intermedia en cuanto a complejidad y velocidad

**2. El bus ISA se diseñó para el 8088 que tenía, entre otras características, un bus de datos de 8 bits. Este protocolo de bus no era válido para el 80286, con un bus de datos de 16 bits. ¿Cómo se solventó el problema?**

Se amplió el bus pero manteniendo las conexiones anteriores.

**3. Diferentes protocolos de bus intentaron sustituir al ISA ante la demanda de mayores necesidades, y el primero que siendo incompatible con ISA consiguió sustituirlo fue**

PCI

**4. Cuando un protocolo de bus utiliza un método de arbitraje distribuido, ¿quién realiza las tareas de arbitraje?**

Todos los elementos conectados al bus

**5. ¿Por qué es necesario el arbitraje para la gestión de buses?**

Porque los buses suponen un medio compartido, haciendo necesario un control en el acceso a los mismos.

**6. ¿Qué ventajas presenta utilizar varios buses organizados de manera jerárquica?**

Aísla el tráfico de información entre la memoria y el procesador del tráfico correspondiente a la E/S, Permite conectar al sistema una amplia gama de dispositivos de E/S.

**7. Cuando ciertos bits de un bus se interpretan de diferente manera en diferentes momentos (por ejemplo, a veces llevan datos y otras veces direcciones), se habla de...**

bus multiplexado.

**8. ¿En qué tipos de protocolos de comunicación encontramos una señal de reloj?**

Síncronos y semisíncronos

**9. El número de bits en el bus de direcciones implica un límite a**

el rango direccionable.

**10. En el conjunto de señales del PCI se incluyen AD [31...0] y C/BE [3...0#]. ¿Dirías que se trata de un protocolo de bus multiplexado o dedicado? (una única palabra)**

Multiplexado.

**11. En el conjunto de señales del PCI se incluyen CLK, IRDY# (Initiator Ready) y TRDY# (Target Ready). ¿Dirías que se trata de un protocolo de bus síncrono, asíncrono o semisíncrono?**

semisíncrono

**12. El estándar USB ¿define un protocolo serie o paralelo?**

Serie.

**13. ¿La conexión de cuántos dispositivos simultáneos contempla el protocolo USB?**

127

**14. Al conectar un dispositivo USB, inicialmente se le asigna la dirección:**

Cero

## ➤ TEST 12

**1. Si en el protocolo de bus USB de los 4 cables dos son de datos y los otros dos de alimentación, ¿cómo se sincronizan los dispositivos?**

Cada milisegundo se transmite una trama de sincronización (reloj implícito).

**2. El método de sincronización Handshaking es más fiable que Strobing**

Verdadero.

**3. ¿Por qué es necesario el controlador en los periféricos?**

Debido a las múltiples diferencias entre los distintos dispositivos de E/S

**4. Durante una transferencia de datos mediante DMA, una vez que la CPU cede los buses al controlador de DMA, esta (la CPU) sigue realizando tareas:**

Cualquier tipo de tareas salvo las que impliquen el uso de los buses

**5. ¿Qué diferencia hay entre E/S mapeada en memoria y E/S independiente?**

En la primera los dispositivos de E/S y la memoria comparten rango de direccionamiento.

**6. La fiabilidad del método de sincronización Handshaking reside en la interlocución entre las dos partes, pero ¿qué sucede si una parte solicita un dato y la otra tiene un error que le impide contestar?**

Junto con la solicitud se activa un mecanismo de time-out que detecta estas situaciones, provocando en caso necesario una interrupción.

**7. En una sincronización Handshaking la interlocución la inicia**

la fuente o el destino.

**8. ¿Qué comunicación resulta más rápida (y por qué), la sincronizada mediante Strobing o mediante Handshaking?**

Handshaking, ya que con Strobing hay que esperar el tiempo que requiera la más lenta.

**9. En el caso de que la transferencia entre E/S y la memoria la gestione la CPU existen dos opciones: E/S programada y E/S mediante interrupciones. ¿Cuál de ellas es más eficiente computacionalmente y por qué?**

E/S mediante interrupciones, ya que libera a la CPU de chequear el estado del periférico.

**10. ¿Cómo se controla si la transferencia asignada al DMA ha sido correctamente completada?**

Mirando los registros de dirección y de cuenta de palabras del controlador DMA.

**11. A la hora de realizar una transferencia de datos ¿qué método de sincronización resulta más fiable, Strobing o Handshaking?**

Handshaking.

**12. En caso de tener que transferir grandes volúmenes de información entre los dispositivos de E/S y la memoria ¿cuál es el mecanismo más eficiente?**

DMA