

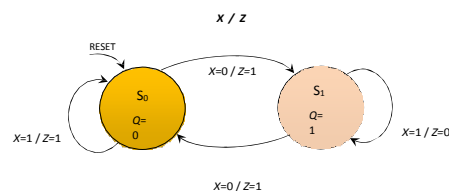
PDSD - Tema 4: Resolución de los Ejercicios

Ejercicio 1: Realizad el análisis de los siguientes circuitos secuenciales síncronos:

- a) Modelo Mealy - las ecuaciones del circuito y las tablas de estado, como consecuencia de éstas, se expresan a continuación:

Ecuaciones	$X = 0$				$X = 1$		
	Q	D	Q^*	Z	D	Q^*	Z
$Z = \overline{X} \cdot Q$	0	1	1	1	0	0	1
$D = X \cdot Q + X \cdot \overline{Q}$	1	0	0	1	1	1	0
$Q^* = D$							

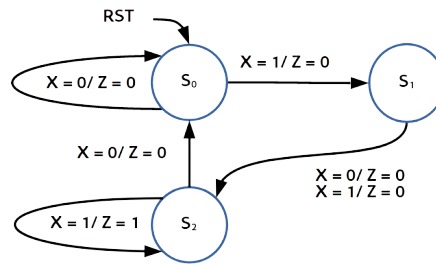
Los valores Q^* (estado futuro) se obtienen al aplicar el valor de la ecuación D para los valores actuales X y Q (estado actual). El diagrama de estados resultante es el siguiente:



- b) Modelo Mealy - las ecuaciones del circuito y las tablas de estado, como consecuencia de éstas, se expresan a continuación:

Ecuaciones	$X = 0$					$X = 1$			
	$Q_1 Q_0$	$J_1 K_1$	$J_0 K_0$	$Q_1^* Q_0^*$	Z	$J_1 K_1$	$J_0 K_0$	$Q_1^* Q_0^*$	Z
$Z = Q_1 \cdot X$	00	01	01	00	0	00	11	01	0
$J_1 = Q_0$	01	11	01	10	0	10	11	10	0
$K_1 = \overline{X}$	10	01	01	00	0	00	01	10	1
$J_0 = X \cdot \overline{Q}_1$	11	11	01	00	0	10	01	10	1
$K_0 = V_{CC}$									

Los valores $Q_1^*Q_0^*$ se obtienen al aplicar el valor de las ecuaciones J_iK_i para los valores actuales de X y Q_1Q_0 . Obsérvese, en la tabla de estados, que el estado S_3 es indistinguible del S_2 por lo que se reduce a uno. El diagrama de estados resultante es el siguiente:



Ejercicio 2: Diseñad un circuito secuencial síncrono con una señal de entrada X y una señal de salida Z . La señal de salida Z será 1 cuando los valores de X durante los cuatro anteriores períodos de reloj sean 0, 0, 1 y 1. La señal de salida volverá a 0 el período de reloj siguiente a que X vuelva a valer 0. Utilizad flip-flops J-K e incluid una señal asíncrona RST que obligará al circuito a reiniciar el ciclo.

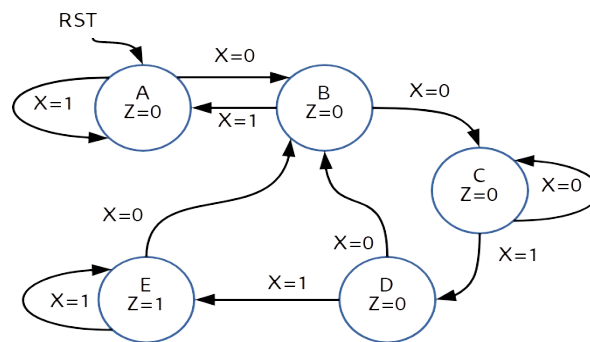


Figura 1. Diagrama de estados del ejercicio 2: Modelo Moore

Se omite la tabla de estados abstracta y se realiza la tabla de estados con la asignación de valores a los estados y flip-flops.

	$X = 0$				$X = 1$				
$Q_2Q_1Q_0$	J_2K_2	J_1K_1	J_0K_0	$Q_2^*Q_1^*Q_0^*$	J_2K_2	J_1K_1	J_0K_0	$Q_2^*Q_1^*Q_0^*$	Z
000	0X	0X	1X	001	0X	0X	0X	000	0
001	0X	1X	X1	010	0X	0X	X1	000	0
010	0X	X0	0X	010	0X	X0	1X	011	0
011	0X	X1	X0	001	1X	X1	X1	100	0
100	X1	0X	1X	001	X0	0X	0X	100	1

J_2 Q_0X

Q_2Q_1	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	X	X	X	X
10	X	X	X	X

$$J_2 = X \cdot Q_1 \cdot Q_0$$

 K_2 Q_0X

Q_2Q_1	00	01	11	10
00	X	X	X	X
01	X	X	X	X
11	X	X	X	X
10	1	0	X	X

$$K_2 = \bar{X}$$

 J_1 Q_0X

Q_2Q_1	00	01	11	10
00				1
01	X	X	X	X
11	X	X	X	X
10			X	X

$$J_1 = X \cdot \bar{Q}_0$$

 K_1 Q_0X

Q_2Q_1	00	01	11	10
00	X	X	X	X
01			1	1
11	X	X	X	X
10	X	X	X	X

$$K_1 = Q_0$$

 J_0 Q_0X

Q_2Q_1	00	01	11	10
00	1		X	X
01		1	X	X
11	X	X	X	X
10	1		X	X

$$J_0 = \bar{X} \oplus \bar{Q}_1$$

 K_0 Q_0X

Q_2Q_1	00	01	11	10
00	X	X	1	1
01	X	X	1	
11	X	X	X	X
10	X	X	X	X

$$K_0 = X + Q_1$$

 Z Q_0

Q_2Q_1	0	1
00		
01		
11	X	X
10	1	X

$$Z = Q_2$$

$$CLR_2 = CLR_1 = CLR_0 = RST$$

Ejercicio 3: Diseñad un circuito secuencial síncrono con una señal de entrada X por la que recibe datos en formato serie. El circuito produce una señal de salida Z que se activa a 1 cada vez que el valor del bit recibido por X cambia, ya sea de 0 a 1 como de 1 a 0. Realizad el diseño utilizando flip-flops tipo J-K e incluid una entrada asíncrona \overline{RST} que obligará al circuito a reiniciar el ciclo.

Nota: Considerad que, una vez detectado el cambio de 0 a 1 o de 1 a 0, si se repite X , la salida toma el valor 0.

$$\begin{aligned} Z &= Q_0 \\ J_1 &= Q_0 \\ K_1 &= Q_0 \\ J_0 &= Q_1 \oplus X \\ K_0 &= Q_1 \oplus X \\ CLR_1 &= CLR_0 = \overline{RST} \end{aligned}$$

Ejercicio 4: Diseñad un circuito secuencial síncrono con una entrada X y una salida Z , de modo que dicha salida Z se ponga a 1 cuando la entrada X valga 1 durante tres o más flancos de reloj consecutivos. La salida Z sólo vuelve a cero si se rompe la secuencia, es decir si la entrada X vale 0 durante uno o más flancos de reloj. Resolved con flip-flops D e incluid una entrada asíncrona \overline{RST} que obligará al circuito a reiniciar el ciclo.

$$\begin{aligned} Z &= Q_1 \cdot Q_0 \\ D_1 &= X \cdot (Q_0 + Q_1) \\ D_0 &= X \cdot (\overline{Q_0} + \overline{Q_1}) \\ CLR_1 &= CLR_0 = \overline{RST} \end{aligned}$$

Ejercicio 5: Diseñad un circuito secuencial síncrono que controle el uso de un bus por parte de dos periféricos, A y B. Cuando alguno de ambos periféricos precisa el uso del bus, activa a 1 la señal de petición de bus correspondiente (AR y BR , respectivamente), señales que funcionan como entrada al circuito controlador. Éste concede el uso del bus al periférico que lo ha solicitado, activando a 1 la señal de concesión de bus adecuada (AG y BG), y manteniéndola en este valor hasta que AR o BR vuelvan a 0. La petición y el uso del bus puede pasar de uno a otro periférico en cualquier momento. En caso de que los dos periféricos soliciten el uso del bus al mismo tiempo, (AR y $BR = 11$), el controlador sólo concederá el bus al periférico A. Utilizad flip-flops D e incluid una entrada asíncrona \overline{RST} que obligará al circuito a reiniciar el ciclo.

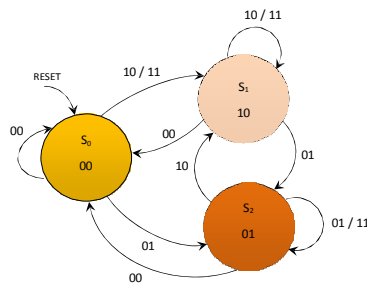


Figura 2. Diagrama de estados del ejercicio 5: Modelo Moore

Nota: Puede darse otra interpretación en la resolución. Estando en el estado S_2 y con entradas 11, puede pasarse al estado S_1 , en vez de permanecer en el estado S_2 . Esto indica que el periférico A siempre tiene prioridad sobre el B aunque este tenga el Bus.

Se omite la tabla de estados abstracta y se realiza la tabla de estados con la asignación de valores a los estados y flip-flops.

$AR\ BR$									
	00		01		10		11		
Q_1Q_0	D_1D_0	$Q_1^*Q_0^*$	D_1D_0	$Q_1^*Q_0^*$	D_1D_0	$Q_1^*Q_0^*$	D_1D_0	$Q_1^*Q_0^*$	$AG\ BG$
00	00	00	10	10	01	01	01	01	00
01	00	00	10	10	01	01	01	01	10
10	00	00	10	10	01	01	10	10	01
11	XX	XX	XX	XX	XX	XX	XX	XX	XX

Ecuaciones

$AG = Q_1$

$BG = Q_0$

$D_1 = AR$

$D_0 = \overline{AR} \cdot BR$

$CLR_1 = CLR_0 = \overline{RST}$

Ejercicio 6: Diseñad un circuito secuencial síncrono con una entrada X y una salida Z , de modo que dicha salida Z se ponga a 1 durante un período de reloj, cuando en la entrada X aparezca la siguiente secuencia sin interrupción: primero 0, luego 1 y después 0. La salida Z vuelve a 0 en el siguiente período de reloj independientemente del resto de valores de X , reiniciando la lectura de la secuencia. Una señal asíncrona \overline{RST} reinicia el circuito en cualquier momento al subir a 1. Resolved con flip-flops J-K.

$$\begin{aligned}
 Z &= Q_1 \cdot \overline{Q_0} \\
 J_1 &= X \cdot Q_0 \\
 K_1 &= X + \overline{Q_0} \\
 J_0 &= \overline{X} \cdot \overline{Q_1} \\
 K_0 &= Q_1 \\
 CLR_1 &= CLR_0 = \overline{RST}
 \end{aligned}$$

Ejercicio 7: Diseñad un circuito secuencial síncrono que funcione como un contador de dos bits Z_1Z_0 , cuya cuenta sólo se inicia si la entrada E vale 1. El contador se quedará en el valor 3 hasta que E vuelva a valer 0, reiniciando su función. El circuito debe reiniciarse también cuando se active a 1 la señal asíncrona \overline{RST} . Utilizad flip-flops D.

$$\begin{aligned}
 Z_1 &= Q_1 \\
 Z_0 &= Q_0 \\
 D_1 &= (Q_1 \oplus Q_0) + E \cdot Q_1 \\
 D_0 &= Q_1 \cdot Q_0 + E \cdot (Q_1 + \overline{Q_0}) \\
 CLR_1 &= CLR_0 = \overline{RST}
 \end{aligned}$$

Ejercicio 8: Diseñad un circuito secuencial síncrono que tenga una salida Z y una entrada X . La salida Z se pone a 1 cuando el valor de X se repite (dos ceros o dos unos), manteniéndose en ese valor hasta que el valor de X sea distinto al anterior. El circuito debe reiniciarse cuando se active a 1 la señal asíncrona \overline{RST} . Utilizad flip-flops T.

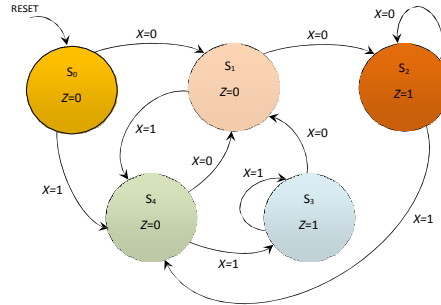


Figura 3. Diagrama de estados del ejercicio 8: Modelo Moore

Se omite la tabla de estados abstracta y se realiza la tabla de estados con la asignación de valores a los estados y flip-flops.

	$X = 0$				$X = 1$				
$Q_2Q_1Q_0$	T_2	T_1	T_0	$Q_2^*Q_1^*Q_0^*$	T_2	T_1	T_0	$Q_2^*Q_1^*Q_0^*$	Z
000	0	0	1	001	1	0	0	100	0
001	0	1	1	010	1	0	1	100	0
010	0	0	0	010	1	1	0	100	1
011	0	1	0	001	0	0	0	011	1
100	1	0	1	001	1	1	1	011	0

T_2
$Q_0 X$

$Q_2 Q_1$	00	01	11	10
00		1	1	
01		1		
11	X	X	X	X
10	1	1	X	X

$$T_2 = Q_2 + X(\overline{Q_1} + \overline{Q_0})$$

T_1
$Q_0 X$

$Q_2 Q_1$	00	01	11	10
00				1
01		1		1
11	X	X	X	X
10		1	X	X

$$T_1 = Q_0 \cdot \overline{X} + Q_2 \cdot X + X \cdot Q_1 \cdot \overline{Q_0}$$

T_0
$Q_0 X$

$Q_2 Q_1$	00	01	11	10
00	1		1	1
01				
11	X	X	X	X
10	1	1	X	X

$$T_0 = Q_2 + \overline{Q_1} \cdot \overline{X} + \overline{Q_1} \cdot Q_0$$

Z
Q_0

$Q_2 Q_1$	0	1
00		
01	1	1
11	X	X
10		X

$$Z = Q_1$$

$$CLR_2 = CLR_1 = CLR_0 = \overline{RST}$$