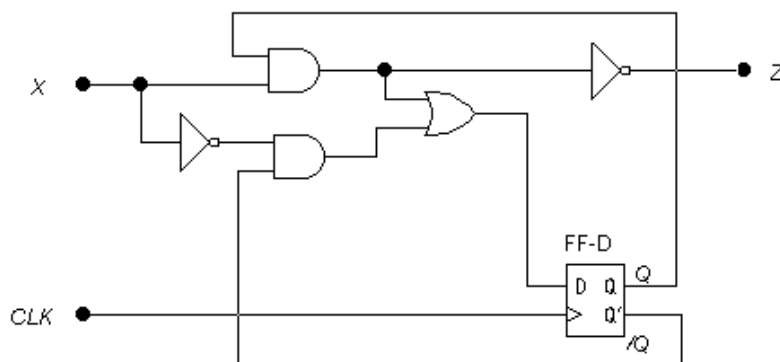


PDSD - Tema 4: Bloques Secuenciales

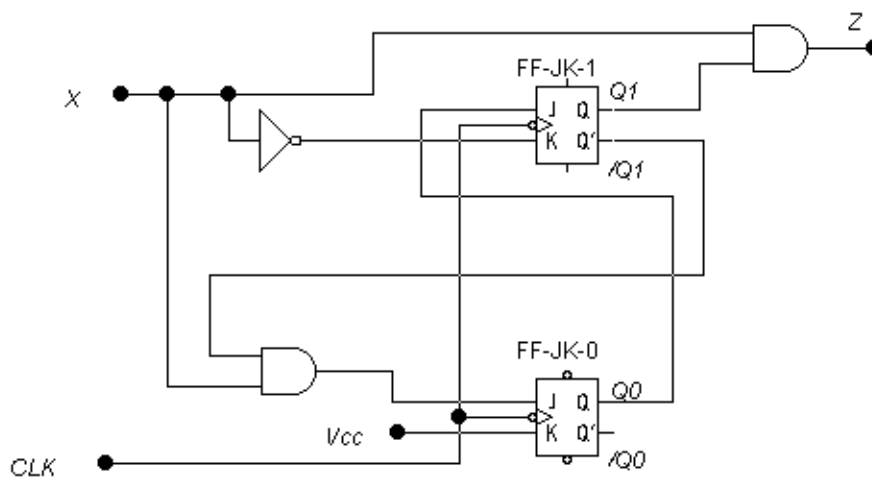
EJERCICIOS

Ejercicio 1: Realizad el análisis de los siguientes circuitos secuenciales síncronos:

a. ¿Modelo Moore o Mealy?



b. ¿Modelo Moore o Mealy?



- Ejercicio 2: Diseñad un circuito secuencial síncrono con una señal de entrada X y una señal de salida Z . La señal de salida Z será 1 cuando los valores de X durante los cuatro anteriores períodos de reloj sean 0, 0, 1 y 1. La señal de salida volverá a 0 el período de reloj siguiente a que X vuelva a valer 0. Utilizad flip-flops J-K e incluid una señal asíncrona RST que obligará al circuito a reiniciar el ciclo.
- Ejercicio 3: Diseñad un circuito secuencial síncrono con una señal de entrada X por la que recibe datos en formato serie. El circuito produce una señal de salida Z que activa a 1 cada vez que el valor del bit recibido por X cambia, ya sea de 0 a 1 como de 1 a 0. Realizad el diseño utilizando flip-flops tipo J-K e incluid una entrada asíncrona RST que obligará al circuito a reiniciar el ciclo.
- Ejercicio 4: Diseñad un circuito secuencial síncrono con una entrada X y una salida Z , de modo que dicha salida Z se ponga a 1 cuando la entrada X valga 1 durante tres o más flancos de reloj consecutivos. La salida Z sólo vuelve a uno si se rompe la secuencia, es decir si la entrada X vale 0 durante uno o más flancos de reloj. Resolved con flip-flops T e incluid una entrada asíncrona RST que obligará al circuito a reiniciar el ciclo.
- Ejercicio 5: Diseñad un circuito secuencial síncrono que controle el uso de un bus por parte de dos periféricos, A y B. Cuando alguno de ambos periféricos precisa el uso del bus, activa a 1 la señal de petición de bus correspondiente (AR y BR , respectivamente), señales que funcionan como entrada al circuito controlador. Éste concede el uso del bus al periférico que lo ha solicitado, activando a 1 la señal de concesión de bus adecuada (AG y BG), y manteniéndola en este valor hasta que AR o BR vuelvan a 0. La petición y el uso del bus puede pasar de uno a otro periférico en cualquier momento. En caso de que los dos periféricos soliciten el uso del bus al mismo tiempo, (AR y $BR = 1$), el controlador sólo concederá el bus al periférico A. Utilizad flip-flops D e incluid una entrada asíncrona RST que obligará al circuito a reiniciar el ciclo.
- Ejercicio 6: Diseñad un circuito secuencial síncrono con una entrada X y una salida Z , de modo que dicha salida Z se ponga a 1 durante un período de reloj, cuando en la entrada X aparezca la siguiente secuencia sin interrupción: primero 0, luego 1 y después 0. La salida Z vuelve a 0 en el siguiente período de reloj independientemente del resto de valores de X , reiniciando la lectura de la secuencia. Una señal asíncrona I reinicia el circuito en cualquier momento al subir a 1. Resolved con flip-flops J-K.
- Ejercicio 7: Diseñad un circuito secuencial síncrono que funcione como un contador de dos bits Z_1Z_0 , cuya cuenta sólo se inicia si la entrada E vale 1. El contador se quedará en el valor 3 hasta que E vuelva a valer 0, reiniciando

su función. El circuito debe reiniciarse también cuando se active a 1 la señal asíncrona RST. Utilizad flip-flops D.

Ejercicio 8: Diseñad un circuito secuencial síncrono que tenga una salida Z y una entrada X . La salida Z se pone a 1 cuando el valor de X se repite (dos ceros o dos unos), manteniéndose en ese valor hasta que el valor de X sea distinto al anterior. El circuito debe reiniciarse cuando se active a 1 la señal asíncrona RST. Utilizad flip-flops J-K.