



Αριστοτέλειο Πανεπιστήμιο Θεσσαλονίκης
Πολυτεχνική Σχολή
Τμήμα Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών

ΣΧΕΔΙΑΣΗ ΣΥΣΤΗΜΑΤΩΝ VLSI

ΑΝΑΦΟΡΑ ΕΡΓΑΣΤΗΡΙΑΚΗΣ ΑΣΚΗΣΗΣ

TELESCOPIC OPERATIONAL TRANSCONDUCTANCE AMPLIFIER (OTA)

Ημερομηνία: 07/01/2024

ΟΜΑΔΑ 12

Δεϊρμεντζόγλου Ιωάννης

A.E.M.: 10015

Email: deirmentz@ece.auth.gr

Οικονόμου Χρήστος

A.E.M.: 10268

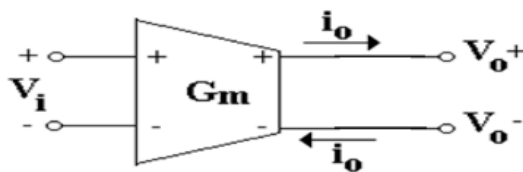
Email: cnoikonom@ece.auth.gr

ΠΕΡΙΕΧΟΜΕΝΑ

Εισαγωγή	σελ.3
Περιγραφή του Κυκλώματος	3
Σχεδίαση του Κυκλώματος	4
Αποτελέσματα Προσομοιώσεων	6
Σχεδίαση του Layout	9
Αποτελέσματα Ελέγχων.....	11
Βιβλιογραφικές Πηγές	12

Εισαγωγή

Αντικείμενο της παρούσας εργασίας αποτελεί η σχεδίαση και η ανάλυση ενός Τηλεσκοπικού Τελεστικού Ενισχυτή Διαγωγιμότητας (Telescopic Operational Transconductance Amplifier – OTA) τόσο σε σχηματικό επίπεδο, όσο και σε επίπεδο layout. Ο OTA είναι ένα κύκλωμα που δέχεται ως είσοδο διαφορική τάση ($V_{in}^+ - V_{in}^-$), η οποία είναι κοντά στο μηδέν, και επιστρέφει ρεύμα, κάτι που αποτυπώνεται και από τη χαρακτηριστική του εξίσωση: $V_{in} \cdot g_m = I_{out}$, όπου g_m η συνολική διαγωγιμότητα που διακρίνει το κύκλωμα. Για τον λόγο αυτόν, χαρακτηρίζεται και ως κύκλωμα VCCS (Voltage Control Current Source).



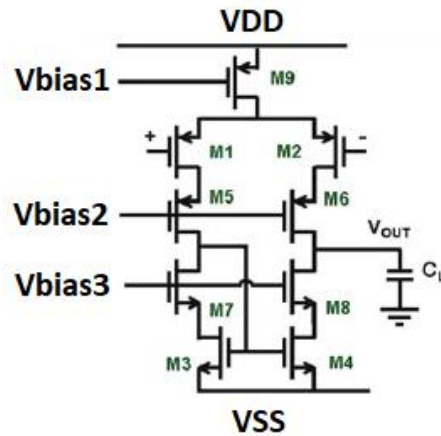
Εικόνα 1: Σύμβολο του OTA

Στο σημείο αυτό, αξίζει να αναφερθεί η σχέση μεταξύ του OTA και του τελεστικού ενισχυτή (OpAmp), καθώς χαρακτηρίζονται στη βιβλιογραφία ως “συγγενικά” κυκλώματα. Αυτό συμβαίνει, καθώς, με σύνδεση σε σειρά ενός buffer (π.χ. ηχείου) στον OTA, η συνολική διάταξη προσομοιάζει έναν τελεστικό ενισχυτή. Ωστόσο, ο τελευταίος φαίνεται πως έχει επικρατήσει στη σχεδίαση κυκλωμάτων. Αυτό συμβαίνει, διότι χρησιμοποιείται σε κυκλώματα επεξεργασίας ψηφιακών σημάτων, γεγονός που πολλαπλασιάζει τη χρησιμότητά του στη σημερινή σχεδίαση κυκλωμάτων. Αντιθέτως, η χρήση του OTA είναι πιο περιορισμένη, καθώς ειδικεύεται σε επεξεργασία αναλογικών σημάτων, κυρίως ηχητικών, διαδικασία που αφορά, πλέον, μια σχετικά μικρή μερίδα των σχεδιαστών.

Περιγραφή του Κυκλώματος

Όπως προαναφέρθηκε, ο OTA έχει διαφορική είσοδο, η οποία υλοποιείται μέσω ενός διαφορικού ζεύγους transistors. Το διαφορικό ζεύγος εισόδου αποτελείται από pmos transistors. Η έξοδος του διαφορικού επιπέδου συνδέεται με ένα στάδιο κοινής βάσης. Αυτό το στάδιο ονομάζεται συχνά “τηλεσκοπικό” λόγω της κατακόρυφης δομής του. Το στάδιο κοινής βάσης χρησιμοποιείται για να παρέχει επιπλέον ενίσχυση και να βελτιώσει τη συνολική απόδοση του ενισχυτή. Κάθε τρανζίστορ στο κοινό στάδιο βάσης συνήθως διατάσσεται ως αλληλουχία (cascade). Αυτό περιλαμβάνει τη σύνδεση της πηγής (Gate) στην τάση της τροφοδοσίας. Η αλληλουχία αυτή συμβάλλει στη βελτίωση του εύρους ζώνης και της ενίσχυσης του ενισχυτή. Επιπλέον, χρησιμοποιούνται καθρέπτες ρεύματος για να παρέχουν ρεύματα πόλωσης στους τρανζίστορ στα διαφορικά και κοινά στάδια. Αυτοί οι καθρέπτες βοηθούν στη διατήρηση κατάλληλων συνθηκών πόλωσης για τα τρανζίστορ, εξασφαλίζοντας σταθερή και γραμμική λειτουργία. Στην συγκεκριμένη περίπτωση, για την εργασία μας χρησιμοποιήσαμε dc πηγές τάσης της τάξης των 200-500 mV (σύνδεση με τις πύλες) για την πόλωση των transistors (στο σχήμα V_{bias1} , V_{bias2} , V_{bias3}). Για τη βελτίωση της σταθερότητας και την αποφυγή φαινομένων “peaking” στην απόκριση συχνότητας, πυκνωτές

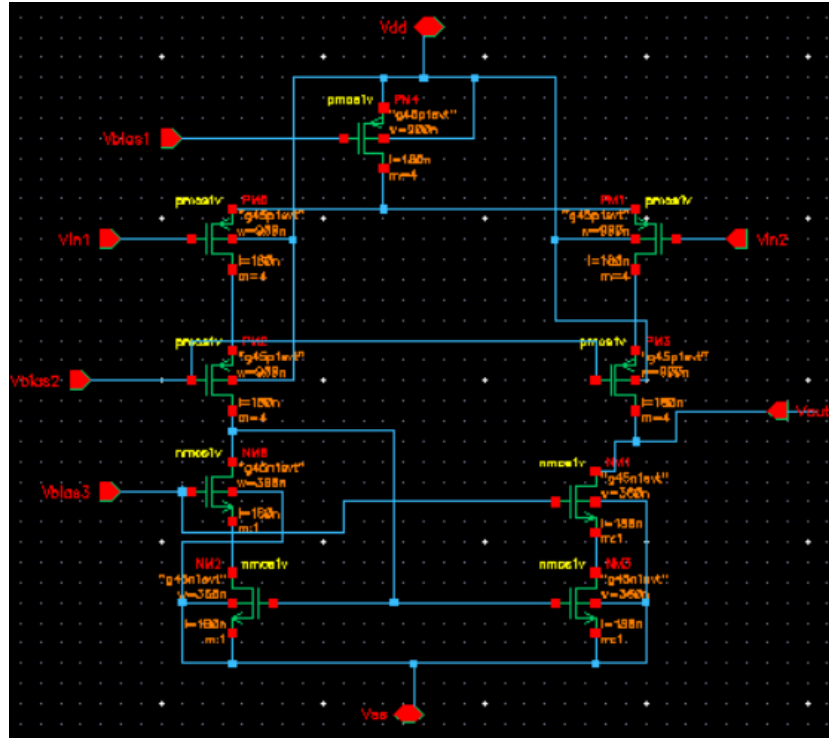
αποκατάστασης μπορεί να προστεθούν σε στρατηγικά σημεία του ενισχυτή. Συνήθως, χρησιμοποιείται η χωρητικότητα Miller με την προσθήκη ενός πυκνωτή παράλληλα με το ζεύγος τρανζίστορ εισόδου. Τέλος, η έξοδος του τηλεσκοπικού OTA λαμβάνεται από το common-gate σημείο του τελευταίου σταδίου. Αυτό το στάδιο εξόδου παρέχει τη συνολική διαγωγιμότητα, και το ρεύμα εξόδου είναι ανάλογο της τάσης εισόδου, όπως προαναφέρθηκε. Στην έξοδο του ενισχυτή συνδεέται ένας πυκνώτης του 1 pF .



Εικόνα 2:Κύκλωμα Telescopic OTA

Σχεδίαση του Κυκλώματος

Η σχεδίαση και η ανάλυση του κυκλώματος του Telescopic OTA πραγματοποιήθηκε με το πρόγραμμα Virtuoso της εταιρίας Cadence. Η διάταξη που σχεδιάστηκε φαίνεται στην Εικόνα 3.



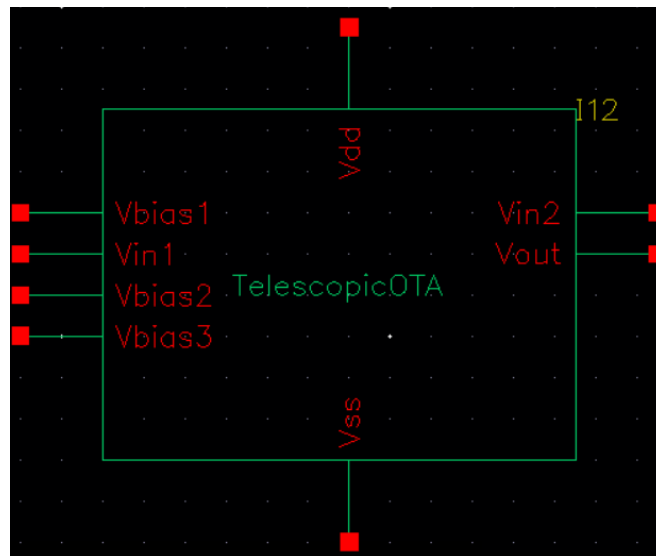
Εικόνα 3: Σχηματική αποτύπωση του OTA στο πρόγραμμα Virtuoso

Για την υλοποίηση του κυκλώματος, χρησιμοποιήθηκαν 9 transistors (5 τύπου p-MOS και 4 τύπου n-MOS), οι διαστάσεις και οι προδιαγραφές των οποίων αποτυπώνονται στον Πίνακα 1. Αξίζει να σημειωθεί πως, για τη συγκρότηση των p-MOS, υιοθετήθηκε η λογική της ένωσης πολλαπλών, μικρότερης επιφάνειας, transistors (tiles), με σκοπό την μεγαλύτερη αύξηση του κέρδους. Συγκεκριμένα, για κάθε p-mos που απειονίζεται στο παραπάνω σχήμα, χρησιμοποιήθηκαν τέσσερα μικρότερα p-mos, συνδεδεμένα παράλληλα μεταξύ τους.

Τύπος Transistor	Διαστάσεις (W/L)	Multiplier (αριθμός tiles ανά transistor)
p-MOS	720nm/180nm	4
n-MOS	360nm/180nm	1

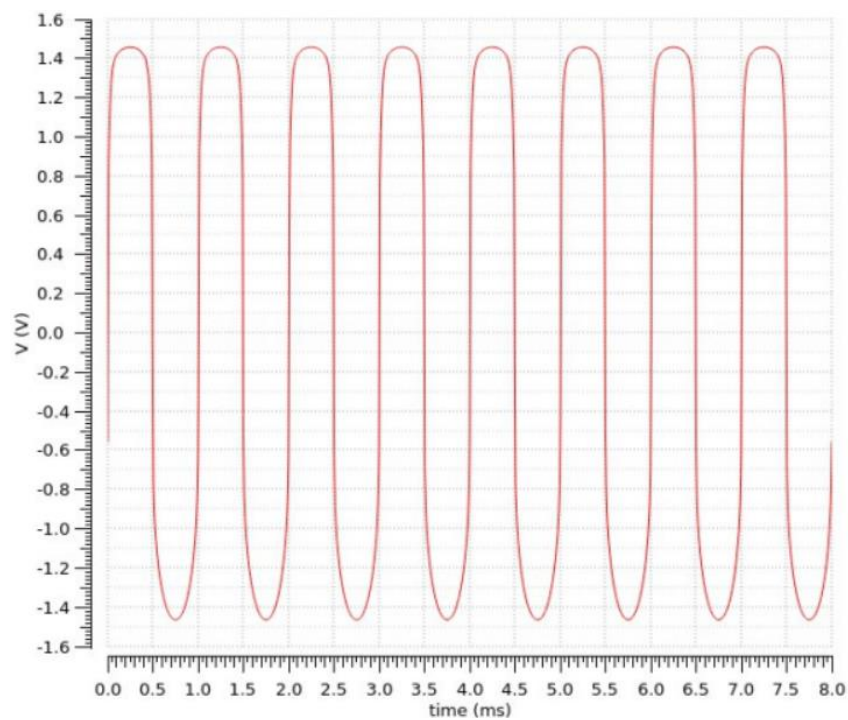
Πίνακας 1: Χαρακτηριστικά των transistors που χρησιμοποιήθηκαν στη σχεδίαση

Όσον αφορά τις πηγές που χρησιμοποιήθηκαν για την τροφοδοσία του κυκλώματος, έγινε χρήση πολλών διαφορετικών τύπων, ανάλογα με τις απαιτήσεις κάθε σημείου της σχεδίασης. Αναλυτικότερα, στα τρία σημεία των Vbias (Vbias1, Vbias2, Vbias3), έγινε χρήση DC πηγών τάσης της τάξης των 200 mV. Για τις τάσεις της διαφορικής εισόδου (Vin1, Vin2), χρησιμοποιήθηκαν δύο πηγές ημιτονοειδούς τάσης (Vsin), οι οποίες έχουν DC πλάτος ίσο με 1V, AC πλάτος ίσο με 100mV, συχνότητα 1kHz και διαφορά φάσης μεταξύ τους ίση με 180°. Οι τάσεις Vdd και Vss τοποθετήθηκαν στα 3.3V και 0V αντίστοιχα, όπως προβλεπόταν από την εκφώνηση της εργασίας.

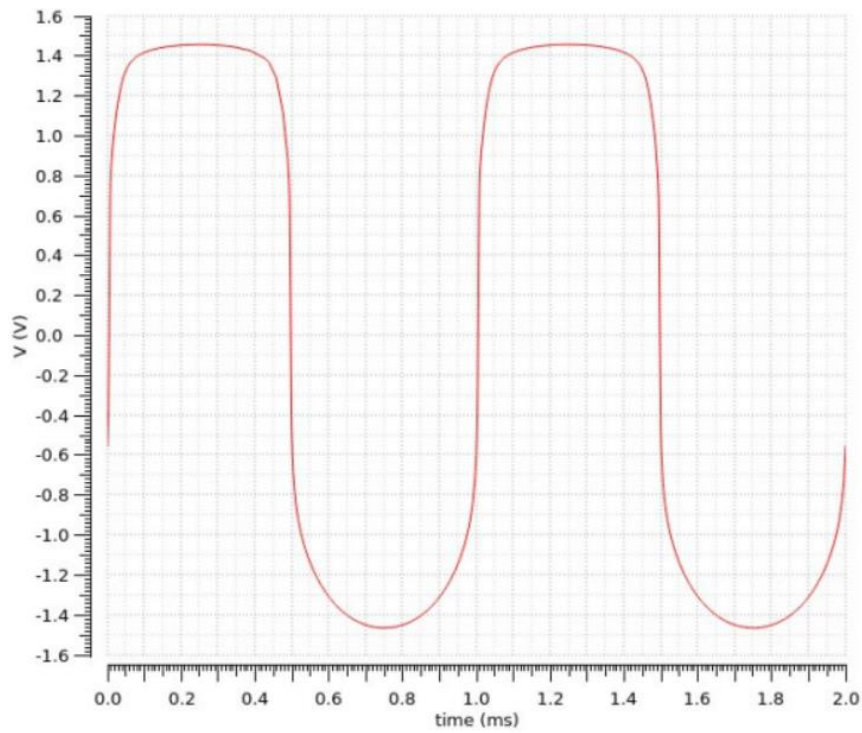


Εικόνα 4: Κυκλωματικό σύμβολο του Telescopic OTA (Virtuoso)

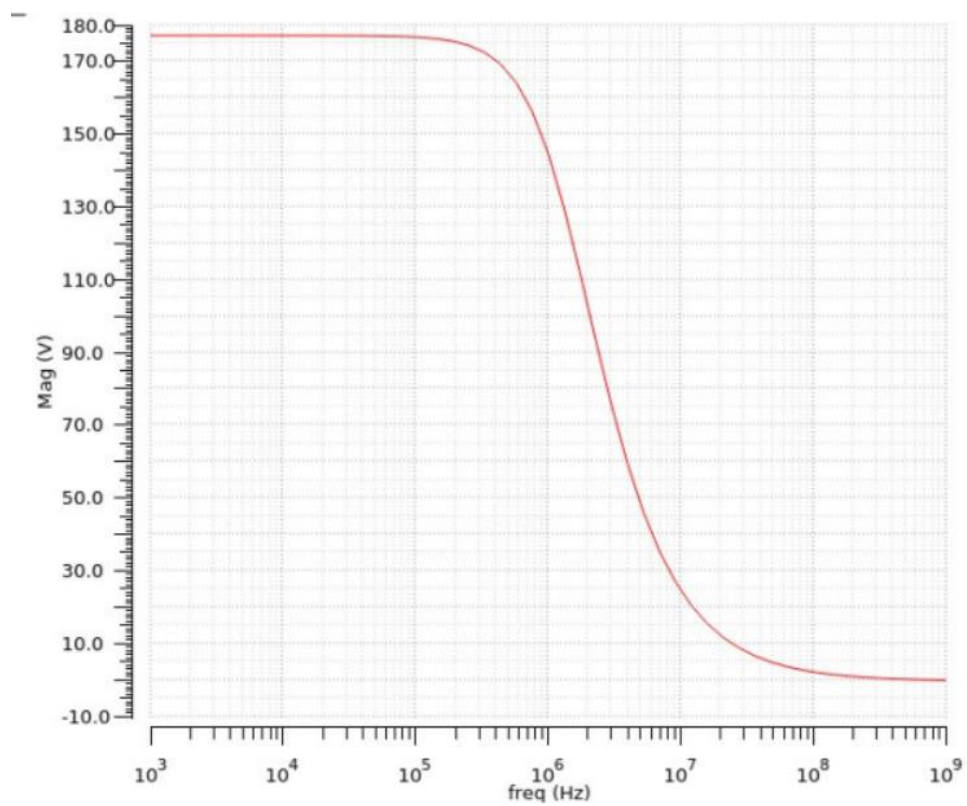
Αποτελέσματα Προσομοιώσεων



Εικόνα 5: Transient Analysis Τάσης Εξόδου (1 kHz) σε 8 περιόδους

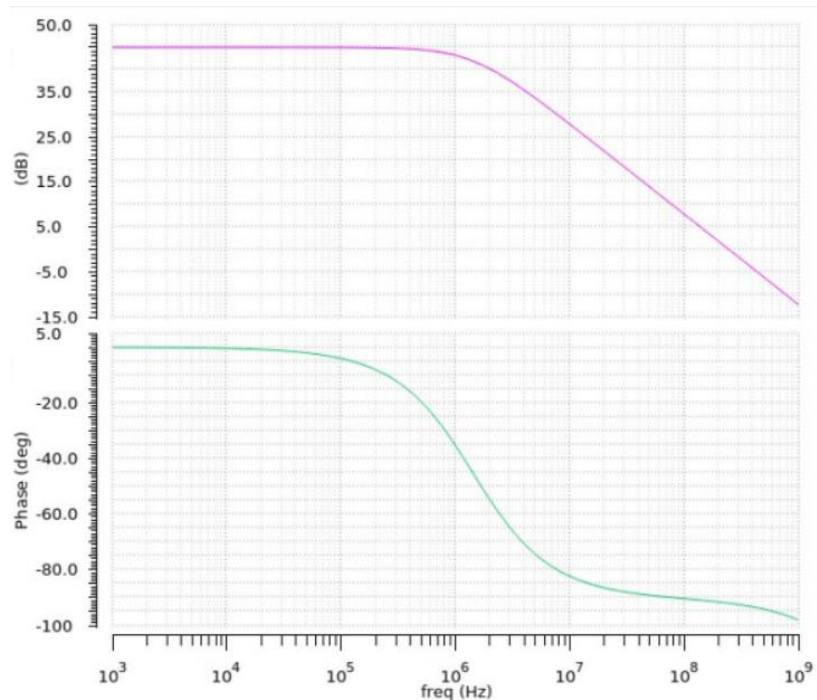


Εικόνα 6: Transient Analysis Τάσης Εξόδου (1 kHz) σε 2 περιόδους



Εικόνα 7: Πλάτος τάσης στην έξοδο του ενισχυτή

Το μέγιστο πλάτος της τάσης εξόδου μετρήθηκε στα **177.158V**.



Εικόνα 8: Κέρδος Τάσης (DC Gain) και Φάση της Τάσης Εξόδου

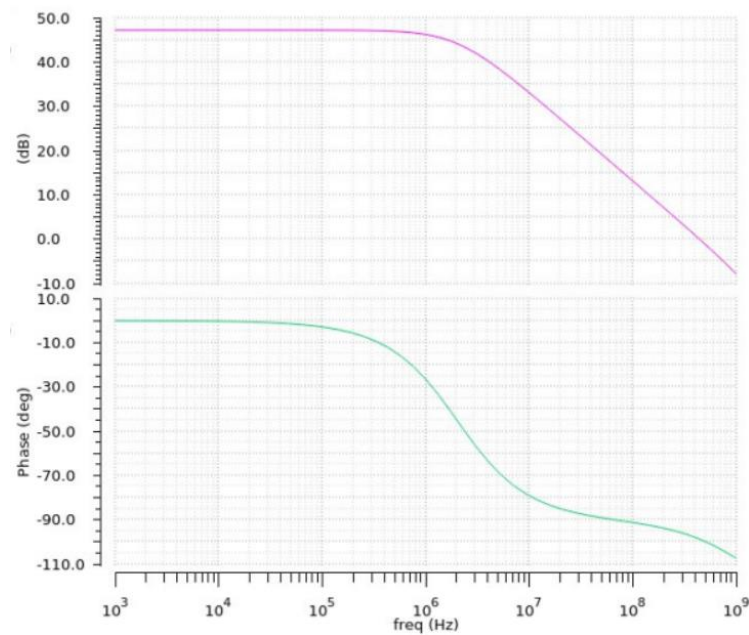
Το μέγιστο κέρδος τάσης μετρήθηκε στα **44.967 dB**, ενώ το περιθώριο φάσης (PM) είναι ίσο με **88.39°**. Το εύρος ζώνης (bandwidth) του κυκλώματος είναι ίσο με 509.236 kHz, οπότε το GBW υπολογίζεται ως εξής: $GBW = A \cdot BW = 16.83 \text{ MHz}$. Όπως είναι προφανές, τηρούνται όλες οι προδιαγραφές που ορίστηκαν από την εκφώνηση.

Σημείωση:

Προτού υιοθετηθεί η χρήση των p-MOS transistors με 4 tiles, είχε προηγηθεί υλοποίηση του κυκλώματος με p-MOS που το καθένα διέθετε 8 tiles. Οι διαστάσεις των transistors του κυκλώματος είχαν διαμορφωθεί, σύμφωνα με τις τιμές του Πίνακα 2. Ωστόσο, παρόλο που η συγκεκριμένη προσέγγιση είχε ως αποτέλεσμα αρκετά μεγαλύτερο κέρδος, προτιμήθηκε η αυτή με τα 4 tiles, καθώς οι προδιαγραφές τηρούνταν ικανοποιητικά και χρειαζόταν σημαντικά μικρότερη επιφάνεια για την υλοποίησή της.

Τύπος Transistor	Διαστάσεις (W/L)	Multiplier (αριθμός tiles ανά transistor)
p-MOS	720nm/180nm	8
n-MOS	480nm/180nm	1

Πίνακας 2: Χαρακτηριστικά των transistors - Προσέγγιση με Multiplier ίσο με 8

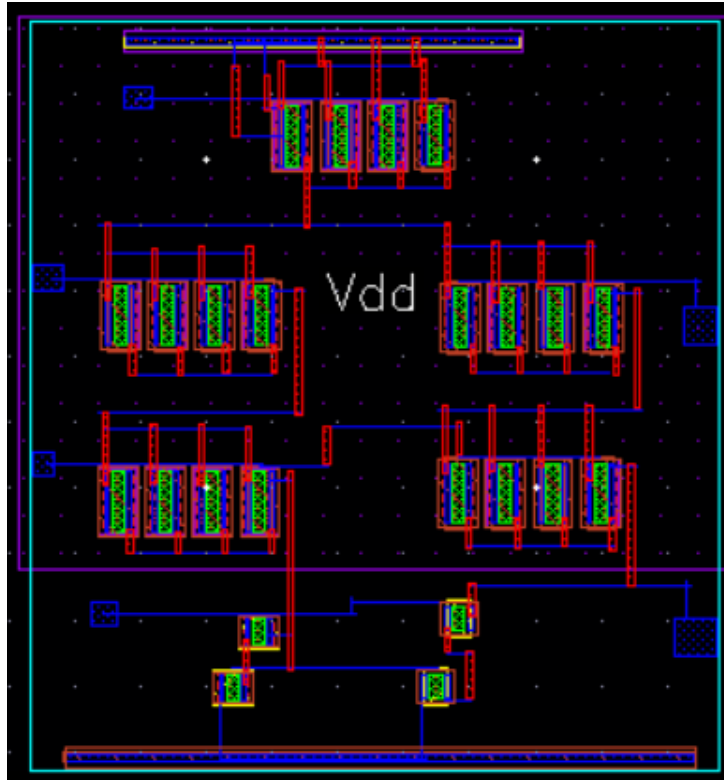


Εικόνα 9: Κέρδος Τάσης (DC Gain) και Φάση της Τάσης Εξόδου ($\text{Multiplier} = 8$)

Σχεδίαση του Layout

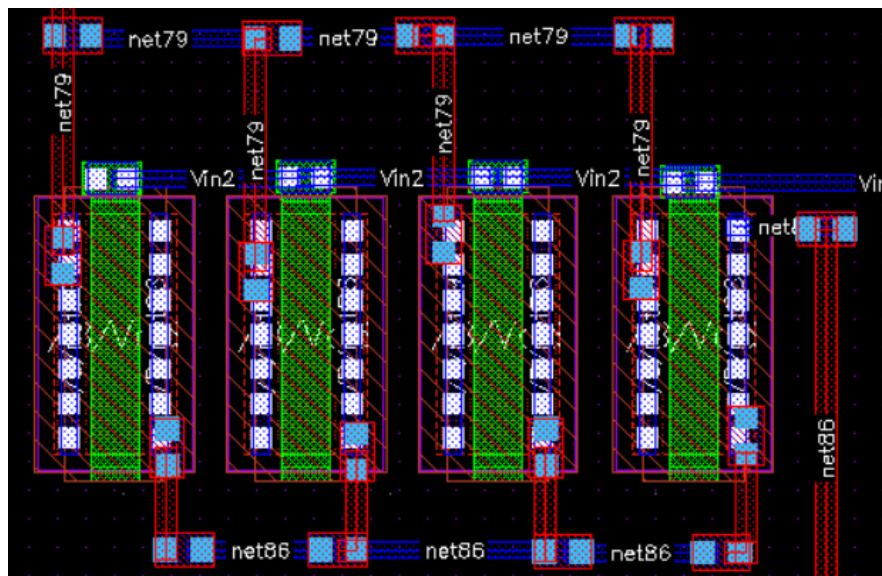
Η σχεδίαση και η υλοποίηση του layout του κυκλώματος έγινε με βάση τους παρακάτω άξονες - κανόνες:

- Για τις οριζόντιες συνδέσεις χρησιμοποιήθηκε αποκλειστικά Μέταλλο 1, ενώ για τις κάθετες αποκλειστικά Μέταλλο 2. Όταν υπήρχε η ανάγκη να διασταυρωθούν, γινόταν χρήση Via από Μέταλλο 1 σε Μέταλλο 2 (M2_M1).
- Οι συνδέσεις μεταξύ των πυλών των transistors δεν έγιναν απευθείας με Πολυπυρίτιο. Αντ'αυτού, χρησιμοποιήθηκε Μέταλλο 1 και οι μεταξύ τους διασταυρώσεις υλοποιήθηκαν μέσω Via από Μέταλλο 1 σε Πολυπυρίτιο (M1_PO).



Εικόνα 10: Layout του Telescopic OTA

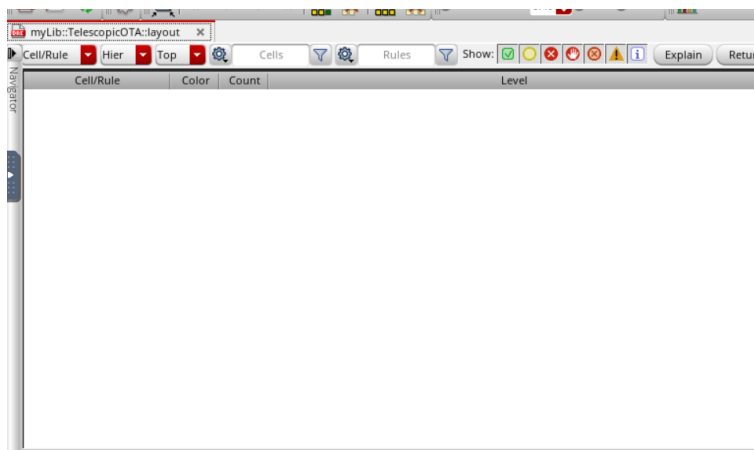
Όπως αναφέρθηκε και προηγουμένως, η υλοποίηση των p-MOS transistors του κυκλώματος πραγματοποιήθηκε με συγκρότηση τεσσάρων μικρότερων p-MOS (tiles). Τα μικρότερα αυτά transistors συνδέονται παράλληλα μεταξύ τους, όπως φαίνεται και στην Εικόνα 11. Συγκεκριμένα, οι ακροδέκτες του πρώτου συνδέονται με τους αντίστοιχους ακροδέκτες του δεύτερου κ.ο.κ. Για συνδέσεις μεταξύ πυλών χρησιμοποιήθηκε Μέταλλο 1, ενώ για συνδέσεις μεταξύ πηγών ή εκροών χρησιμοποιήθηκαν Μέταλλο 1 και Μέταλλο 2, σύμφωνα με τους προαναφερθέντες κανόνες.



Εικόνα 11: Layout των p-MOS transistors - Προσέγγιση με 4 tiles

Αποτελέσματα Ελέγχων

Για να βεβαιωθούμε για τη σωστή λειτουργία του κυκλώματος, αλλά και για την ακεραιότητα του σχεδιασμού μας, υποβάλλουμε το κύκλωμα σε δύο ελέγχους, μέσω του εργαλείου PVS: τον **Design Rule Check (DRC)**, ο οποίος ελέγχει αν έχουμε ακολουθήσει όλους τους κανόνες που επιβάλλονται από την τεχνολογία που χρησιμοποιούμε, και τον **Layout Versus Schematic (LVS)**, που ελέγχει αν το φυσικό σχέδιο θα έχει την ίδια λειτουργικότητα με το σχηματικό που προσωμοιώσαμε παραπάνω. Τα αποτελέσματα των ελέγχων αυτών διακρίνονται στις παρακάτω εικόνες.



Design Rule Check Finished Normally

Εικόνα 12: Design Rule Check (DRC)



PVS Comparison Finished

Εικόνα 13: Layout Versus Schematic (LVS)

Βιβλιογραφικές Πηγές

- [1] Jamuna G. and Siva S. Yellampalli, “*Design and Analysis of CMOS Telescopic OTA for 180nm Technology*”, International Journal of Engineering Sciences Paradigms and Researches (IJESPR) (Vol. 15, Issue 01) and (Publishing Month: July 2014)
- [2] Kush Gulati and Hae-Seung Lee, “*A High-Swing CMOS Telescopic Operational Amplifier*”, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 33, NO. 12, DECEMBER 1998
- [3] Sarin V. Mythry, P.Nitheesha Reddy, Syed Riyazuddin, T.Snehitha and M.Shamili, “*Design and Analysis of High Gain CMOS Telescopic OTA in 180nm Technology for Biomedical and RF Applications*”, International Journal of Microelectronics Engineering (IJME), Vol. 1, No.1 , 2015