

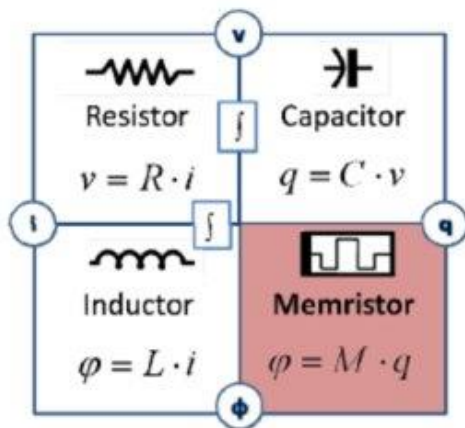
Memristors

Δειρμεντζόγλου Ιωάννης
10015
deirmentz@ece.auth.gr

Οικονόμου Χρήστος
10268
cnoikonom@ece.auth.gr

I. Εισαγωγή

Τα memristors προτάθηκαν για πρώτη φορά από τον Leon Chua το 1971. Ωστόσο, η πρώτη υλοποίησή τους σε νανο-κλίμακα πραγματοποιήθηκε αρκετά αργότερα, μόλις το 2008. Αποτελούν το τέταρτο θεμελιώδες παθητικό κυκλωματικό στοιχείο, μαζί με την αντίσταση, το πηνίο και τον πυκνωτή, ενώ βασικό τους χαρακτηριστικό είναι το γεγονός ότι εκφράζουν τη σύνδεση μεταξύ του φορτίου (q) και της ροής (ϕ). Είναι δίθυρο στοιχείο (έχει, δηλαδή, μία είσοδο και μία έξοδο), ενώ λειτουργεί ως μεταβλητή αντίσταση, της οποίας η τιμή μεταβάλλεται, ανάλογα με το ιστορικό της συσκευής, στην οποία βρίσκεται. Συγκεκριμένα, εναλλάσσεται μεταξύ δύο ακραίων τιμών αντίστασης, των R_{ON} και R_{OFF} , οι οποίες αποτυπώνουν το λογικό 1 και το λογικό 0 αντίστοιχα. Το γεγονός αυτό δικαιολογεί τις πολλαπλές εφαρμογές του σε λογικά κυκλώματα.



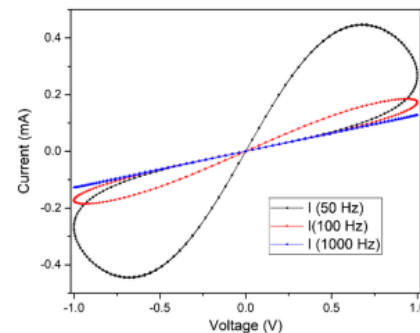
Εικόνα 1.1: Τα τέσσερα θεμελιώδη παθητικά κυκλωματικά στοιχεία

Memristance

Memristance (ή memresistance) ονομάζεται το βασικό μέγεθος που χαρακτηρίζει ένα memristor. Μαθηματικά, ορίζεται ως:

$$M(q) = \frac{d\Phi_m}{dq}$$

Δηλαδή, ως η παράγωγος της ροής του ρεύματος Φ_m ως προς το φορτίο q . Μονάδα μέτρησης της memristance αποτελούν τα Ohm (Ω), ενώ κύρια ιδιότητά της αποτελεί η έκφραση της ικανότητας του memristor να λειτουργεί ως στοιχείο μνήμης, βασιζόμενη στην ενσωμάτωση της έντασης που διαπερνά την εκάστοτε συσκευή. Στο σημείο αυτό, αξίζει να σημειωθεί πως, για τάσεις εισόδου πολύ υψηλών συχνοτήτων, το memristor λειτουργεί ως ένας απλός, γραμμικός αντιστάτης, όπως φαίνεται και στο διάγραμμα της Εικόνας 2.



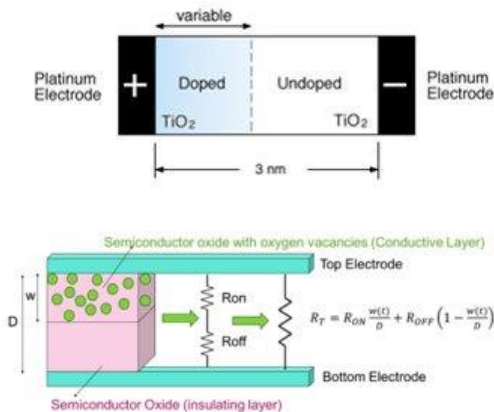
Εικόνα 1.2: Χαρακτηριστική τάσης - ρεύματος ενός memristor για διάφορες τιμές συχνότητας

Τύποι Memristor

Τα memristors διακρίνονται στους εξής τύπους, βάσει των υλικών κατασκευής τους:

- **Διοξειδίου Μετάλλου (συνήθως Τιτανίου):** Τα πρώτα που κατασκευάστηκαν, η πιο συνήθης μορφή μέχρι και σήμερα
- **Πολυμερικά (ή ιονικά):** Τα στερεάς κατάστασης ιόντα (είτε κατιόντα είτε ανιόντα) μετακινούνται κατά μήκος της κατασκευής ως μεταφορείς φορτίου
- **Μαγγανιώδη:** Χρησιμοποιούν ένα υπόστρωμα από οξείδιο δύο στρώσεων το

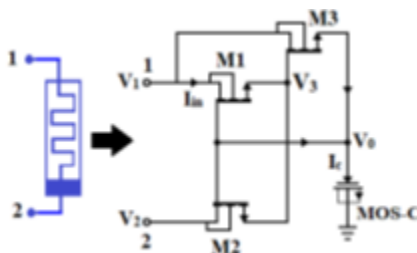
οποίο βασίζεται στο μαγγάνιο σε αντίθεση με το διοξείδιο του τιτανίου



Εικόνα 1.3: Memristor διοξειδίου μετάλλου

II. Εξομοιωτής Memristor

Ο εξομοιωτής που παρουσιάζεται παρακάτω αναπτύσσεται σε 90 nm CMOS και έχει πεδίο εφαρμογής στην επεξεργασία σημάτων υψηλών συχνοτήτων. Αποτελείται από τρία NMOS transistors και έναν πυκνωτή και παρατίθεται παρακάτω:



Εικόνα 2.1 : Κύκλωμα εξομοιωτή

Σημειώνεται ότι σε όλα τα NMOS συνδέεται το body με το drain για να εισάγει μη γραμμικότητα. Αυτή η σύνδεση μεταβάλλει τη συμπεριφορά του τρανζίστορ, δημιουργώντας μη γραμμικά χαρακτηριστικά, που μπορεί να είναι πλεονεκτικά για συγκεκριμένες εφαρμογές, όπως σε αναλογικά ή RF κυκλώματα (ραδιοσυχνотικά). Αυτή η προσέγγιση είναι πιο αντισυμβατική και χρησιμοποιείται σε συγκεκριμένα σενάρια, όπου η μη γραμμικότητα είναι σκόπιμα επιθυμητή.

Κυκλωματική Ανάλυση

Η διαφορική τάση $V_{in}(t) = V_1 - V_2$ μεταξύ των drain των M1 και M2, θεωρείται $V_{in}(t) / 2 = V_1 = -V_2$. Επιπλέον, θεωρείται πως τα M1, M2, και M3 λειτουργούν στη γραμμική περιοχή και ο MOS CAP

λειτουργεί ως ιδανικός πυκνωτής ($I_C = C \frac{dV_O}{dt}$). Τότε, με βάση τον νόμο Kirchhoff, η τάση στο gate του M3 θα είναι $V_3 = V_{in}(t) / 2$. Όταν το M3 βρίσκεται στην περιοχή κορεσμού, για το ρεύμα θα ισχύει:

$$I_C = \frac{K_3}{2} [(V_{GS_3} - V_t)^2]$$

$$I_C = \frac{K_3}{2} [(V_3 - V_0 - V_t)^2].$$

Έπειτα από υπολογισμούς και απλοποιήσεις προκύπτει:

$$C \frac{dV_O}{dt} = \frac{1}{2} K_3 [V_0^2 + V_{in}(t) V_0 + 2 V_t V_0]$$

$$\Rightarrow V_0^{-2} \frac{dV_0}{dt} - V_0^{-1} \frac{K_3}{2C} (V_{in}(t) + V_t) = \frac{K_3}{2C}.$$

και

$$V_0 \approx \frac{1}{D} - \frac{K_3}{2DC} \phi(t)$$

Το ρεύμα στα drain των M1, M2 θα είναι:

$$I_D(t) = \frac{1}{2} K_1 \left[2(V_0 - V_3 - V_t) \left(\frac{V_{in}(t)}{2} - V_3 \right) - \left(\frac{V_{in}(t)}{2} - V_3 \right)^2 \right]$$

Και μετά από υπολογισμούς προκύπτει ότι:

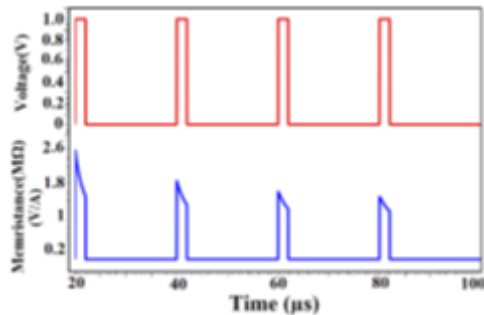
$$I_D(t) = K_1 \left[\frac{1}{D} - \frac{K_3}{2DC} \phi(t) - V_t \right] V_{in}(t)$$

Τελικά, για την memristance προκύπτει:

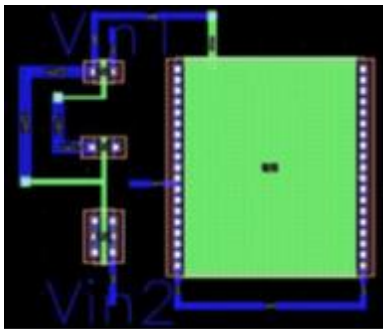
$$M^{-1}(\phi(t)) \approx K_1 \left[\frac{1}{D} - \frac{K_3}{2DC} \phi(t) - V_t \right]$$

όπου M^{-1} η αντίστροφη memristance. Παρατηρείται ότι η drain to source αντίσταση, από γραμμική, πλέον είναι χρονοεξαρτώμενη, που είναι αρκετά όμοια με τη χρονικά εξαρτώμενη (γραμμικά) αντίσταση του memristor. Επιπλέον, η μη πτητική συμπεριφορά του memristor αναλύεται όταν ο πυκνωτής αρχίζει να εκφορτίζεται και, στη συνέχεια, επιτρέπει τη ροή ρεύματος στα M2 και M1. Το σχήμα απεικονίζει τη απόδοση μνήμης του προτεινόμενου εξομοιωτή. Εφαρμόζοντας μια σειρά παλμών με περίοδο 20 μs , πλάτος παλμού 2 μs και πλάτος 1V στην είσοδο, αυτό το χαρακτηριστικό του memristor μπορεί να εξεταστεί. Παρατηρείται ότι η memristance μειώνεται από 2.5 σε 1.48 M Ω κατά τη διάρκεια της περιόδου “ON” του πρώτου κύκλου του παλμού εισόδου και διατηρεί την τιμή της μέτρησης κατά τη διάρκεια της περιόδου “OFF”. Για την περίοδο “ON” του δεύτερου κύκλου, η μέτρηση μειώνεται από την προηγούμενη στα 1.285 M Ω και διατηρεί την τιμή του memristance κατά την περίοδο “OFF”. Στον επόμενο κύκλο, η διαδικασία επαναλαμβάνεται πανομοιότυπα. Ως εκ τούτου, συνάγεται το συμπέρασμα ότι, ενώ ο παλμός εισόδου είναι στην

κατάσταση “OFF”, το κύκλωμα του εξομοιωτή memristor θυμάται την προηγούμενη τιμή της memristance και μπορεί να διατηρηθεί σε αυτή την τιμή για μια περίοδο 18 μs , παρόλο που δεν υπάρχει ροή ρεύματος.



Εικόνα 2.2 : Μνήμη εξομοιωτή



Σχήμα 2.3 : Layout

| | |
|-----------|------------------------|
| $(W/L)_1$ | 120/100nm |
| $(W/L)_2$ | 1 μm /100nm |
| $(W/L)_3$ | 240/100nm |

Εικόνα 2.4 : Προτεινόμενες διαστάσεις

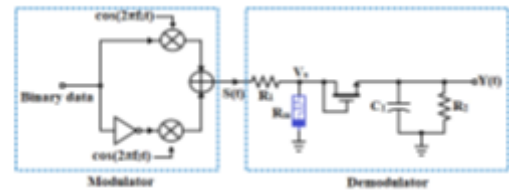
Εφαρμογές του προτεινόμενου εξομοιωτή

A. BFSK Διαμορφωτής

Το προτεινόμενο memristor μπορεί να χρησιμοποιηθεί και ως στοιχείο σε κύκλωμα διαμόρφωσης και αποδιαμόρφωσης BFSK για διαμόρφωση σε δύο συχνότητες των λογικών 0 και 1 bits. Τα σήματα που διαμορφώνονται για μετάδοση των δυαδικών δεδομένων είναι:

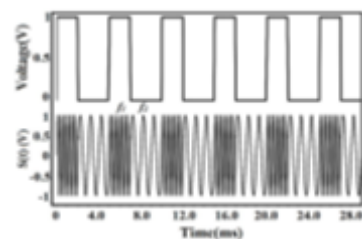
$$m_1(t) = A \cos(2\pi f_1 t + \theta_c); 0 < t \leq T$$

$$m_2(t) = A \cos(2\pi f_2 t + \theta_c); 0 < t \leq T.$$



Εικόνα 2.5 : Κυκλώμα διαμορφωτή-αποδιαμορφωτή

Το σήμα $S(t)$ αλλάζει μεταξύ δύο διακριτών επιπέδων συχνότητας. Στο BFSK, η συχνότητα του φέροντος μετατοπίζεται με βάσει το δυαδικό σύστημα εισόδου (λογικό 0 και 1). Ομοίως και το σήμα εξόδου του διαμορφωτή αλλάζει μεταξύ δύο συχνοτήτων. Η έξοδος του διαμορφωτή $S(t)$ είναι είσοδος στο κύκλωμα του αποδιαμορφωτή, το οποίο αποτελείται από έναν διαιρέτη τάσης και έναν peak voltage detector. Ο διαιρέτης τάσης αποτελείται από την αντίσταση $R1$ και το προτεινόμενο memristor. Η αντίσταση του memristor (memristance) αυξάνεται με αύξηση της συχνότητας εισόδου (σήμα $S(t)$). Έτσι, αυξάνεται η τάση εξόδου (V_a) του διαιρέτη τάσης. Αντίστοιχα, με μείωση της συχνότητας του $S(t)$, η V_a μειώνεται. Ο peak detector ανιχνεύει το μέγιστο επίπεδο τάσης σε ένα σήμα εξόδου και, πιο συγκεκριμένα, στο V_a . Στην θέση της διόδου, χρησιμοποιείται ένα NMOS, διοδικά συνδεδεμένο. Με αύξηση της V_a (είσοδος του peak detector), η τάση του πυκνωτή διατηρείται υψηλή (λογικό 1). Ομοίως, όταν η συχνότητα του $S(t)$ μειώνεται, μειώνεται και η V_a . Τότε, το transistor θα βρίσκεται στην περιοχή αποκοπής, η διόδος δεν άγει και ο πυκνωτής $C1$ εκφορτίζεται μέσω της $R2$ (λογικό 0).

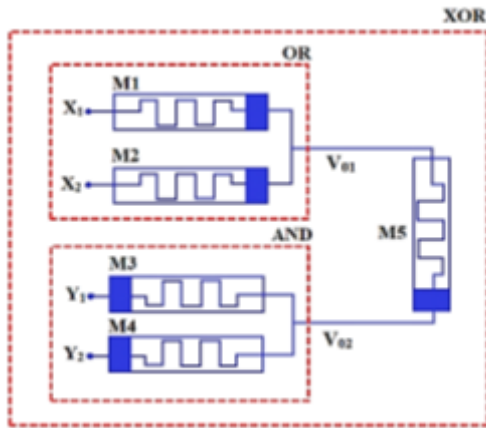


Εικόνα: Δυαδική ακολουθία εισόδου και σήμα $S(t)$

B. Memristive Logic Gates

Μία ακόμα εκδοχή για τη λογική με memristors είναι η αντιμετώπιση της αντίστασης ως λογικής κατάστασης, όπου η υψηλή και η χαμηλή αντίσταση θεωρούνται αντίστοιχα ως τα λογικά μηδέν και άσος. Για αυτήν την παραδοχή, τα memristors είναι τα βασικά δομικά μέρη της λογικής πύλης. Κάθε memristor λειτουργεί ως μία είσοδος, μία έξοδος και

ένα υπολογιστικό λογικό στοιχείο σε διαφορετικά στάδια της υπολογιστικής διαδικασίας. Αυτή η προσέγγιση είναι κατάλληλη για αρχιτεκτονικές κάθετης παράταξης και για αυτό το λόγο μπορεί να χρησιμοποιηθεί σε μία βασική παράταξη memristors η οποία χρησιμοποιείται ευρέως στις εφαρμογές μνήμης.



Εικόνα 2.6: Λογικές πύλες με βάση τον εξομοιωτή

Η αύξηση ή μείωση της αντίστασης του κάθε memristor (memresistance) ρυθμίζεται από την πολικότητα τους, η οποία προσδιορίζεται από την έντονη γραμμή στα δεξιά ή στ' αριστερά του στοιχείου. Η πολικότητα των είναι σημαντική, γιατί σε συνδυασμό με τη φορά του ρεύματος που τα διαρρέει, καθορίζεται η αύξηση ή η μείωση της αντίστασής τους. Έτσι διακρίνονται δύο περιπτώσεις. Όταν το ρεύμα διασχίζει το memristor με τη φορά πόλωσής του, η αντίστασή του μειώνεται, ενώ όταν το διαπερνά με την αντίθετη φορά, η αντίστασή του αυξάνει. Πάνω σε αυτήν την λογική σχεδιάζονται με βάση το προτεινόμενο memristor οι παρακάτω πύλες. Ουσιαστικά, διαφοροποιούνται ως προς τις πολικότητες των memristors που χρησιμοποιούνται.

AND

- Για την περίπτωση στην οποία $Y1=Y2=0$, εφ' όσον δεν υπάρχει ρεύμα, ισχύει $V_{02} = 0$.
- Για την περίπτωση στην οποία $Y1=Y2=1$, και πάλι δεν υπάρχει ρεύμα στη διάταξη, κι έτσι η έξοδος V_{02} , ακολουθεί την είσοδο, δηλαδή είναι $V_{out}=1$.
- Για την περίπτωση στην οποία $Y1=1, Y2=0$, ρεύμα ρέει από το επάνω memristor προς το κάτω. Λόγω του τρόπου τοποθέτησης των στοιχείων, στο πάνω memristor, η αντίστασή του αυξάνει, ενώ στο κάτω memristor

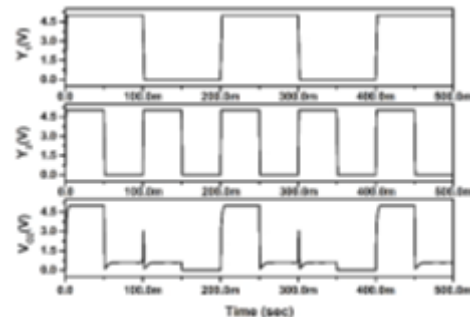
η αντίσταση μειώνει. Η ροή ρεύματος γίνεται με την φορά πόλωσης του $M3$ και επομένως η $R_{M3}=R_{OFF}$.

- Για την περίπτωση στην οποία $Y1=0, Y2=1$, ρεύμα ρέει από το κάτω memristor προς το επάνω. Λόγω του τρόπου τοποθέτησης των στοιχείων, στο κάτω memristor, η αντίσταση του αυξάνει, ενώ στο πάνω memristor η αντίσταση μειώνει. Στην έξοδο, λόγω του διαιρέτη τάσης κι επειδή $R_{M1} \approx R_{ON}$, θα είναι $V_{02}=0$. Η λογική είναι παρόμοια με αυτήν που παρουσιάστηκε προηγουμένως.

Στην έξοδο, λόγω του διαιρέτη τάσης κι επειδή $R_{M4} \approx R_{ON}$, θα είναι $V_{02}=0$. Η έκφραση του διαιρέτη τάσης από την οποία προκύπτει είναι:

$$V_{02} = \frac{R_{M3}}{R_{M3} + R_{M4}} X_2 + \frac{R_{M4}}{R_{M3} + R_{M4}} X_1.$$

με $R_{M3} = R_{OFF} \gg R_{M3}$.



Εικόνα 2.7 : Αποτελέσματα προσομοίωσης AND

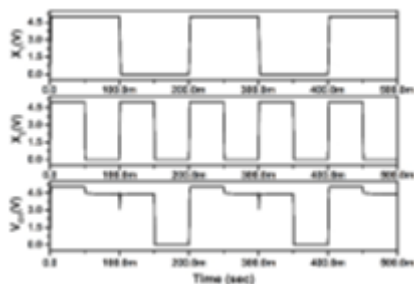
OR

Ανεστραμμένες πολικότητες σε σχέση με την AND.

- Για την περίπτωση στην οποία $X1=X2=0$, εφ' όσον δεν υπάρχει ρεύμα, ισχύει $V_{01}=0$
- Για την περίπτωση στην οποία $X1=1, X2=1$, και πάλι δεν υπάρχει ρεύμα στη διάταξη, κι έτσι η έξοδος V_{01} , ακολουθεί την είσοδο, δηλαδή είναι $V_{01}=1$
- Για την περίπτωση στην οποία $X1=1, X2=0$ ή αντίστροφα, ρεύμα ρέει από το επάνω memristor προς το κάτω. Λόγω του τρόπου τοποθέτησης των στοιχείων, στο πάνω memristor, η αντίστασή του μειώνει, ενώ στο κάτω memristor η αντίσταση αυξάνει. Στην έξοδο, λόγω του διαιρέτη τάσης κι επειδή $R_{M2} \approx R_{OFF}$, θα είναι $V_{01}=1$. Η έκφραση του διαιρέτη τάσης από την οποία προκύπτει είναι:

$$V_{01} = \frac{R_{M1}}{R_{M1} + R_{M2}} X_2 + \frac{R_{M2}}{R_{M1} + R_{M2}} X_1$$

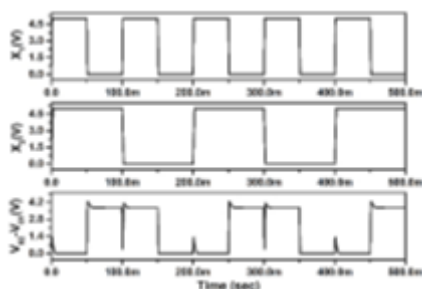
με $R_{M1}=R_{ON} \ll R_{M2}$.



Εικόνα 2.8 : Αποτελέσματα προσομοίωσης OR

XOR

Η πύλη XOR υλοποιείται χρησιμοποιώντας τις AND και OR και ένα επιπλέον memristor M5 όπως φαίνεται από το σχήμα. Σχεδιαστικά, η memristance του M5 επιλέγεται να είναι πολύ μεγαλύτερη από αυτές των M1, M2, M3, M4 ώστε το M5 να λειτουργεί ως ανοιχτοκύκλωμα και τότε η τάση εξόδου της θα είναι: $V_{02} - V_{01}$.

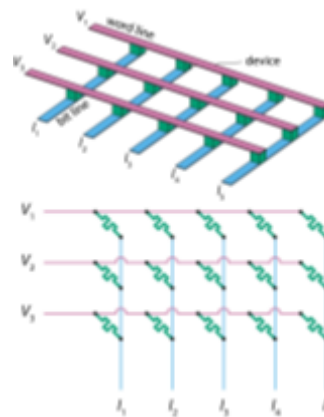


Εικόνα 2.9 : Αποτελέσματα προσομοίωσης XOR

III. ΣΧΕΔΙΑΣΗ ΣΥΣΤΗΜΑΤΩΝ ReRAM CMOS /Memristor

Η παρατήρηση ότι τα οξείδια που γενικά λειτουργούν σαν μονωτές, και ότι μπορούν να συμβάλλουν σε ένα απότομο γεγονός μετάβασης σε μία αγώγιμη κατάσταση, είναι γνωστή για πάνω από 40 χρόνια. Αυτή η παρατήρηση για τα φαινόμενα αυτά, οδηγεί στις μνήμες ReRAM, ή αλλιώς τις ωμικές μνήμες τυχαίας προσπέλασης. Η βασική ιδέα της δομής της ωμικής μνήμης τυχαίας προσπέλασης είναι ότι ένα διηλεκτρικό το οποίο υπό κανονικές συνθήκες είναι μονωτικό μπορεί να γίνει αγώγιμο ύστερα από την εφαρμογή μιας σημαντικά μεγάλης τάσης. Η δομή των συσκευών αυτών είναι ένα κομμάτι

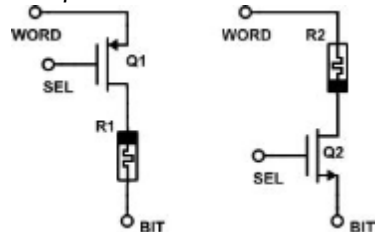
διηλεκτρικού υλικού, το οποίο είναι μεταξύ δύο μεταλλικών ηλεκτροδίων. Η λειτουργία των μνημών ReRAM απαιτεί, κυρίως δύο διακριτές καταστάσεις αντίστασης, την υψηλή (High Resistance State – HRS) - ROFF και τη χαμηλή (Low Resistance State – LRS) - RON. Όσο αναφορά τις μορφές λειτουργίας, για τις μνήμες τυχαίας προσπέλασης, προτιμάται η αρχιτεκτονική 1T1R (ένα transistor, ένας αντιστάτης) λόγω του ότι το transistor απομονώνει φορτίο μόνο στα κελιά τα οποία έχουν επιλεγθεί.



Εικόνα 3.1 : Διάταξη Crossbar

1T1R Primitive Cell

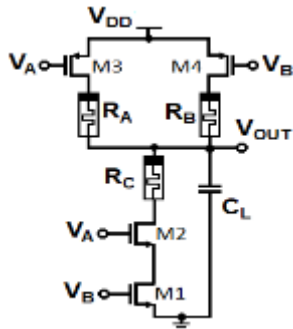
Για την υλοποίηση του συνδέεται ένα transistor το οποίο σε σειρά με ένα στοιχείο μνήμης (memristor). Το τρανζίστορ σε μια κυψέλη 1T1R λειτουργεί ως διακόπτης ή συσκευή πρόσβασης. Επιτρέπει την ανάγνωση και εγγραφή δεδομένων στο κελί μνήμης. Όταν εφαρμόζεται τάση στην πύλη του τρανζίστορ, επιτρέπει ή εμποδίζει τη ροή του ρεύματος μεταξύ του στοιχείου μνήμης και του υπόλοιπου κυκλώματος. Αυτή η ροή ή η απόφραξη του ρεύματος καθορίζει την κατάσταση του στοιχείου. Το σχήμα παρατίθεται παρακάτω:



Εικόνα 3.2 : 1T1R primitive cell

Η διαφοροποίηση των παραπάνω τοπολογιών έγκειται στον τύπο του transistor που χρησιμοποιείται ως switching element.

Ένα παράδειγμα αυτής της αρχιτεκτονικής είναι η παρακάτω πύλη NAND που αποτελείται από 2 1T1R στοιχεία με PMOS για το pull up network και 1 1T1R για το pull down network. Αυτή η αρχιτεκτονική έχει τις ίδιες εισόδους και εξόδους με μια τυπική πύλη, αλλά λαμβάνει αναλογικές εισόδους και δημιουργεί μια αναλογική έξοδο.

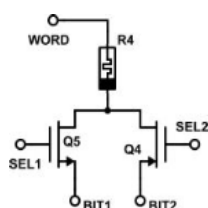


Εικόνα 3.3 : Πύλη NAND με 1T1R primitive cell

Εαν το 1T1R πρόκειται να χρησιμοποιηθεί σε μια συστοιχία crossbar, προκύπτουν πρόσθετα ζητήματα σχεδιασμού, κυρίως για την διασύνδεση των στοιχείων 1T1R. Η τυπική συνδεσιμότητα μιας γραμμής λέξεων (που συνδέει όλους τους ακροδέκτες «WORD») εκτελείται κάθετα στις γραμμές BIT και στις γραμμές SEL. Αυτό μας επιτρέπει να χρησιμοποιήσουμε συνδυασμούς (WORD, BIT) και (WORD, SEL) για να απομονώσουμε μεμονωμένες συσκευές ReRAM εντός της συστοιχίας με τη βοήθεια του αντίστοιχου «τρανζίστορ επιλογής».

2T1R Primitive Cell

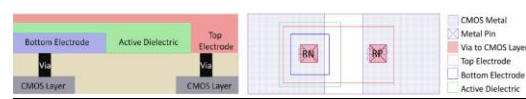
Είναι πιο περίπλοκο αρχικό δομικό στοιχείο μνημης. Ουσιαστικά, αποτελεί παράδειγμα πως τα αρχικά στοιχεία αυξάνουν σε πολυπλοκότητα, εάν η τεχνολογία της ReRAM απαιτεί υψηλότερες τάσεις από αυτό που υποστηρίζει η CMOS τεχνολογία για διατάξεις, όπως η 1T1R που αναφέρθηκε παραπάνω. Υποθετικά, θα μπορούσε να χρησιμοποιηθεί, εάν η 1T1R αρχιτεκτονική δεν μπορεί να εγγραφεί μια αρκετά χαμηλή πτώση τάσης στο memristor της ReRAM. Φαίνεται στο σχήμα που ακολουθεί παρακάτω :



Εικόνα 3.4 : 2T1R primitive cell

Το κύκλωμα λειτουργεί ως εξής : τα άκρα BIT1 , BIT2 είναι σταθερά στα 0 και 10 V αντίστοιχα ενώ ο ακροδέκτης WORD μπορεί να κινηθεί αναμεσά στις 2 αυτές τιμές . Τόσο στο Q4 όσο και στο Q5 το source είναι συνδεδεμένο προς τα κάτω , έτσι ώστε ελέγχοντας την V_G να ελέγχεται και η V_{GS} . Οπότε, για να περάσει υψηλή τάση (πχ. +10V) τότε το Q5 είναι ON και $V_{WORD} > 0$. Για να περάσει χαμηλή τάση τότε το Q4 θα είναι ON. Σημειώνεται ότι τα Q4 και Q5 δεν είναι ποτέ ταυτόχρονα ON.

Memristor ReRAM device

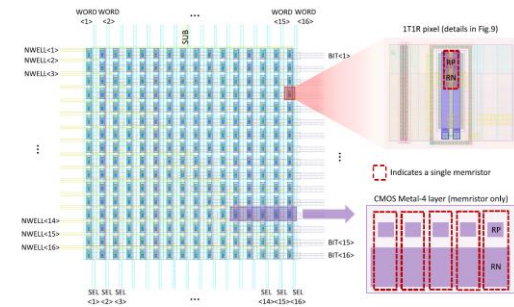


Εικόνα 3.5 : ReRAM device

Crossbar Array (Συστοιχία Crossbar)

Η διάταξη Crossbar σχηματίζεται από οριζόντια και κάθετα ηλεκτρικά-απομονωμένα μεταξύ τους ηλεκτρόδια. Τα οριζόντια αποτελούν έστω το άνω ηλεκτρόδιο τα κάθετα το κάτω, με τον μονωτή (π.χ. κάποιο οξείδιο) να βρίσκεται ανάμεσα σε αυτά. Το παρακάτω σχήμα απεικονίζει μια συστοιχία 16×16 σχεδιασμένη χρησιμοποιώντας το τυπικό 1T1R primitive cell που παρουσιάστηκε παραπάνω. Τα καλώδια στο όριο εκτείνονται στα pads σήματος, τα οποία δεν φαίνονται στο σχήμα. Οι πύλες ($SEL < 1:16 >$) συνδέονται κάθετα όπου κάθε στήλη έχει ένα σήμα προς τα pads στο κάτω μέρος. Τα n-well ($NWELL < 1:16 >$) για κάθε κελί ελέγχονται επίσης κατά γραμμή και τα άκρα των γραμμών τους φαίνονται όπου οδηγούν στα pads σήματος στην αριστερή πλευρά. Είναι κατασκευασμένα για να ελέγχουν την τάση του bulk για κάθε στήλη. Το σχήμα κάτω δεξιά δείχνει ότι το κάτω ηλεκτρόδιο RN του memristor είναι ενιαίο από μία σειρά που συνδέεται σε layer M4 (μόνο σύνδεση που σχετίζεται με το memristor δρομολογείται σε αυτό το στρώμα). Τα κάτω άκρα των μνημονικών συσκευών (άκρο BIT όπως παρουσιάστηκε σε προηγούμενο σχήμα) ($BIT < 1:16 >$) σε κάθε σειρά δρομολογούνται μεταξύ τους και έχουν πρόσβαση από τα pads που βρίσκονται στη δεξιά πλευρά. Τα επάνω pads παρέχουν τις εξωτερικές συνδέσεις στα drains των τρανζίστορ pMOS ($WORD < 1:16 >$) για όλες τις στήλες. Ένα επιπλέον καλώδιο χρησιμοποιείται για

την σύνδεση του υποστρώματος της συστοιχίας (SUB).



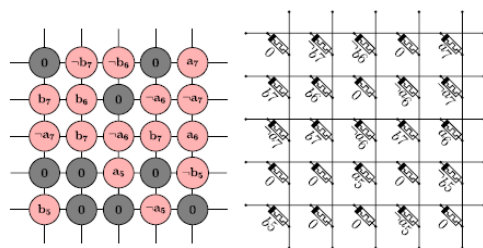
Εικόνα 3.6 : Crossbar Layout

Γενικά, είναι μια διάταξη που προβλέπεται να χρησιμοποιηθεί για την κατασκευή μνήμης αλλά και για την αντικατάσταση ξεχωριστών μονάδων λογισμικού και κυκλωμάτων όπως FPGA με αναλογικά on-chip κυκλώματα αποτελούμενα από memristor. Το μικρό μέγεθος τους οδηγεί στην ελαχιστοποίηση της απαιτούμενης επιφάνειας, οι μικρές απαιτήσεις ενέργειας και η μη πτητική τους μνήμη τα καθιστούν ιδιαίτερα χρήσιμα στο σχεδιασμό on-chip τεχνολογιών απλοποιώντας και επιταχύνοντας αυτές τις συσκευές.

Παράλληλα, λόγω της έμφυτης ικανότητας των memristor να διατηρούν στάθμες (ακόμη και όταν αποσυνδέονται από το ρεύμα), μπορούν να αποθηκεύσουν σε ένα μόνο memristor περισσότερα του ενός bit. Αυτή η ιδιότητα τα κάνει πολύ χρήσιμα για την δημιουργία μνήμης από Memristor Crossbar. Ωστόσο, παρότι μια ιδανική μη πτητική συσκευή memristor μπορεί να αποθηκεύσει και να προγραμματιστεί σε οποιαδήποτε συγκεκριμένη τιμή μεταξύ RON και ROFF, οι πραγματικές συσκευές memristor μπορεί να έχουν προβλήματα με τη μετάβαση στις ενδιάμεσες τιμές αντίστασης και τη συνέπεια με την οποία παίρνουν τις ενδιάμεσες αυτές τιμές. Ακόμη ένα σημαντικό στοιχείο αυτής της διάταξης είναι ότι η φυσική λειτουργία ενός Memristor Crossbar Array μοιάζει με το σύνολο των συνάψεων μεταξύ των νευρώνων στα στρώματα ενός νευρωνικού δικτύου.

Crossbar Array Application—Edge detection

Μία από τις σημαντικότερες διαδικασίες στην επεξεργασία εικόνας είναι η ανίχνευση ακμών. Η ένδειξη ότι υπάρχει "ακμή" εάν η διαφορά μεταξύ των τιμών της κλίμακας του γκρι δύο pixel υπερβαίνει μια προκαθορισμένη τιμή κατωφλίου. Δεδομένου ότι ένα pixel μπορεί να έχει οποιαδήποτε τιμή μεταξύ 0 και 255, η απλούστερη ανίχνευση ακμής περιλαμβάνει τον υπολογισμό της διαφοράς μεταξύ δύο δυαδικών αριθμών 8-bit που ακολουθείται από σύγκριση της διαφοράς με έναν σταθερό δυαδικό αριθμό 8-bit που αντιπροσωπεύει το όριο στο οποίο λέγεται ότι υπάρχει μια ακμή. Ο σχεδιασμός του κυκλώματος ανίχνευσης ακμών βασίζεται στον υπολογισμό βάσει ροής ρεύματος, όπου εφαρμόζεται ένας ηλεκτρικός παλμός σε ένα καλώδιο (nanowire εισόδου) και το ρεύμα εξόδου παρατηρείται από ένα άλλο. Η λειτουργία εγγραφής σε ένα κελί μέσα στο Crossbar επιτυγχάνεται εφαρμόζοντας μια συγκεκριμένη τάση στον κόμβο, όπου η τάση εφαρμόζεται και στις δύο γραμμές. Για παράδειγμα, για την εγγραφή ενός λογικού άσσου (χαμηλή αντίσταση), μία θετική τάση εφαρμόζεται στην γραμμή στήλης και η γείωση στην γραμμή σειράς (μία θετική τάση εφαρμόζεται στο memristor). Για την εγγραφή ενός λογικού μηδέν (υψηλή αντίσταση), η γραμμή στήλης συνδέεται με γείωση και μία θετική τάση συνδέεται στη γραμμή σειράς (μία αρνητική τάση εφαρμόζεται στο memristor). Η λειτουργία διαβάσματος του Crossbar επιτυγχάνεται από εφαρμόζοντας μία σχετικά μικρή τάση (μικρότερη από VSET) σε ένα κόμβο και μετρώντας την τιμή του ρεύματος. Από το νόμο του Ohm, η αντίσταση του memristor καθορίζεται από αυτή τη τιμή του μετρημένου ρεύματος. Η συστοιχία Crossbar αποτελείται από προγραμματιζόμενα και μη προγραμματιζόμενα memristors. Τα προγραμματιζόμενα memristor μπορούν να αλλάξουν ανάλογα με την είσοδο, ενώ τα μη προγραμματιζόμενα memristor παραμένουν σταθερά και δεν αλλάζουν. Παρακάτω, παρουσιάζεται μια 8x8 διάταξη crossbar για edge detection που αρχικοποιείται με χρήση ζεύγους pixel (A, B), κάθε pixel έχει μέγεθος 8 bit. Pixel A = {a7, a6, ..., a0} και B = {b7, b6, ..., b1}. Κάθε memristor επισημαίνεται με ai ή bi για i ∈ {0, 1, ..., 7}. Ένα memristor με την ένδειξη ai = 1 ή bi = 1 έχει ρυθμιστεί σε ON και ai = 0 ή bi = 0 έχει οριστεί σε OFF.

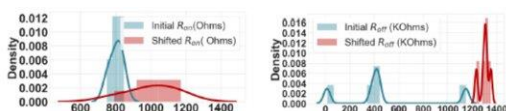


Εικόνα 3.7 : Edge detector με memristor σε διάταξη crossbar

Το πρόβλημα της εύρεσης για την κατάλληλη σχεδίαση memristor που μπορεί να ανιχνεύει αποτελεσματικά ακμές μεταξύ των 2 pixel στην εικόνα επιλύεται σε δύο βήματα: (1) εύρεση της συνάρτησης (είναι συνήθως τύπου διακλαδιζόμενη) που εκτελεί ανίχνευση άκρων και, στη συνέχεια, (2) εύρεση ενός σχεδίου crossbar που υλοποιεί το την συνάρτηση που βρίσκεται στο βήμα (1).

IV. Aging Detection

Η διάρκεια ζωής των memristors εξαρτάται, κατά κύριο λόγο, από τις ιδιότητες των υλικών κατασκευής τους. Με την πάροδο, λοιπόν, του χρόνου, παρατηρούνται αποκλίσεις στα υψηλά και στα χαμηλά επίπεδα των καταστάσεων αντίστασης, από την αρχική κατανομή τους, όπως φαίνεται και στα διαγράμματα που ακολουθούν.



Εικόνα 4.1: Απόκλιση τιμών RON, ROFF με την πάροδο του χρόνου

Για την αντιμετώπιση των προβλημάτων που προκαλούνται λόγω της “γήρανσης” των memristors, προτείνονται τακτικές όπως η αποφυγή της συνεχούς επανεγγραφής ίδιων τιμών (overwriting), καθώς και έλεγχος της ποσότητας των ερεθισμάτων που εγγράφονται σε αυτό. Τέλος, σε σύνθετες διατάξεις (π.χ. crossbars), είναι επιτρεπτή η επαναχρησιμοποίηση “aged” memristors, εφόσον έχει προηγηθεί εντοπισμός και διασφάλιση της ωμικής τους μεταγωγής από κάποιο κύκλωμα ελέγχου.

V. Τριαδική Λογική (Ternary Logic)

Ως γνωστόν, η δυαδική λογική αποτελεί την ψηφιακή αποτύπωση δύο καταστάσεων (LOW, HIGH). Κατ’ αντιστοιχία, με την τριαδική λογική επιτυγχάνεται η ψηφιακή αποτύπωση τριών καταστάσεων (LOW, MID, HIGH). Η τριαδική λογική βρίσκει εφαρμογή σε περιπτώσεις συστημάτων, στα οποία παρατηρείται μεγάλη πυκνότητα δεδομένων (π.χ. συστήματα κωδικοποίησης και αποκωδικοποίησης πληροφοριών), καθώς συμβάλλει σημαντικά στην βελτίωση της ταχύτητας και την επέκταση του εύρους ζώνης των καναλιών των συστημάτων αυτών. Ο λόγος που μελετάται στην εργασία αυτή, είναι το γεγονός ότι τα memristors αποτελούν βασικό δομικό στοιχείο για την υλοποίησή της.

Τύποι Τριαδικής Λογικής

Η τριαδική λογική, ανάλογα με την επιλογή των ψηφίων που θα αποτυπώσουν τις τρεις καταστάσεις που αναφέρθηκαν, διακρίνεται σε:

- **Ισορροπημένη**, όπου οι καταστάσεις LOW, MED και HIGH αποτυπώνονται ως -1, 0 και 1 αντίστοιχα.
- **Μη Ισορροπημένη**, η οποία χωρίζεται, με τη σειρά της, σε ακόμη δύο κατηγορίες: τη **θετική**, κατά την οποία ισχύει ότι (LOW, MID, HIGH) = (0, 1, 2), και την **αρνητική**, όπου (LOW, MID, HIGH) = (-2, -1, 0).

Πιο διαδεδομένη είναι η χρήση της μη ισορροπημένης θετικής τριαδικής λογικής, η οποία “μεταγράφεται” σε τάση ως εξής:
(0, 1, 2) = (GND, $V_{DD}/2$, V_{DD}).

Υλοποίηση Λογικών Πυλών

Είναι εφικτή η υλοποίηση όλων των γνωστών, από τη δυαδική λογική, λογικών πυλών, σε τριαδική λογική. Επίσης, ισχύουν όλοι οι κανόνες της δυαδικής λογικής άλγεβρας. Στις παρακάτω εικόνες αποτυπώνονται οι τύποι των “τριαδικών” λογικών πυλών, καθώς και οι πίνακες αληθείας για ορισμένους από αυτούς.

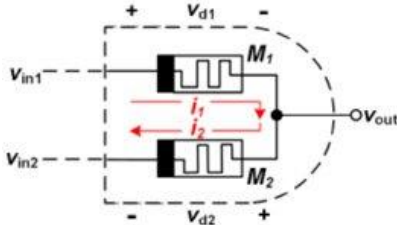
| Logic Implementation | Logic Type | Notation |
|----------------------|--------------|----------|
| Primitive Gates | Ternary-AND | TAND |
| | Ternary-OR | TOR |
| | Ternary-NOT | TI |
| Combinational Gates | Ternary-NAND | TNAND |
| | Ternary-NOR | TNOR |
| | Ternary-XOR | TXOR |
| | Ternary-XNOR | TXNOR |
| Data Handling Gates | Ternary-MAX | TMAX |
| | Ternary-MIN | TMIN |

Πίνακας: Τύποι τριαδικών λογικών πυλών

| v_{in1} | v_{in2} | TAND | TOR | TNAND | TNOR | TXOR | TXNOR |
|-----------|-----------|------|-----|-------|------|------|-------|
| 0 | 0 | 0 | 0 | 2 | 2 | 0 | 2 |
| 0 | 1 | 0 | 1 | 2 | 1 | 1 | 1 |
| 0 | 2 | 0 | 2 | 2 | 0 | 2 | 0 |
| 1 | 0 | 0 | 1 | 2 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 2 | 1 | 2 | 1 | 0 | 1 | 1 |
| 2 | 0 | 0 | 2 | 2 | 0 | 2 | 0 |
| 2 | 1 | 1 | 2 | 1 | 0 | 1 | 1 |
| 2 | 2 | 2 | 2 | 0 | 0 | 0 | 2 |

Πίνακας: Πίνακας αλήθειας

Ως παράδειγμα του τρόπου υλοποίησης των πυλών που προαναφέρθηκαν, θα χρησιμοποιηθεί η πύλη TAND.



Εικόνα 5.1: Πύλη TAND

Εξετάζεται η περίπτωση όπου $u_{in,1} > u_{in,2}$, οπότε ισχύει:

$$v_{d1} = R_{M1} i_1, \quad v_{d2} = R_{M2} i_2,$$

ενώ, μέσω διαίρετης τάσης, έχουμε ότι

$$\frac{v_{d1}}{v_{d2}} = \frac{R_{M1}}{R_{M2}} = \frac{v_{in1} - v_{out}}{v_{out} - v_{in2}}.$$

Λόγω του ότι η πτώση τάσης σε κάθε memristor είναι μεγαλύτερη της τάσης κατωφλίου, προκαλούνται τα λεγόμενα “φαινόμενα switching”, δηλαδή αντιστοίχιση της αντίστασης του κάθε memristor σε μία από τις ακραίες τιμές. Αναλυτικότερα: $R_{M1} \rightarrow R_{OFF}$, $R_{M2} \rightarrow R_{ON}$ και $R_{OFF} \gg R_{ON}$. Οπότε, προκύπτει η εξής σχέση:

$$v_{out} = \frac{v_{in1} R_{M2} + v_{in2} R_{M1}}{R_{M1} + R_{M2}} = \frac{v_{in1} R_{ON} + v_{in2} R_{OFF}}{R_{OFF} + R_{ON}} \approx v_{in2}$$

Ομοίως, εξετάζονται και οι υπόλοιπες περιπτώσεις, τα αποτελέσματα των οποίων αποτυπώνονται στον παρακάτω πίνακα.

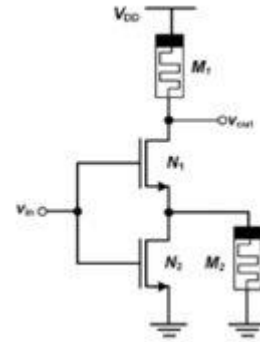
| Input | TAND |
|---------------------|---------------------------|
| $v_{in1} = v_{in2}$ | $v_{out} = v_{in1, in2}$ |
| $v_{in1} > v_{in2}$ | $v_{out} \approx v_{in2}$ |
| $v_{in1} < v_{in2}$ | $v_{out} \approx v_{in1}$ |

Πίνακας: Περιπτώσεις εισόδων - εξόδων της πύλης TAND

Αντιστροφείς (Inverters)

Για την υλοποίηση των αντιστροφων λογικών πυλών (π.χ. TNAND, TNOR), είναι απαραίτητες κάποιες συμπληρωματικές διατάξεις, που αντιστρέφουν τις εξόδους των πυλών, στις οποίες προσάπτονται. Υπάρχουν τρεις τύποι αντιστροφέων:

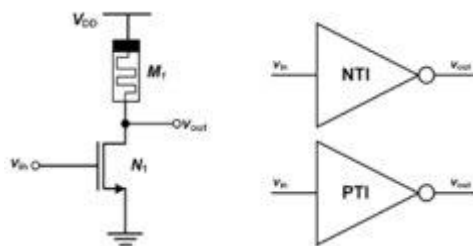
Simple Ternary Inverter (STI)



Εικόνα 5.2: Simple Ternary Inverter

Όπως φαίνεται και στην εικόνα, ο STI αποτελείται από δύο n-mos transistors και δύο memristors. Όταν η είσοδος είναι ίση με το λογικό 0 (GND), τότε τα δύο τρανζίστορ σβήνουν και έχουμε έξοδο ίση με το λογικό 2 (V_{DD}). Για είσοδο ίση με το λογικό 1 ($V_{DD}/2$), το τρανζίστορ N1 βρίσκεται σε κατάσταση “ON”, το N2 σε κατάσταση “OFF”, ενώ το ρεύμα τα δύο memristors οδηγούνται στη γείωση. Αυτό έχει ως αποτέλεσμα να οι αντιστάσεις τους να παίρνουν την τιμή R_{OFF} και η έξοδος του αντιστροφέα να είναι ίση με το λογικό 1. Τέλος, για είσοδο ίση με το λογικό 2, και τα δύο τρανζίστορ είναι σε κατάσταση “ON”, οπότε η έξοδος είναι ίση με το λογικό 0.

Positive Ternary Inverter (PTI)



Εικόνα 5.3: Positive και Negative Ternary Inverter

Σε αντίθεση με τον STI, ο PTI αποτελείται μόνο από ένα n-mos transistor και ένα memristor. Βασική προϋπόθεση για τη σωστή λειτουργία του PTI αποτελεί ο περιορισμός $V_{th} > V_{DD}/2$ (ιδανικά $V_{th} = 3V_{DD}/4$ για λόγους περιορισμού θορύβου). Όταν η είσοδος είναι ίση με το λογικό 0, το N1 βρίσκεται σε κατάσταση “OFF” και η έξοδος γίνεται ίση με το λογικό 2. Για είσοδο ίση με λογικό 1, η έξοδος παραμένει ίση με το λογικό 2, λόγω της τιμής του V_{th} . Τέλος, για είσοδο ίση με το λογικό 2, το N1 βρίσκεται σε κατάσταση “ON” και η έξοδος του αντιστροφέα είναι ίση με το λογικό 0.

Negative Ternary Inverter (NTI)

Ο PTI και ο NTI μοιράζονται την ίδια τοπολογία, όπως φαίνεται και από το σχήμα της Εικόνας. Ωστόσο, η διαφορά τους έγκειται στον περιορισμό της τάσης κατωφλίου, καθώς για τον NTI απαιτείται $V_{th} < V_{DD}/2$ (ιδανικά $V_{th} = V_{DD}/4$ για λόγους περιορισμού θορύβου). Συνεπώς, η μοναδική διαφορά μεταξύ των εξόδων του των δύο αυτών αντιστροφέων, είναι ότι ο NTI, για είσοδο ίση με το λογικό 1, θα επιστρέψει λογικό 0.

VI. Βιβλιογραφικές Πηγές

[1] Xiao-Yuan Wang, Peng-Fei Zhou, Jason K. Eshraghian, Chih-Yang Lin, Herbert Ho-Ching Iu, Ting-Chang Chang and Sung-Mo Kang, "High-Density Memristor-CMOS Ternary Logic Family", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS - I: REGULAR PAPERS, VOL. 68, NO. 1, JANUARY 2021

[2] Sachin Maheshwari, Spyros Stathopoulos, Jiaqi Wang, Alexander Serb, Yihan Pan, Andrea Mifsud, Lieuwe B. Leene, Jiawei Shen, Christos Papavassiliou, Timothy G. Constandinou and Themistoklis Prodromakis, "Design Flow for Hybrid CMOS/Memristor Systems - Part II: Circuit Schematics and Layout", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS - I: REGULAR PAPERS, VOL. 68, NO. 12, DECEMBER 2021

[3] Mourina Ghosh, Ankur Singh, Shekhar S. Borah, John Vista, Ashish Ranjan and Santosh Kumar, "MOSFET-Based Memristor for High-Frequency Signal Processing", IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 69, NO. 5, MAY 2022

[4] Aidana Irmanova, Akshay Maan, Alex James and Leon Chua, "Analog Self-Timed Programming Circuits for Aging Memristors", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS - II: EXPRESS BRIEFS, VOL. 68, NO. 4, APRIL 2021