



Αριστοτέλειο Πανεπιστήμιο Θεσσαλονίκης

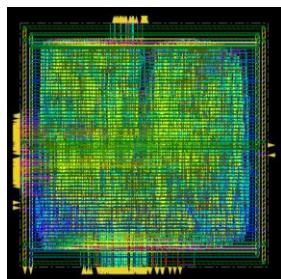
Πολυτεχνική Σχολή

Τμήμα Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών

Τομέας Ηλεκτρονικής και Υπολογιστών

Ψηφιακά ολοκληρωμένα κυκλώματα VLSI-ASIC Μεγάλης Κλίμακας

ΑΝΑΦΟΡΑ ΕΡΓΑΣΙΑΣ



Χειμερινό εξάμηνο 2024/25

Δεϊρμεντζόγλου Ιωάννης

A.E.M.: 10015

Email: deirmentz@ece.auth.gr

Πίνακας περιεχομένων

Εισαγωγή	4
Άσκηση 1	5
Βήμα 1	5
Βήμα 2	5
Βήμα 3	5
Βήμα 4	6
Βήμα 5	7
Βήμα 6	8
Βήμα 7	9
Βήμα 8	9
Βήμα 9	9
Βήμα 10	10
Βήμα 11	11
Βήμα 12	13
Βήμα 13	14
Βήμα 14	17
Βήμα 15	21
Βήμα 16	22
Άσκηση 2	24
Βήματα 1-6	24
Βήματα 7-11	26
Βήματα 12-14	27
Βήματα 15	28
Άσκηση 3	29
Βήματα 9-11	30
Βήματα 12-14	31
Άσκηση 4	34
Βήματα 1-6	34
Βήματα 7-11	36
Βήματα 12-14	37
Βήμα 15	38
Άσκηση 5	39
Βήματα 1-6	39
Βήματα 7-11	41

Βήματα 12-14	42
Βήμα 15	45
Άσκηση 6	47
Βήματα 1-6	47
Βήματα 7-11	49
Βήματα 12-14	51
Βήμα 15	53
Άσκηση 7	54
Άσκηση 8	58
Βήματα 1-6	58
Βήματα 7-11	60
Βήματα 12-14	62
Βήμα 15	63
Άσκηση 9	65
Άσκηση 10	71
Βήμα 15	71

Εισαγωγή

Η παρούσα εργασία εκπονείται στο πλαίσιο του μαθήματος **Ψηφιακά Ολοκληρωμένα Κυκλώματα VLSI/ASIC Μεγάλης Κλίμακας** και έχει ως αντικείμενο τη διαδικασία σχεδίασης, σύνθεσης και φυσικής υλοποίησης ψηφιακών ολοκληρωμένων κυκλωμάτων. Οι στόχοι της εργασίας περιλαμβάνουν την εξοικείωση με τις βιβλιοθήκες σχεδίασης, τα εργαλεία αυτοματοποιημένης σύνθεσης και τοποθέτησης (Cadence Genus & Innovus), καθώς και τη βελτιστοποίηση παραμέτρων όπως η επιφάνεια, η κατανάλωση ισχύος και η απόδοση του κυκλώματος.

Το κύκλωμα που αποτελεί το αντικείμενο μελέτης είναι ένας **πυρήνας επεξεργαστή RISC-V**, ο οποίος περιγράφεται σε **γλώσσα Verilog** (picorv32.v) και δίνεται από την εκφώνηση της εργασίας. Η σχεδίαση βασίζεται στη **βιβλιοθήκη GPDK45**, που αντιστοιχεί σε τεχνολογία στα **45 nm**. Μέσω των επιμέρους ασκήσεων, θα πραγματοποιηθεί η σύνθεση, η τοποθέτηση και η δρομολόγηση του κυκλώματος, ακολουθώντας τα βήματα που απαιτούνται για τη φυσική του υλοποίηση σε ASIC.

Οι ασκήσεις της εργασίας καλύπτουν διάφορες τεχνικές σχεδίασης, περιλαμβάνοντας τη διαδικασία σύνθεσης (logic synthesis), τη δημιουργία δικτύου διανομής ισχύος, τη σύνθεση του δέντρου ρολογιού, την εφαρμογή τεχνικών εξοικονόμησης ισχύος (clock gating, multibit flip-flops), καθώς και τη λογική ισοδυναμία (LEC) και την προσθήκη λογικής ελέγχου (DFT). Στόχος της εργασίας είναι η βελτιστοποίηση του σχεδίου ως προς βασικές μετρικές απόδοσης, όπως το slack, η κατανάλωση ισχύος και η συνολική επιφάνεια. Η εργασία αποτελείται από 10 ασκήσεις:

- Άσκηση 1: Εισαγωγή στη διαδικασία σύνθεσης και φυσικής σχεδίασης με το εργαλείο Genus. Περιλαμβάνει τη ρύθμιση βιβλιοθηκών, την ανάλυση του κυκλώματος, τη σύνθεση, την αξιολόγηση του σχεδίου και την εξαγωγή απαραίτητων αρχείων για τα επόμενα στάδια.
- Άσκηση 2: Βελτιστοποίηση της ισχύος του κυκλώματος, με στόχο τη μείωση της ισχύος διαρροής (leakage power). Περιλαμβάνει τη σύγκριση των επιδόσεων με την Άσκηση 1.
- Άσκηση 3: Εφαρμογή διαφορετικού ποσοστού χρήσης του πυρήνα (85% αντί 75%) και ανάλυση των επιπτώσεων στην επιφάνεια και την πολυπλοκότητα του κυκλώματος.
- Άσκηση 4: Αλλαγή της συχνότητας ρολογιού από 200 MHz σε 400 MHz και ανάλυση της επίδρασης στη χρονιστική συμπεριφορά του κυκλώματος.
- Άσκηση 5: Χρήση multibit flip-flops (MBFFs) για τη μείωση της επιφάνειας και της κατανάλωσης ισχύος.
- Άσκηση 6: Εφαρμογή clock gating για τη μείωση της κατανάλωσης ισχύος, ανάλυση της χρήσης του και σύγκριση με προηγούμενα αποτελέσματα.
- Άσκηση 7: Σύγκριση των διαφορετικών σταδίων της σύνθεσης με το εργαλείο Conformal Logic Equivalence Checking (LEC) για την επιβεβαίωση της λογικής ισοδυναμίας.
- Άσκηση 8: Προσθήκη pads εισόδου-εξόδου (I/O pads) και ανάλυση των αλλαγών που επιφέρουν στην επιφάνεια και την κατανάλωση ισχύος.
- Άσκηση 9: Εισαγωγή λογικής Design for Testability (DFT), που περιλαμβάνει scan chains και test modes, ώστε το κύκλωμα να μπορεί να ελεγχθεί μετά την κατασκευή του.
- Άσκηση 10 (Bonus): Βελτιστοποίηση του σχεδίου ώστε να επιτευχθεί το καλύτερο δυνατό Figure of Merit (FoM).

Άσκηση 1

Βήμα 1: Αρχικά, πρέπει να οριστούν οι απαραίτητες βιβλιοθήκες σχεδίασης. Αυτές περιλαμβάνουν βιβλιοθήκες χρονισμού, φυσικής σχεδίασης και παρασιτικών στοιχείων, οι οποίες καθορίζουν τα χαρακτηριστικά των κελιών και των τρανζίστορ που θα χρησιμοποιηθούν. Οι βιβλιοθήκες βρίσκονται στο path του GPK45 και περιλαμβάνουν αρχεία **.lib** για το χρονισμό, **.lef** για τη φυσική σχεδίαση και **.tch** για τις παρασιτικές χωρητικότητες. Η βιβλιοθήκη που πρέπει να χρησιμοποιηθεί είναι η **slow_vdd1v0_basicCells.lib**. Οι εντολές βρίσκονται παρακάτω (και στο αρχείο **Exercise_Step1_run.tcl**):

Βήμα 2 : Στη συνέχεια, γίνεται η φόρτωση του κώδικα Verilog που περιγράφει το κύκλωμα, συγκεκριμένα του αρχείου **picorv32.v**, το οποίο υλοποιεί έναν πυρήνα επεξεργαστή RISC-V. Σε αυτό το στάδιο πρέπει να εντοπιστεί το κύριο module του κυκλώματος (**top-level module**). Για να εντοπιστεί το top-level module του κυκλώματος χρησιμοποιείται η εντολή οπου διαβάζουμε το αρχείο Verilog που περιγράφει το design:

read_hdl picorv32.v και η cmd δίνει:

Το top-level module του κυκλώματος είναι το **picorv32**.

Βήμα 3 : Ακολουθεί η ανάλυση του κυκλώματος μέσω της διαδικασίας του **elaboration**. Κατά τη διάρκεια αυτού του βήματος, το εργαλείο δημιουργεί ένα **gate-level netlist**) που αντιστοιχεί στην περιγραφή του κυκλώματος σε Verilog. Στη συνέχεια, εκτελείται ο έλεγχος σχεδίασης με την εντολή **check_design**, ώστε να εντοπιστούν τυχόν προβλήματα.

Εντολές :

```
#Elaborate
elaborate "picorv32"
#check design
check_design -all > Desktop/VLSI ASIC/Exercise_1.txt
```

Summary	
Name	Total
Unresolved References	0
Empty Modules	0
Unloaded Port(s)	32
Unloaded Sequential Pin(s)	1
Unloaded Combinational Pin(s)	51
Assigns	68
Undriven Port(s)	0
Undriven Leaf Pin(s)	0
Undriven hierarchical pin(s)	0
Multidriven Port(s)	0
Multidriven Leaf Pin(s)	0
Multidriven hierarchical Pin(s)	0
Multidriven unloaded net(s)	0
Constant Port(s)	2
Constant Leaf Pin(s)	0
Constant hierarchical Pin(s)	1454
Preserved leaf instance(s)	0
Preserved hierarchical instance(s)	0
Feedthrough Modules(s)	0
Libcells with no LEF cell	0
Physical (LEF) cells with no libcell	94
Subdesigns with long module name	0
Physical only instance(s)	0
Logical only instance(s)	0

Done Checking the design.

Σχήμα 1.1 : Βήμα 3 Check Design.

Από το report του check design στο Βήμα 3 δείχνει ότι το κύκλωμα δεν έχει unresolved references, κάτι που σημαίνει ότι όλα τα modules και οι βιβλιοθήκες έχουν φορτωθεί σωστά. Δεν υπάρχουν επίσης empty modules, undriven ports ή multidriven signals, γεγονός που υποδηλώνει ότι η σχεδίαση είναι καλά συνδεδεμένη και δεν υπάρχουν προφανή σφάλματα στον καθορισμό των σημάτων εισόδου και εξόδου.

Ωστόσο, εντοπίζονται 32 unloaded ports, 51 unloaded combinational pins, και 1 unloaded sequential pin, που δείχνουν ότι ορισμένα σήματα δεν οδηγούν πουθενά. Αν αυτά τα ports ή pins δεν είναι σκόπιμα αχρησιμοποίητα, μπορεί να χρειαστεί να ελεγχθεί αν κάποιο μέρος του κυκλώματος παραλείπεται στη σύνθεση. Επιπλέον, υπάρχουν 68 assigns, που πιθανώς προκύπτουν από απευθείας συνδέσεις σημάτων μέσα στον κώδικα RTL, αλλά αν υπάρχουν περιττές αναθέσεις, θα μπορούσαν να αφαιρεθούν για βελτιστοποίηση.

Βήμα 4: Πριν προχωρήσει η διαδικασία της σύνθεσης, πρέπει να καθοριστούν περιορισμοί. Αυτό γίνεται μέσω ενός αρχείου περιορισμών (.sdc), στο οποίο ορίζονται σημαντικές παράμετροι, όπως η συχνότητα του ρολογιού (200 MHz), οι καθυστερήσεις σημάτων και τα φορτία εισόδων/εξόδων. Το ρολόι έχει duty cycle 50% και καθυστέρηση 250 ps. Επιπλέον, καθορίζεται η αβεβαιότητα του ρολογιού, η καθυστέρηση εισόδων και εξόδων, καθώς και τα φορτία των εξόδων. Παρακατώ φαίνονται οι εντολές που χρησιμοποιηθηκαν για τον ορισμό των περιορισμών:

```
#SDC Restrictions File for Synthesis#
#1) Create clock with 50 % duty cycle, Frequency f=200MHz Period T=5ns, name = clk.
create_clock -name clk -period 5 -waveform {0 2.5} [get_ports clk]
#2) Set clock latency = 250 ps.
set_clock_latency -source 0.25 [get_clocks clk]
#3) Set clock uncertainty = 15 ps for setup and 10 ps for hold.
set_clock_uncertainty -setup 0.015 [get_clocks clk]
set_clock_uncertainty -hold 0.01 [get_clocks clk]
#4) Set clock rise and fall = 1% of total period.
set_clock_transition 0.05 [get_clocks clk]
#5) Set 0.75ns output delay for SETUP time.
set_output_delay -max 0.75 -clock clk -network_latency_included [all_outputs]
#6) Set 0.25ns output delay for HOLD time.
set_output_delay -min 0.25 -clock clk -network_latency_included [all_outputs]
#7) Set capacity for SETUP time analysis = 0.4pF.
set_load 0.4 -max [all_outputs]
#8) Set capacity for HOLD time analysis = 0.05pF.
set_load 0.05 -min [all_outputs]
#9) Set 0.75ns input delay for SETUP time.
set_input_delay -max 0.75 -clock clk -network_latency_included [all_inputs]
```

```

#10) Set 0.25ns input delay for HOLD time.

set_input_delay -min 0.25 -clock clk -network_latency_included [all_inputs]

#11) Set input driving cell: BUFX4 for SETUP and BUFX8 for HOLD.

set_driving_cell -max -lib_cell BUFX4 [all_inputs]
set_driving_cell -min -lib_cell BUFX8 [all_inputs]

```

Ακολουθουν οι εντολές για να φορτώσει το αρχείο .sdc στο genus και να ελεγχθούν οι περιορισμοί :

- # Read the sdc file
read_sdc /home/d/deirmentz/VLSI ASIC/Exercises/Exercise1/Step_4/Exercise_1_Step_4_Constraints.sdc
- # Check timing intent
check_timing_intent > /home/d/deirmentz/VLSI ASIC/Exercises/Exercise1/Step_5/Checks/Exercise1_Step5_Check_Timing_Intent.txt

Lint summary	
Unconnected/logic driven clocks	0
Sequential data pins driven by a clock signal	0
Sequential clock pins without clock waveform	0
Sequential clock pins with multiple clock waveforms	0
Generated clocks without clock waveform	0
Generated clocks with incompatible options	0
Generated clocks with multi-master clock	0
Paths constrained with different clocks	0
Loop-breaking cells for combinational feedback	0
Nets with multiple drivers	0
Timing exceptions with no effect	0
Suspicious multi_cycle exceptions	0
Pins/ports with conflicting case constants	0
Inputs without clocked external delays	0
Outputs without clocked external delays	0
Inputs without external driver/transition	0
Outputs without external load	0
Exceptions with invalid timing start-/endpoints	0
Total:	0

Σχήμα 1.2 : Βήμα 4 Check Timing Intent.

Από το check timing intent φαίνεται να μην εμφανίζεται κανένα σφάλμα, γεγονός που δείχνει ότι δεν υπάρχουν προβλήματα όπως μη συνδεδεμένα ρολόγια, συγκρούσεις στα σήματα χρονισμού ή ανεπαρκώς καθορισμένες εξαιρέσεις χρονισμού. Αυτή η ανάλυση επιβεβαιώνει ότι το κύκλωμα έχει σχεδιαστεί χωρίς χρονικές παραβιάσεις προς το παρών και είναι έτοιμο για τη διαδικασία της σύνθεσης.

Βήμα 5 : Αφού οριστούν οι περιορισμοί, εκτελείται η **σύνθεση του κυκλώματος**. Η διαδικασία αυτή περιλαμβάνει τρία στάδια:

- **Generic synthesis**, όπου η λογική περιγραφή του κυκλώματος μετατρέπεται σε πύλες.
- **Mapping synthesis**, όπου γίνεται αντιστοίχιση των πυλών σε κελιά της βιβλιοθήκης **GPDK45**.
- **Optimization synthesis**, όπου το εργαλείο βελτιστοποιεί το κύκλωμα για καλύτερη απόδοση, εξισορροπώντας παράγοντες όπως η επιφάνεια, η κατανάλωση ισχύος και οι καθυστερήσεις.

Όπως υποδεικνύεται για την αποφυγή δημιουργίας αλυσίδων ανίχνευσης στη σύνθεση, χρησιμοποιείται η εντολή: **set_db / .use_scan_seqs_for_non_dft false**

Εντολές:

- # Generic Synthesis
syn_generic
- # Synthesis Mapping
syn_map

- **# Optimization Synthesis**
- **syn_opt**

Βήμα 6: Μετά τη σύνθεση, εξάγονται αναφορές που περιλαμβάνουν βασικά χαρακτηριστικά του κυκλώματος, όπως ο αριθμός των κελιών, η συνολική επιφάνεια, το slack και η κατανάλωση ισχύος. Χρησιμοποιούνται οι παρακάτω εντολές :

- **# Report area**
`report_area > /home/d/deirmentz/VLSI ASIC/Exercises/Exercise1/Step_5/Reports/Step5_Report_Area.txt`
- **# Report gates**
`report_gates > /home/d/deirmentz/VLSI ASIC/Exercises/Exercise1/Step_5/Reports/Step5_Report_Gates.txt`
- **# Report timing**
`report_timing > /home/d/deirmentz/VLSI ASIC/Exercises/Exercise1/Step_5/Reports/Step5_Report_Timing.txt`
- **# Report power**
`report_power > /home/d/deirmentz/VLSI ASIC/Exercises/Exercise1/Step_5/Reports/Step5_Report_Power.txt`
- **# Report Quality of Results**
`report_qor > /home/d/deirmentz/VLSI ASIC/Exercises/Exercise1/Step_5/Reports/Step5_Report_QoR.txt`

Και γίνεται export το design με τις εντολές

Export Design

```
write_hdl > /home/d/deirmentz/VLSI ASIC/Exercises/Exercise1/Step_5/Exercise1_Step5_Design.v
write_sdc > /home/d/deirmentz/VLSI ASIC/Exercises/Exercise1/Step_5/Exercise1_Step5_Constraints.sdc
write_script > /home/d/deirmentz/VLSI ASIC/Exercises/Exercise1/Step_5/Exercise1_Step5_Constraints.g
```

Report Area

```
=====
Instance Module Cell Count Cell Area Net Area Total Area
-----
picorv32          10302  34459.578 14068.017   48527.595
```

Σχήμα 1.3 : Report Area

Report Gates

Type	Instances	Area	Area %
sequential	1961	14699.160	42.7
inverter	404	349.524	1.0
buffer	312	2066.022	6.0
logic	7625	17344.872	50.3
physical_cells	0	0.000	0.0
total	10302	34459.578	100.0

Report Power

Category	Leakage	Internal	Switching	Total	Row%
memory	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
register	2.67827e-07	1.07634e-03	1.40742e-04	1.21735e-03	22.62%
latch	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
logic	5.78593e-07	5.83373e-04	3.57992e-03	4.16387e-03	77.38%
bbox	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
clock	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
pad	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
pm	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
Subtotal	8.46420e-07	1.65971e-03	3.72066e-03	5.38122e-03	100.00%
Percentage	0.02%	30.84%	69.14%	100.00%	100.00%

Σχήματα 1.4 και 1.5 : Report Gates and Report Power

Report QoR

```
=====
Timing
-----
Clock Period
-----
clk 5000.0

Cost Critical Violating
Group Path Slack TNS Paths
-----
clk 0.5 0.0 0
default No paths 0.0
-----
Total 0.0 0

Instance Count
-----
Leaf Instance Count 10302
Physical Instance count 0
Sequential Instance Count 1961
Combinational Instance Count 8341
Hierarchical Instance Count 0

Area
-----
Cell Area 34459.578
Physical Cell Area 0.000
Total Cell Area (Cell+Physical) 34459.578
Net Area 14068.017
Total Area (Cell+Physical+Net) 48527.595

Max Fanout 1961 (clk)
Min Fanout 1 (clear_prefetched_high_word_q)
Average Fanout 2.6
Terms to net ratio 3.6157
Terms to instance ratio 3.8920
Runtime 383.3392509999999 seconds
Elapsed Runtime 408 seconds
Genus peak memory usage 1443.00
Innovus peak memory usage no_value
Hostname cn96.it.auth.gr
```

Σχήμα 1.6 : Report Quality of Results

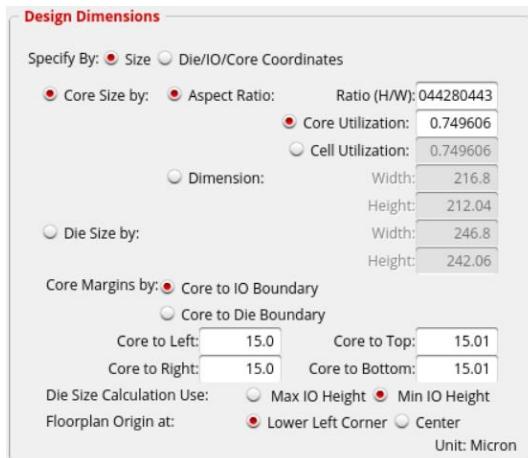
	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area	Gates
1 ^η Άσκηση	5.38122e-03W	1.6597e-03W	3.72066e-03 W	8.46420e-07W	0ns	48527.595	10302

Πίνακας Αποτελεσμάτων

Βήμα 7: Αφού ολοκληρωθεί η σύνθεση, είναι απαραίτητο να παραχθούν τα απαραίτητα αρχεία για τα επόμενα στάδια της ροής σχεδίασης. Αυτό γίνεται με την εντολή write_design –innovus picorv32. Αυτά τα αρχεία θα χρησιμοποιηθούν αργότερα στο εργαλείο Innovus για την τοποθέτηση και δρομολόγηση του κυκλώματος. Το σύνολο των εντολών που έχουν χρησιμοποιηθεί μέχρι στιγμής στο εργαλείο genus βρίσκεται το αρχείο **run_Ex1.tcl**

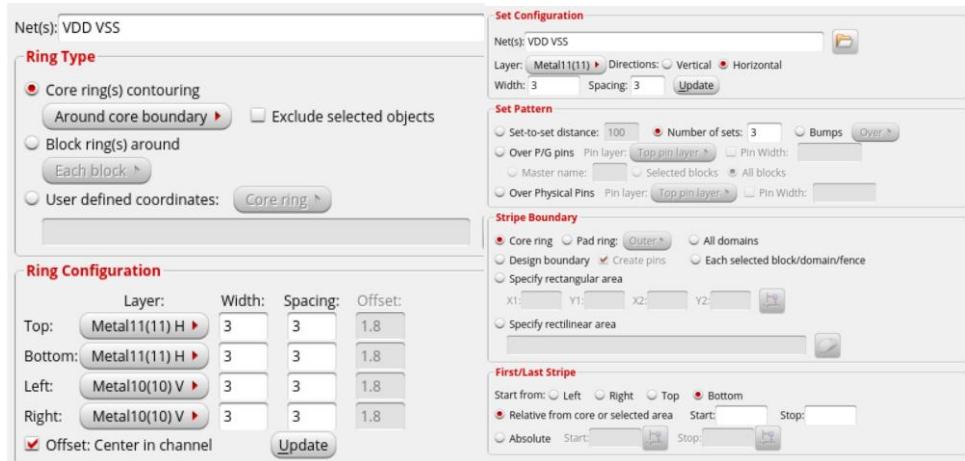
Βήμα 8: σε αυτό το στάδιο, τα αρχεία που εξήχθησαν από το Genus εισάγονται στο Innovus και χρησιμοποιείται το MMMC που έχει παραχθεί.

Βήμα 9 : σε αυτό το βήμα, πραγματοποιείται η χωροθέτηση των κελιών του κυκλώματος, ορίζοντας το συνολικό μέγεθος του πυρήνα και το ποσοστό χρήσης του χώρου (default: 75%).



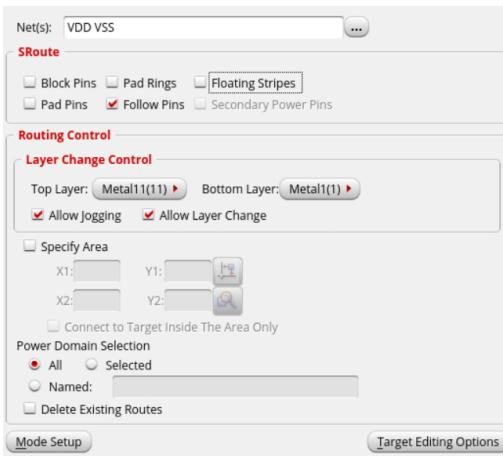
Σχήμα 1.7: Βήμα 9 Innovus Specify FloorPlan και Add Rings

Βήμα 10: Το δίκτυο διανομής ισχύος σχεδιάζεται χρησιμοποιώντας τα ανώτερα επίπεδα μετάλλων της τεχνολογίας κατασκευής. Επίσης, δημιουργείται το δίκτυο διανομής ισχύος, το οποίο αποτελείται από power rings και power stripes που διανέμουν την τάση τροφοδοσίας σε όλο το κύκλωμα. Οι δακτύλιοι ισχύος σχεδιάζονται με πάχος 3 μμ, κενό 3 μμ και απόσταση 15 μμ από τα I/O. Οι κύριες γραμμές ισχύος έχουν παρόμοιες διαστάσεις με τους δακτυλίους, και οι ακροδέκτες I/O τροφοδοσίας συνδέονται με αυτά. Τοποθετούνται επίσης **follow pins**, που επιτρέπουν τη σύνδεση των κελιών με το δίκτυο ισχύος. Παρακατώ παρατίθενται κάποια screenshots για το πως εισήχθησαν στο Innovus:



Σχήμα 1.8 : Βήμα 10 Add Rings και Add Stripe

Ακολουθεί η κατασκευή των follow pins μέσω της Sroute για τη σύνδεση των κελιών με το δίκτυο διανομής ισχύος.



Σχήμα 1.9: Βήμα 10 SRoute

Εντολές για την δημιουργία των pins και συνδεση τους με τα Rings όπως περιγράφονται από το εγχειρίδιο που δίνεται :

- **globalNetConnect VDD -type pgpin -pin VDD -inst ***
- **globalNetConnect VDD -type tiehi -instanceBasename ***
- **globalNetConnect VSS -type pgpin -pin VSS -inst ***
- **globalNetConnect VSS -type tielo -instanceBasename ***
- **createPGPin VDD -net VDD -geom Metal10 9 0 12 12**
- **createPGPin VSS -net VSS -geom Metal10 3 0 6 6**

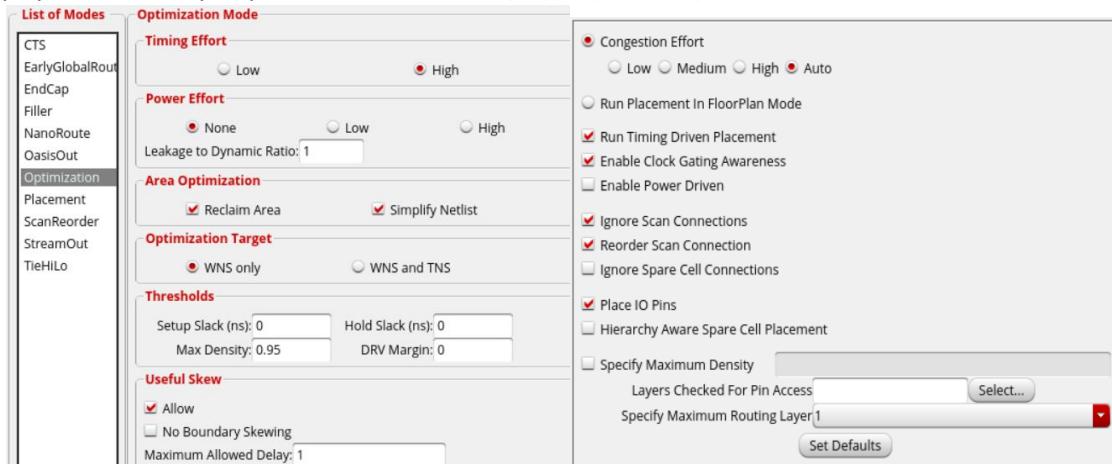
```

innovus 1> globalNetConnect VDD -type pgpin -pin VDD -inst *
innovus 2> globalNetConnect VDD -type tiehi -instanceBasename *
innovus 3> globalNetConnect VSS -type pgpin -pin VSS -inst *
innovus 4> globalNetConnect VSS -type tiehi -instanceBasename *
innovus 5> createPGPin VDD -net VDD -geom Metal10 9 0 12 12
innovus 6> createPGPin VSS -net VSS -geom Metal10 3 0 6 6

```

Σχήμα 1.10 : Βήμα 10 Global Net Connect.

Βήμα 11: Αφού έχει ολοκληρωθεί η σχεδίαση του δικτύου ισχύος, εκτελείται το στάδιο του Placement των κελιών του κυκλώματος στον διαθέσιμο χώρο, λαμβάνοντας υπόψη τους περιορισμούς της σχεδίασης. Η διαδικασία περιλαμβάνει βελτιστοποίηση χρονισμού και ελαχιστοποίηση καθυστερήσεων, ενώ παράγονται αναφορές για slack, κατανάλωση ισχύος και επιφάνεια.



Σχήμα 1.11 : Βήμα 11 Χωροθέτηση Mode Setup, Placement και Optimization

Παρακατω παρατίθενται οι εντολές που χρησιμοποιούνται για να εξαχθούν οι αναφορές όπως ζητείται από την εκφώνηση.

- `report_power > /home/d/deirmentz/VLSI ASIC/Exercises/Exercise1/Step_11/innovus_power_1.txt`
- `report_timing > /home/d/deirmentz/VLSI ASIC/Exercises/Exercise1/Step_11/innovus_timing_1.txt`
- `report_area > /home/d/deirmentz/VLSI ASIC/Exercises/Exercise1/Step_11/innovus_area_1.txt`

Και ακολουθούν τα αντίστοιχα screenshots από τα reports

Report Area

Hinst Name	Module Name	Inst Count	Total Area
picorv32		10759	34631.604

Σχήμα 1.12 : Report Area

Report Timing

```

Path Groups: {clk}
Analysis View: default_emulate_view
Other End Arrival Time      0.000
- Setup                      0.136
+ Phase Shift                5.000
- Uncertainty                 0.015
= Required Time              4.849
- Arrival Time               4.830
= Slack Time                 0.019
Clock Rise Edge              0.000
+ Clock Network Latency (Ideal) 0.000
= Beginpoint Arrival Time   0.000

```

Total Power					
Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
Sequential	0.9758	0.08339	0.0002693	1.06	27.91
Macro	0	0	0	0	0
IO	0	0	0	0	0
Combinational	0.5508	2.186	0.0005854	2.737	72.09
Clock (Combinational)	0	0	0	0	0
Clock (Sequential)	0	0	0	0	0
Total	1.527	2.269	0.0008548	3.797	100

Σχήματα 1.13 και 1.14 : Report Timing and Report Power

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	3.79670990W	1.52660433W	2.26925081W	0.00085476W	0.019ns	34631.604

Πίνακας Αποτελεσμάτων

Το timing report δείχνει ότι το κύκλωμα έχει **θετικό slack** (0.019 ns), κάτι που σημαίνει ότι δεν υπάρχουν παραβιάσεις χρονισμού (setup violations) στο συγκεκριμένο μονοπάτι. Ο απαιτούμενος χρόνος για να φτάσει το σήμα στο endpoint είναι 4.881 ns, ενώ το πραγματικό arrival time είναι 4.830 ns, που σημαίνει ότι το κύκλωμα λειτουργεί **εντός των χρονικών περιορισμών**. Η αβεβαιότητα του ρολογιού (uncertainty) είναι 0.015 ns, όπως ορίστηκε από το .sdc αρχείο.

Γενικά, το αποτέλεσμα είναι θετικό, καθώς το κύκλωμα περνάει τον έλεγχο setup. Παρόλα αυτά, το slack είναι αρκετά μικρό, κάτι που σημαίνει ότι είναι πολύ κοντά στο όριο του χρονισμού.

Το συνολικό power consumption του κυκλώματος είναι 3.7976W, με την κατανομή της ισχύος ως εξής:

- **Internal Power:** 1.528 W (40.26%)
- **Switching Power:** 2.269 W (59.76%)
- **Leakage Power:** 0.00085 W (0.0225%)

Η διακοπτική ισχύς (Switching Power) αποτελεί τη μεγαλύτερη συνιστώσα (~60%), κάτι που είναι αναμενόμενο σε ψηφιακά κυκλώματα, καθώς σχετίζεται με τη φόρτιση και εκφόρτιση χωρητικοτήτων κατά τις μεταβάσεις σήματος.

Η εσωτερική ισχύς (Internal Power) είναι σημαντική (~40%) και περιλαμβάνει απώλειες λόγω της εσωτερικής φόρτισης/εκφόρτισης τρανζίστορ και short-circuit currents κατά τις μεταβάσεις.

Η ισχύς διαρροής (Leakage Power) είναι σχεδόν μηδενική (0.0225%), κάτι που είναι καλό, καθώς δείχνει ότι δεν υπάρχουν μεγάλα προβλήματα με τη στατική κατανάλωση ρεύματος όταν το κύκλωμα δεν αλλάζει κατάσταση.

Όσον αφορά την κατανομή ανά ομάδα κυκλωμάτων:

- Τα sequential στοιχεία (flip-flops, registers, κλπ.) καταναλώνουν **1.06 W (27.91%)**, εκ των οποίων το μεγαλύτερο ποσοστό είναι **internal power**.
- Τα combinational στοιχεία (λογικές πύλες, buffers, κλπ.) καταναλώνουν **2.737 W (72.09%)**, κυρίως λόγω της διακοπτικής ισχύος.

Η συνολική χωρητικότητα του design είναι **1.20903e-10 F**, και υπάρχουν **10,579 instances** στο κύκλωμα, χωρίς αχρησιμοποίητα στοιχεία.

Για τη μείωση της κατανάλωσης, θα μπορούσε να εξεταστεί η χρήση τεχνικών όπως το clock gating, η βελτιστοποίηση της διασύνδεσης των κυκλωμάτων και η επιλογή κελιών με χαμηλότερη ενεργειακή κατανάλωση (μελετώνται στις επόμενες ασκήσεις). Παρά το γεγονός ότι η ισχύς διαρροής είναι αμελητέα, η switching power είναι σημαντική, γεγονός που μπορεί να οφείλεται σε μεγάλο αριθμό αλλαγών σημάτων ή υψηλό φορτίο στις διασυνδέσεις.

Τέλος, γίνεται έλεγχος του placement με χρήση της εντολής checkPlace και το αποτέλεσμα φαίνεται στο παρακάτω screenshot.

```

picorv32.checkPlace
#####
## No violations found ##

## Summary:
#####
## Number of Placed Instances = 11399
## Number of Unplaced Instances = 0
## Placement Density:76.24%(35049/45970)
## Placement Density (including fixed std cells):76.24%(35049/45970)

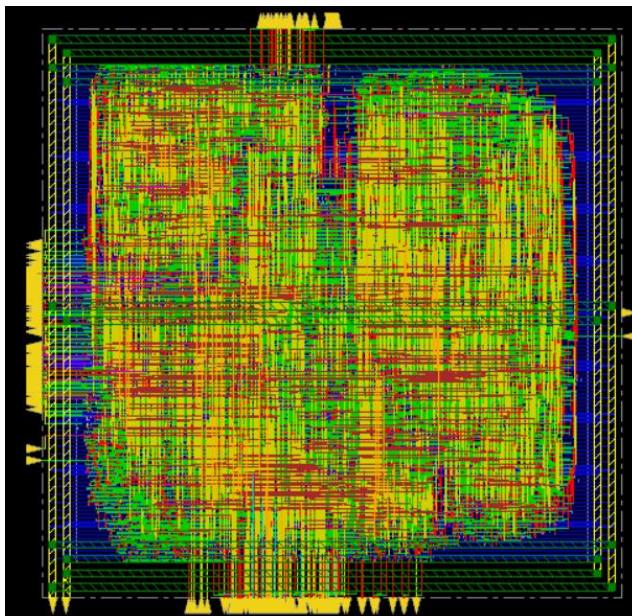
```

Σχήμα 1.15: Check Placement Βίγμα 11

Το κύκλωμα δεν παρουσιάζει παραβιάσεις στην τοποθέτηση, γεγονός που δείχνει ότι η διαδικασία ολοκληρώθηκε επιτυχώς χωρίς προβλήματα ευθυγράμμισης ή επικάλυψης κελιών, ενώ δεν υπάρχουν ατοποθέτητα στοιχεία, κάτι που υποδηλώνει ότι όλα τα λογικά στοιχεία έχουν βρει τη θέση τους στο layout.

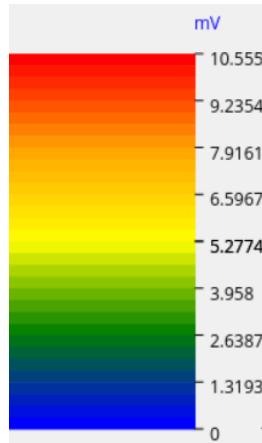
Η πυκνότητα τοποθέτησης ανέρχεται στο 76.24%, (76.24% του διαθέσιμου χώρου καταλαμβάνεται από standard cells). Αυτή η τιμή βρίσκεται σε αποδεκτά επίπεδα, καθώς επιτρέπει στο εργαλείο να έχει αρκετό χώρο για τη δρομολόγηση των διασυνδέσεων χωρίς σοβαρά προβλήματα συμφόρησης. Αν η πυκνότητα ήταν πολύ υψηλή, θα μπορούσε να οδηγήσει σε δυσκολίες στη δρομολόγηση και αύξηση των καθυστερήσεων λόγω περιορισμένης διαθεσιμότητας διαδρομών μεταφοράς σημάτων. Αντίστοιχα, αν ήταν πολύ χαμηλή, θα σήμαινε αναποτελεσματική χρήση του διαθέσιμου χώρου, αυξάνοντας πιθανώς αχρείαστα την επιφάνεια του κυκλώματος.

Και ακολουθεί η εικόνα του chip από το εργαλείο Innovus πριν το Early Power Analysis



Σχήμα 1.16 : Εικόνα του chip πριν το early power analysis

Βήμα 12: Σε αυτό το στάδιο, εκτελείται έλεγχος του δικτύου ισχύος για την αξιολόγηση πιθανών πτώσεων τάσης (IR drop) σε διαφορετικές περιοχές του κυκλώματος. Οι περιοχές με αυξημένη πτώση τάσης ενδέχεται να έχουν αυξημένη κατανάλωση ρεύματος, γεγονός που μπορεί να επηρεάσει τη σωστή λειτουργία του κυκλώματος.



Σχήμα 1.17 : Βήμα 12 Power Graph.

Η ανάλυση του IR drop κατά το στάδιο DB setup δείχνει την πτώση τάσης που συμβαίνει λόγω της κατανάλωσης ρεύματος κατά τη διαμόρφωση του κυκλώματος. Η τιμή 5.2774mV που βρίσκεται στη μέση του power graph. Οι κόκκινες περιοχές, όπου η πτώση τάσης ξεπερνά τα 9 mV, υποδηλώνουν σημεία με αυξημένη κατανάλωση ρεύματος ή ανεπαρκές power grid.

Ορισμένες περιοχές εμφανίζουν μεγαλύτερη πτώση τάσης λόγω της αυξημένης κατανάλωσης ρεύματος και της αντίστασης του power grid. Κάποιοι λόγοι που συμβάλλουν σε αυτό περιλαμβάνουν:

1. **Υψηλή κατανάλωση ρεύματος:** Περιοχές με μεγάλη συγκέντρωση ενεργών κυκλωμάτων, όπως οι μονάδες ALU, οι καταχωρητές και οι μνήμες, απαιτούν περισσότερη ισχύ, οδηγώντας σε αυξημένο IR drop.
2. **Απόσταση από τις πηγές τροφοδοσίας:** Οι κόμβοι που βρίσκονται πιο μακριά από τις κύριες γραμμές τροφοδοσίας ή τις επαφές των power rails παρουσιάζουν μεγαλύτερη πτώση τάσης λόγω της αυξημένης αντίστασης στις μεταλλικές διαδρομές.
3. **Ανεπαρκές power grid:** Εάν το δίκτυο διανομής ισχύος δεν έχει αρκετές power stripes, vias ή αν χρησιμοποιεί λεπτές μεταλλικές γραμμές, η αντίσταση αυξάνεται, με αποτέλεσμα μεγαλύτερο IR drop.
4. **Ταυτόχρονη εναλλαγή σημάτων (Simultaneous Switching Noise - SSN):** Όταν πολλές μονάδες του κυκλώματος αλλάζουν κατάσταση ταυτόχρονα, δημιουργούνται παροδικά ρεύματα αιχμής που αυξάνουν την πτώση τάσης τοπικά.

Για να βελτιωθεί η κατάσταση, μπορεί να ενισχυθεί το power grid με περισσότερα vias, να γίνει καλύτερη κατανομή του φορτίου ώστε να μην υπάρχουν σημεία με υπερβολική κατανάλωση, και να χρησιμοποιηθούν τεχνικές για τη μείωση της ισχύος σε περιοχές που δεν είναι τόσο ενεργές (νομίζω λέγεται power gating).

Βήμα 13: Πριν την πλήρη δρομολόγηση, εκτελείται μία πρώιμη προσομοίωση δρομολόγησης για την ανίχνευση πιθανών προβλημάτων συμφόρησης. Δοκιμάζεται η χρήση διαφορετικών επιπέδων μετάλλων, ενώ αναλύονται οι απαιτήσεις σε vias και μήκη διασυνδέσεων.

Για τα στρωματά μετάλλων M1 (min)- M11 (max)

```
Layer group 1: route 11550 net(s) in layer range [1, 11]
Early Global Route overflow of layer group 1: 0.00% H + 0.00% V. EstWL: 2.070554e+05um
```

Overflow after Early Global Route 0.00% H + 0.00% V

	Length (um)	Vias
Metal1	(1H)	16478 42634
Metal2	(2V)	73918 27744
Metal3	(3H)	74658 5124
Metal4	(4V)	35742 1528
Metal5	(5H)	13872 157
Metal6	(6V)	1781 33
Metal7	(7H)	352 21
Metal8	(8V)	93 7
Metal9	(9H)	57 1
Metal10	(10V)	0 1
Metal11	(11H)	1 0
Total		216951 77250

Total half perimeter of net bounding box: 174939um
Total length: 216951um, number of vias: 77250

Total eGR-routed clock nets wire length: 6648um, number of vias: 3997

	max hotspot	total hotspot
normalized	0.00	0.00

Σχήμα 1.18 : Βήμα 13 M (1)-M (11) Πόροι και Congestion Report.

Για τα στρωματά μετάλλων M7 -M10

Layer group 1: route 11550 net(s) in layer range [7, 10]
Early Global Route overflow of layer group 1: 0.00% H + 0.00% V. EstWL: 2.071272e+05um

Overflow after Early Global Route 0.00% H + 0.00% V

	Length (um)	Vias
Metal1	(1H)	0 40956
Metal2	(2V)	0 41047
Metal3	(3H)	0 41125
Metal4	(4V)	0 41172
Metal5	(5H)	0 41212
Metal6	(6V)	0 41231
Metal7	(7H)	73365 62129
Metal8	(8V)	92177 5722
Metal9	(9H)	33316 2165
Metal10	(10V)	19695 1
Metal11	(11H)	0 0
Total		218552 316760

Total half perimeter of net bounding box: 174939um
Total length: 218552um, number of vias: 316760

Total eGR-routed clock nets wire length: 6718um, number of vias: 15518

	max hotspot	total hotspot
normalized	0.00	0.00

Εικόνα 1.19 : Βήμα 13 M (7)-M (10) Πόροι και Congestion Report.

Όπως φαίνεται από τα αντίστοιχα screenshots, η χρήση όλων των μεταλλικών επιπέδων από M1 έως M11 οδηγεί σε συνολικό μήκος διασυνδέσεων 201969 μμ, ενώ ο περιορισμός στα ανώτερα επίπεδα από M7 έως M10 αυξάνει το μήκος σε 203406 μμ. Η μικρή αυτή αύξηση υποδηλώνει ότι η χρήση λιγότερων επιπέδων αναγκάζει ορισμένες διαδρομές να επιμηκύνονται για να αποφύγουν τη συμφόρηση.

Ο αριθμός των vias στην πλήρη δρομολόγηση είναι 78684, ενώ στην περιορισμένη δρομολόγηση αυξάνεται σημαντικά στις 326602. Αυτό δείχνει ότι η περιορισμένη χρήση επιπέδων απαιτεί περισσότερες μεταβάσεις μεταξύ μεταλλικών στρώσεων, γεγονός που μπορεί να οδηγήσει σε αυξημένες καθυστερήσεις και μεγαλύτερη κατανάλωση ισχύος.

Το συνολικό μήκος των δικτύων ρολογιού στην 1^η περιπτωση είναι 6753 μμ, ενώ στην 2^η δρομολόγηση είναι 6815 μμ. Είναι φανερό ότι η κατανομή των διασυνδέσεων χρονισμού επηρεάζεται ελάχιστα από τον περιορισμό επιπέδων, κάτι που είναι θετικό.

Και στις δύο περιπτώσεις, οι τιμές των hotspot και total hotspot είναι 0.00, πράγμα που σημαίνει ότι δεν υπάρχουν προβλήματα συμφόρησης στη δρομολόγηση. Αυτό δείχνει ότι και οι δύο προσεγγίσεις είναι βιώσιμες, αν και η επιλογή των κατάλληλων επιπέδων θα πρέπει να βασίζεται στην επίδραση στις vias και στην κατανάλωση ισχύος. Πειραματικά έγιναν και δοκιμές για δρομολόγηση σε 2 μόλις στρωματά μετάλλου (M9-M10) και παρακάτω φαίνεται η μεγάλη διαφορά.

Metal	Length (um)	Vias
Metal1 (1H)	0	42423
Metal2 (2V)	0	42423
Metal3 (3H)	0	42423
Metal4 (4V)	0	42423
Metal5 (5H)	0	42423
Metal6 (6V)	0	42423
Metal7 (7H)	0	42423
Metal8 (8V)	0	42423
Metal9 (9H)	108588	70468
Metal10 (10V)	103316	0
Metal11 (11H)	0	0
Total	211905	409852

Total half perimeter of net bounding box: 227097um
Total length: 211905um, number of vias: 409852
Total eGR-routed clock nets wire length: 7189um, number of vias: 19502

```

>>> reportCongestion -hotSpot
+-----+-----+
|       | max hotspot | total hotspot |
+-----+-----+
| normalized |     864.22 |     864.67 |
+-----+-----+
Spot Analysis: normalized max congestion hotspot area = 864.22, normalized ns)
top 1 congestion hotspot bounding boxes and scores of normalized hotspot
+-----+-----+
| top | hotspot bbox | hotspot score |
+-----+-----+
| 1 |      15.00    | 15.01   233.88  227.05 | 864.67 |
+-----+-----+

```

Εικόνα 1.20 : Βήμα 13 Μ (9)-Μ (10) Πόροι και Congestion Report.

Το συνολικό μήκος των διασυνδέσεων είναι 211905 μμ, ενώ ο αριθμός των vias έχει αυξηθεί δραματικά στις 408952, γεγονός που υποδηλώνει έντονη χρήση μεταβάσεων μεταξύ των επιπέδων μετάλλου. Η δρομολόγηση του ρολογιού έχει συνολικό μήκος 17810 μμ και περιλαμβάνει 15052 vias, κάτι που μπορεί να επηρεάσει την καθυστέρηση του σήματος χρονισμού. Η συμφόρηση είναι πλέον εμφανής, με overflow μετά το Early Global Route να φτάνει το 10.86% οριζόντια και το 15.72% κάθετα. Φαίνεται ότι η μέγιστη κανονικοποιημένη περιοχή συμφόρησης έχει τιμή 864.22, ενώ η συνολική συμφόρηση αγγίζει το 864.67. Αυτό αποδεικνύει ότι η περιορισμένη χρήση επιπέδων μετάλλου προκαλεί συγκέντρωση διασυνδέσεων σε συγκεκριμένες περιοχές, δημιουργώντας σοβαρές επιπτώσεις στη συνολική απόδοση του κυκλώματος.

Συμπερασματικά, η χρήση όλων των επιπέδων μετάλλου οδηγεί σε μικρότερο αριθμό vias, κάτι που μειώνει την κατανάλωση ισχύος και τις πιθανές καθυστερήσεις. Από την άλλη, ο περιορισμός στα ανώτερα επίπεδα αυξάνει σημαντικά τις vias, γεγονός που μπορεί να επηρεάσει την απόδοση του κυκλώματος, παρόλο που δεν δημιουργεί συμφόρηση. Το μήκος των διασυνδέσεων και η δρομολόγηση του ρολογιού δεν επηρεάζονται σημαντικά από τον περιορισμό επιπέδων. Συνεπώς, και οι δύο προσεγγίσεις είναι υλοποιήσιμες, αλλά η τελική επιλογή πρέπει να βασιστεί στην ισορροπία μεταξύ κατανάλωσης ισχύος, καθυστερήσεων και κατανομής των vias.

Βήμα 14: Στο βήμα 14, πραγματοποιείται η σύνθεση του δέντρου ρολογιού. Κατά τη διαδικασία αυτή δημιουργείται ένας ειδικός κανόνας (Non Default Rule - NDR) που ορίζει διπλό πάχος και κενά για όλα τα επίπεδα μετάλλου, ο οποίος εφαρμόζεται αποκλειστικά στο trunk του δέντρου, ενώ τα leaves χρησιμοποιούν τις προεπιλεγμένες ρυθμίσεις. Επιπλέον, ορίζονται "Halos" με τις εντολές που δίνονται από την εκφώνηση γύρω από κάθε κελί για την αποφυγή τοποθέτησης άλλων στοιχείων και την πρόληψη IR drop, και γίνεται έλεγχος παραβάσεων με την κατάλληλη εντολή. Τέλος, καθορίζονται στόχοι για τη στρέβλωση του ρολογιού και τον μέγιστο ρυθμό μετάβασης, και εξάγονται αναφορές για το slack, την ισχύ και την επιφάνεια μετά τη βελτιστοποίηση του δέντρου.

Δημιουργία NDR κανόνα με όνομα **2W_2S**:

```
add_ndr -width {Metal1 0.12 Metal2 0.16 Metal3 0.16 Metal4 0.16 Metal5 0.16 Metal6 0.16 Metal7 0.16 Metal8 0.16 Metal9 0.16 Metal10 0.44 Metal11 0.44 } -spacing {Metal1 0.12 Metal2 0.14 Metal3 0.14 Metal4 0.14 Metal5 0.14 Metal6 0.14 Metal7 0.14 Metal8 0.14 Metal9 0.14 Metal10 0.4 Metal11 0.4 } -name 2W_2S
```

Εφαρμογή NDR κανόνα μόνο για το trunk του δέντρου με μέγιστο επίπεδο μετάλλου M9 και ελάχιστο το M7 (εύρος 3 επίπεδα μετάλλου)

```
create_route_type -top_preferred_layer 9 -bottom_preferred_layer 7 -non_default_rule 2W_2S -name t_route -preferred_routing_layer_effort high
set_ccopt_property -net_type trunk -route_type t_route
```

Επιθυμητή στρέβλωση ρολογιού 10% του T => skew = 0.5 ns και μέγιστος ρυθμός μετάβασης 1% => max_transition = 0.05 ns. **Σημείωση:** Να σημειωθεί ότι όταν χρησιμοποιούσα τον μέγιστο ρυθμό μετάβασης στο 1% το εργαλείο εμφάνιζε σφάλμα και εμφάνιζε ότι η μικρότερη τιμή που μπορεί να πάρει το target_max_trans είναι 0.055. Για τις επόμενες ασκήσεις χρησιμοποιήθηκε αυτή η τιμή καθώς εμφανιζόταν ανεξαρτήτως της τιμής της περιόδου του ρολογιού (πχ. Άσκηση 4).

```
set_ccopt_property target_skew 0.5
set_ccopt_property target_max_trans 0.055
```

Ορισμός για τα leaves του δέντρου με μέγιστο επίπεδο μετάλλου M9 και ελάχιστο το M7 (εύρος 3 επίπεδα μετάλλου) με τις προκαθορισμένες μετρήσεις.

```
create_route_type -top_preferred_layer 9 -bottom_preferred_layer 7 -name l_route -preferred_routing_layer_effort high
set_ccopt_property -net_type leaf -route_type l_route
```

Επιθυμητή στρέβλωση ρολογιού 10% του T => skew = 0.5 ns και μέγιστος ρυθμός μετάβασης 1% => max_transition = 0.05 ns

```
set_ccopt_property -cell_halo_x 0.1
set_ccopt_property -cell_halo_y 0.1
```

```
create_ccopt_clock_tree_spec
/home/d/deirmentz/VLSI ASIC/Exercises/Exercise1/Clock_Step14_1.spec -file
```

```
ccopt_design
optDesign -postCTS
```

Με την παρακάτω εντολή :

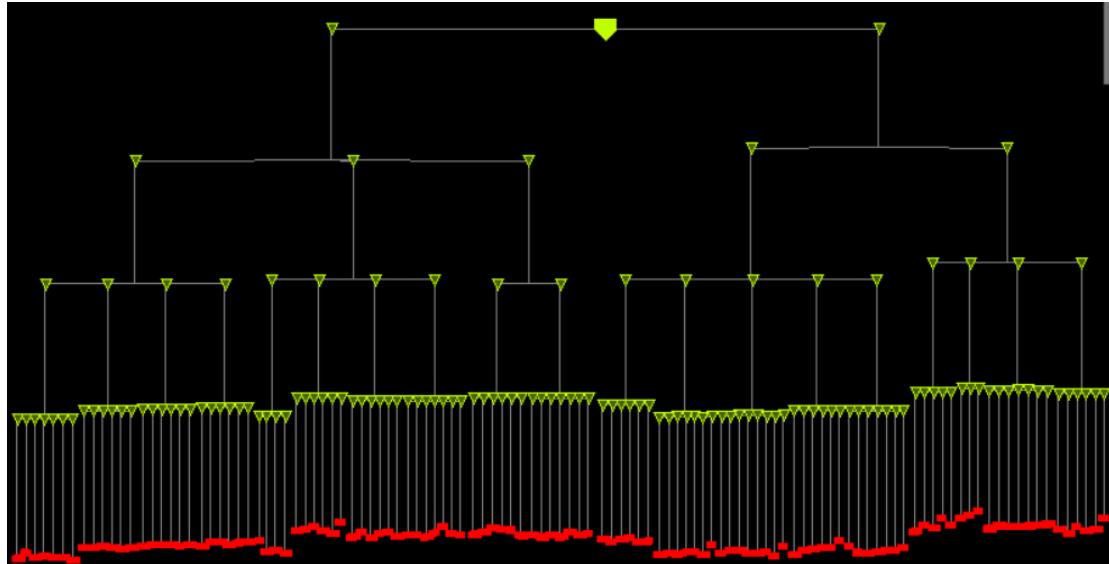
- report_ccopt_cell_halo_violations

λαμβάνεται αναφορά για τυχόν halo violations για τα κελιά. Όπως φαίνεται από την παρακάτω εικόνα δεν υπάρχουν violations.

Clock Cell Halo Rule Check in Summary		
Clock	Instances with cell_halo	Failed instances
clk	382	0
Total number of violating instances: 0		

Εικόνα 1.21: Βήμα 15 Report Halo Violations

Στην συνέχεια, με το Clock Tree Debugger οπτικοποιείται το Clock Tree και φαίνεται παρακάτω :



Εικόνα 1.22 :Βήμα 14 Clock Tree

Παρακατώ ακολουθούν τα αποτελέσματα και εικόνες από τα reports μετά το βήμα 14 :

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	5.90146731W	1.82759302W	4.07285812W	0.00101617W	0.017ns	37980.126

Πίνακας Αποτελεσμάτων

Report Area

Hinst Name	Module Name	Inst Count	Total Area
picorv32		12004	37980.126

Σχήμα 1.23 : Report Area

Report Timing

Report Power

Total Power						
Analysis View: default_emulate_view	Other End Arrival Time	Group	Internal Power	Switching Power	Leakage Power	Total Power (%)
	0.016	Total	1.82759302	4.07285812	0.00101617	30.9685% 69.0143% 0.0172%
- Setup	0.118	Sequential	0.9764	0.1578	0.0002691	1.135 19.22
+ Phase Shift	5.000	Macro	0	0	0	0 0
- Uncertainty	0.015	I0	0	0	0	0 0
= Required Time	4.883	0.000	0.6337	3.61	0.0007146	4.244 71.91
- Arrival Time	4.866	Combinational	0.2175	0.3055	3.248e-05	0.5231 8.863
= Slack Time	0.017	Clock (Combinational)	0	0	0	0 0
Clock Rise Edge		Clock (Sequential)				
+ Input Delay		0.060				
+ Drive Adjustment		0.810	Total	1.828	4.073	0.001016 5.901 100
= Beginpoint Arrival Time						

Σχήματα 1.24 και 1.25 : Report Timing and Report Power

Το κύκλωμα μετά τη σύνθεση του δέντρου ρολογιού έχει 12.004 instances και συνολική επιφάνεια 37.980,126 mm². Η αύξηση στον αριθμό των instances και την επιφάνεια οφείλεται στην εισαγωγή buffers και inverters για τη διανομή του ρολογιού.

Μετά τη σύνθεση του δέντρου ρολογιού, η συνολική power consumption αυξήθηκε στα 5.9014 W, με το switching power να αποτελεί τη μεγαλύτερη συνιστώσα, φτάνοντας το 69.0143%. Το internal power αυξήθηκε στα 1.8275 W, ενώ το leakage power παραμένει αμελητέο στα 0.001016 W. Η μεγαλύτερη αύξηση στην κατανάλωση εντοπίζεται στα combinational elements, τα οποία καταναλώνουν 4.224 W, κυρίως λόγω υψηλής switching activity. Το clock network καταναλώνει 0.5227 W, που αντιστοιχεί περίπου στο 8.82% της συνολικής power consumption. Η switching power του ρολογιού είναι 0.3069 W.

Τα αποτελέσματα είναι λογικά, καθώς η σύνθεση του clock tree αυξάνει την κατανάλωση ισχύος λόγω της προσθήκης buffers και inverters για τη σταθερή διανομή του ρολογιού. Το switching power αυξάνεται επειδή περισσότερα στοιχεία αλλάζουν κατάσταση με κάθε κύκλο, ενώ το internal power αυξάνεται λόγω της επιπλέον φόρτωσης στα νέα κυκλωματικά στοιχεία. Η leakage power παραμένει σχεδόν σταθερή, καθώς η αύξηση των instances δεν επηρεάζει σημαντικά τις στατικές απώλειες.

Μετά τη σύνθεση του δέντρου ρολογιού, το slack μειώθηκε στα 0.017 ns, γεγονός που δείχνει ότι το κύκλωμα λειτουργεί στο όριο των χρονικών περιορισμών. Το arrival time είναι 4.866 ns, ενώ ο required time είναι 4.883 ns, αφήνοντας ελάχιστο περιθώριο για πρόσθετες καθυστερήσεις. Το setup time είναι 0.118ns. Η αύξηση της καθυστέρησης οφείλεται κυρίως στη διανομή του ρολογιού, καθώς η εισαγωγή buffers και inverters επιβαρύνει τον χρονισμό. Το input delay είναι 0.750 ns, ενώ υπάρχει μια μικρή προσαρμογή στην οδήγηση (drive adjustment) της τάξης των 0.060 ns. Αυτές οι τιμές υποδηλώνουν ότι η καθυστέρηση του ρολογιού επηρεάζει άμεσα την απόδοση των κρίσιμων μονοπατιών.

Ακολουθουν τα reports για το δέντρο του clock και τα skew groups που μπορούν να δώσουν επιπλέον πληροφορίες.

Skew Group Structure:	
=====	
Skew Group	Sources
clk/default_emulate_constraint_mode	1
Constrained Sinks	Unconstrained Sinks
1961	0

Skew Group Summary:	
=====	

Timing Corner	Skew Group	ID Target	Min ID	Max ID	Avg ID	Std.Dev. ID	Skew Target Type	Skew Target	Skew
Skew window occupancy									
default_emulate_delay_corner:both.early 0.044	clk/default_emulate_constraint_mode	-	0.436	0.480	0.463	0.010	ignored	-	
default_emulate_delay_corner:both.late 100% {0.448, 0.492}	clk/default_emulate_constraint_mode	none	0.448	0.492	0.474	0.010	explicit	0.500	0.044

Σχήμα 1.26 :Βήμα 12 Report Skew groups

Clock DAG stats:				Clock DAG wire lengths:			
=====							
Cell type	Count	Area	Capacitance	Type	Wire Length		
Buffers	142	329.346	0.055	Top	0.000		
Inverters	0	0.000	0.000	Trunk	1766.105	Clock DAG capacitances:	
Integrated Clock Gates	0	0.000	0.000	Leaf	7486.780	=====	
Discrete Clock Gates	0	0.000	0.000	Total	9252.885		
Clock Logic	0	0.000	0.000	Type	Gate	Wire	Total
All	142	329.346	0.055	Top	0.000	0.000	0.000

Clock DAG sink counts:		Clock DAG hp wire lengths:					
=====							
Sink type	Count	Type	hp Wire Length				
Regular	1961	Top	0.000				
Enable Latch	0	Trunk	1395.740	Clock DAG sink capacitances:			
Load Capacitance	0	Leaf	4041.880	=====			
Antenna Diode	0	Total	5437.620	Total	Average	Std. Dev.	Min
Node Sink	0			0.413	0.000	0.000	0.000
Total	1961						

```

Clock Tree Summary:
=====
Clock Tree   Clock   Bufs  Invs  Other  Max   Max   Max   Standard  Wire   Gate   Clock Tree Root
Name        Gates    Cells  Fanout Non-leaf  Leaf  Length  Source-sink  cell area  cap   cap
                Fanout   Fanout   (um)   Resistance  (um^2)   (pF)   (pF)
                (Ohms)

clk          0      142     0      0       8      20    132.52    1473.4     329.346   0.785   0.467   clk

Clock Sink Summary:
=====
Clock Tree  Explicit  Implicit  Explicit  Implicit  Explicit  Implicit  Posedge  Negedge  Memory  Enable  Non enable  Other
Name        exclude pins  exclude pins  ignore pins  ignore pins  stop pins  stop pins  Flops   Flops   Clock   Latch   Latch   Sinks
Pins        Sinks

clk          0          0          0          0          0          0          0      1961     0      0      0      0      0

Summary across all clock trees:
=====
Clock   Bufs  Invs  Other  Max   Average  Max   Average  Max   Max   Standard  Wire   Gate
Gates    Clock  Non-leaf  Non-leaf  Leaf  Leaf   Length  Source-sink  cell area  cap   cap
Cells    Fanout  Fanout  Fanout   Fanout   (um)   Resistance  (um^2)   (pF)   (pF)
                (Ohms)

0      142     0      0       8      5.25926    20     16.9052    132.520    147.340    329.346   0.785   0.467

Clock Sink Summary across all clock trees:
=====
Explicit  Implicit  Explicit  Implicit  Explicit  Implicit  Posedge  Negedge  Memory  Enable  Non enable  Other
exclude pins  exclude pins  ignore pins  ignore pins  stop pins  stop pins  Flops   Flops   Clock   Latch   Latch   Sinks
Pins        Sinks

0          0          0          0          0          0          0      1961     0      0      0      0      0

Clock Tree Buffering Structure (Logical):
=====
# Buffers : 142
# Inverters : 0
Total : 142
Minimum depth : 4
Maximum depth : 4
Buffering area (um^2) : 329.346

Clock Tree Level Structure (Logical):
=====
Level  Full   Posedge  Negedge  Memory  Enable  Non enable  Other
Cycle   Flops   Flops   Flops   Clock   Latch   Latch   Sinks
Pins   Sinks   Sinks   Sinks

root    0      1961     0      0      0      0      0
Total    0      1961     0      0      0      0      0

Target and measured clock slews (in ns):
=====
Timing Corner          Worst Rising  Worst Falling  Worst Rising  Worst Falling  Leaf Slew  Leaf Slew  Trunk Slew  Trunk Slew
Leaf Slew   Leaf Slew  Trunk Slew  Trunk Slew  Target Type  Target  Target Type  Target
default_emulate_delay_corner:both.early  0.073    0.087    0.070    0.082    ignored   ignored   - 
default_emulate_delay_corner:both.late   0.074    0.087    0.070    0.082    explicit  *0.080  explicit  *0.080

```

Σχήμα 1.27 :Βήμα 12 Report Clock Trees

Μετά τη σύνθεση του clock tree, το κύκλωμα περιλαμβάνει 142 buffers και 0 inverters ή clock gates, με συνολική buffering area 322.248 μm^2 . Το clock tree depth κυμαίνεται από 8 έως 9 επίπεδα. Αυτό σημαίνει ότι η πιο σύντομη διαδρομή του ρολογιού περνάει από 8 στοιχεία, ενώ η πιο μεγάλη διαδρομή περνάει από 9. Αυτή η μικρή διακύμανση είναι θετική, καθώς δείχνει ότι η κατανομή του ρολογιού είναι σχετικά ισορροπημένη, αποφεύγοντας μεγάλες αποκλίσεις που θα μπορούσαν να οδηγήσουν σε σημαντικά skew προβλήματα.

Όσον αφορά τη διαδρομή δρομολόγησης του ρολογιού, το συνολικό μήκος των καλωδιώσεων είναι 7225.788 μm . Από αυτό, το trunk, δηλαδή το κύριο μονοπάτι του ρολογιού πριν από τις διακλαδώσεις, έχει μήκος 1766.808 μm , ενώ τα leaf branches, δηλαδή οι διακλαδώσεις προς τα sinks, έχουν μήκος 5458.980 μm . Η μεγαλύτερη αναλογία μήκους στα leaf branches δείχνει ότι το ρολόι κατανέμεται σε μεγάλη κλίμακα μέσα στο κύκλωμα, με πολλές μικρότερες διαδρομές προς τα επιμέρους sinks.

Η συνολική χωρητικότητα του ρολογιού ανέρχεται σε 1.268 pF, εκ των οποίων το trunk συμβάλλει με 0.394 pF και τα leaf branches με 0.879 pF. Η διαφορά αυτή υποδηλώνει ότι το κύριο φορτίο βρίσκεται στα sinks, κάτι που είναι φυσιολογικό για μεγάλα κυκλώματα με πολλά στοιχεία που πρέπει να συγχρονιστούν.

Τέλος, η ανάλυση του slew, δηλαδή του μέγιστου ρυθμού μετάβασης του σήματος του ρολογιού, δείχνει ότι δεν υπάρχουν παραβιάσει. Το γεγονός ότι το κύκλωμα τηρεί τα όρια slew σημαίνει ότι οι μεταβάσεις του σήματος του ρολογιού είναι επαρκώς γρήγορες, αποφεύγοντας προβλήματα όπως αυξημένη κατανάλωση ενέργειας ή καθυστερήσεις στον χρονισμό.

Ακολουθούν οι απαντήσεις στις ερωτήσεις του βήματος 14:

- **Πόσοι buffers ρολογιού χρησιμοποιούνται;**

Συνολικά χρησιμοποιούνται **142 buffers** (CLKBUFX4, CLKBUFX3, CLKBUFX2, BUFX2).

- **Πόσα skew groups υπάρχουν στο design;**

Το **skew group** είναι μια ομάδα από **clock paths** που μοιράζονται την ίδια πηγή ρολογιού (clock source) και έχουν **παρόμοιους χρονικούς περιορισμούς** (timing constraints). Ουσιαστικά, βιοθούν στην ομαδοποίηση των κυκλωμάτων που εξαρτώνται από την ίδια διαδρομή ρολογιού, ώστε το **clock skew** (δηλαδή η διαφορά στον χρόνο άφιξης του ρολογιού μεταξύ διαφορετικών στοιχείων) να παραμένει υπό έλεγχο.

Υπάρχει **1 skew group**, το οποίο αναφέρεται ως **clk**, με **1961 constrained sinks** και **0 unconstrained sinks**.

- **Ικανοποιούνται ο στόχος για τη στρέβλωση και το μέγιστο ρυθμό μετάβασης που θέσαμε;**

Ναι, το slew βρίσκεται εντός των προδιαγραφών, χωρίς να σημειώνονται παραβιάσεις. Αυτό δείχνει ότι το **clock tree** είναι **σταθερό** και καλά **ισορροπημένο**.

- **Ποιο είναι το μέγιστο και το ελάχιστο βάθος του δέντρου ρολογιού;**

- **Ελάχιστο βάθος:** 8
- **Μέγιστο βάθος:** 9

- **Ποιο είναι το μήκος δρομολόγησης για το trunk και ποιο για τα leaves;**

- **Trunk wire length:** 1766.808 μμ
- **Leaf wire length:** 5458.980 μμ

Βήμα 15: Στο βήμα 15, εκτελείται η πλήρης δρομολόγηση του κυκλώματος, χρησιμοποιώντας συγκεκριμένες ρυθμίσεις όπως Fix Antenna, SI Driven και Timing Driven με effort 5, και Medium Effort για την βελτιστοποίηση των vias. Μετά την ολοκλήρωση της δρομολόγησης, εξάγονται αναφορές που περιέχουν δεδομένα για το slack, την επιφάνεια και την κατανάλωση ισχύος, τα οποία παρουσιάζονται σε πίνακα για περαιτέρω ανάλυση.

Ακολουθουν τα στιγμιότυπα και ο πίνακας αποτελεσμάτων για την άσκηση 1

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	5.59116899W	1.82927033W	3.76088249W	0.00101617W	0.439ns	37980.126

Πίνακας Αποτελεσμάτων

Report Area

Hinst Name	Module Name	Inst Count	Total Area
picorv32		12004	37980.126

Σχήμα 1.28 : Report Area

Report Timing

```
Analysis View: default_emulate_view
Other End Arrival Time      0.000
- External Delay             0.750
+ Phase Shift                5.000
- Uncertainty                 0.015
= Required Time              4.235
- Arrival Time               3.796
= Slack Time                 0.439
    Clock Rise Edge           0.000
    + Input Delay              0.750
    + Drive Adjustment          0.039
= Beginpoint Arrival Time   0.789
```

Report Power

Total Power					
Total Internal Power:	1.82927033	32.7171%			
Total Switching Power:	3.76088249	67.2647%			
Total Leakage Power:	0.00101617	0.0182%			
Total Power:	5.59116899				
Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
Sequential	0.9763	0.1107	0.0002691	1.087	19.45
Macro	0	0	0	0	0
IO	0	0	0	0	0
Combinational	0.6355	3.304	0.0007146	3.94	70.46
Clock (Combinational)	0.2175	0.3466	3.248e-05	0.5641	10.09
Clock (Sequential)	0	0	0	0	0
Total	1.829	3.761	0.001016	5.591	100

Σχήματα 1.29 και 1.30 : Report Timing and Report Power

Η συνολική ισχύς ανέρχεται στα 5.591 W, με το μεγαλύτερο ποσοστό να προέρχεται από την ισχύ μεταγωγής (3.76 W), ενώ η εσωτερική ισχύς φτάνει τα 1.829 W. Η ισχύς διαφοροής είναι πολύ χαμηλή, μόλις 0.001 W, γεγονός που δείχνει ότι η τεχνολογία κατασκευής έχει ικανοποιητική απόδοση όσον αφορά τις διαφορές. Το slack είναι 0.439 ns, το οποίο σημαίνει ότι υπάρχει διαθέσιμο χρονικό περιθώριο πριν από την παραβίαση χρονισμού, υποδεικνύοντας ότι το κύκλωμα είναι ασφαλές χρονικά.

Βήμα 16 : Το τελευταίο στάδιο περιλαμβάνει τον έλεγχο του φυσικού σχεδίου για παραβιάσεις σχεδιαστικών κανόνων (DRC). Αν εντοπιστούν προβλήματα, μπορούν να διορθωθούν είτε με ecoRoute – fix_drc. Στο τέλος, προστίθενται filling cells για τη συμπλήρωση των κενών μεταξύ των κελιών και την εξασφάλιση της πυκνότητας μετάλλου που απαιτείται.

```
VERIFY DRC ..... Starting Verification
VERIFY DRC ..... Initializing
VERIFY DRC ..... Deleting Existing Violations
VERIFY DRC ..... Creating Sub-Areas
VERIFY DRC ..... Using new threading
VERIFY DRC ..... Sub-Area: {0.000 0.000 77.760 76.800} 1 of 9
VERIFY DRC ..... Sub-Area : 1 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {77.760 0.000 155.520 76.800} 2 of 9
VERIFY DRC ..... Sub-Area : 2 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {155.520 0.000 232.800 76.800} 3 of 9
VERIFY DRC ..... Sub-Area : 3 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {0.000 76.800 77.760 153.600} 4 of 9
VERIFY DRC ..... Sub-Area : 4 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {77.760 76.800 155.520 153.600} 5 of 9
VERIFY DRC ..... Sub-Area : 5 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {155.520 76.800 232.800 153.600} 6 of 9
VERIFY DRC ..... Sub-Area : 6 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {0.000 153.600 77.760 230.090} 7 of 9
VERIFY DRC ..... Sub-Area : 7 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {77.760 153.600 155.520 230.090} 8 of 9
VERIFY DRC ..... Sub-Area : 8 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {155.520 153.600 232.800 230.090} 9 of 9
VERIFY DRC ..... Sub-Area : 9 complete 0 Viols.

Verification Complete : 0 Viols.
```

Εικόνα 1.31: Βήμα 16 DRC Verification

Μετα από την εκτέλεση του DRC verification παρατηρείται ότι δεν υπάρχουν violations των κανόνων DRC, κάτι που είναι ιδιαίτερα θετικό. Να σημειωθεί εδώ βέβαια ότι η άσκηση 1 επαναλήφθηκε αρκετές φορές και τις περισσότερες από αυτές υπήρχαν κάποια violations. Οι παραβιάσεις που εντοπίστηκαν αφορούσαν κυρίως ζητήματα spacing και short connections. Οι παραβάσεις στο spacing υποδεικνύουν

ότι κάποια στοιχεία του κυκλώματος είναι τοποθετημένα πολύ κοντά το ένα στο άλλο. Οι short connections δείχνουν ότι υπάρχουν ανεπιθύμητες συνδέσεις μεταξύ διαφορετικών στοιχείων.

Αφού, μετα από κάποιες υλοποιήσεις εν-τέλει , η συγκεκριμένη δεν είχε παραβιάσεις DRC, η άσκηση μπορεί να προχωρήσει με το στάδιο του verify connectivity.

```
innovus 47> VERIFY_CONNECTIVITY use new engine.

***** Start: VERIFY CONNECTIVITY *****
Start Time: Sat Feb 22 05:53:25 2025

Design Name: picorv32
Database Units: 2000
Design Boundary: (0.0000, 0.0000) (246.8000, 242.0600)
Error Limit = 1000; Warning Limit = 50
Check all nets
**** 05:53:26 **** Processed 5000 nets.
**** 05:53:26 **** Processed 10000 nets.

Begin Summary
  Found no problems or warnings.
End Summary

End Time: Sat Feb 22 05:53:26 2025
Time Elapsed: 0:00:01.0

***** End: VERIFY CONNECTIVITY *****
  Verification Complete : 0 Viols. 0 Wrngs.
  (CPU Time: 0:00:00.8 MEM: 0.000M)
```

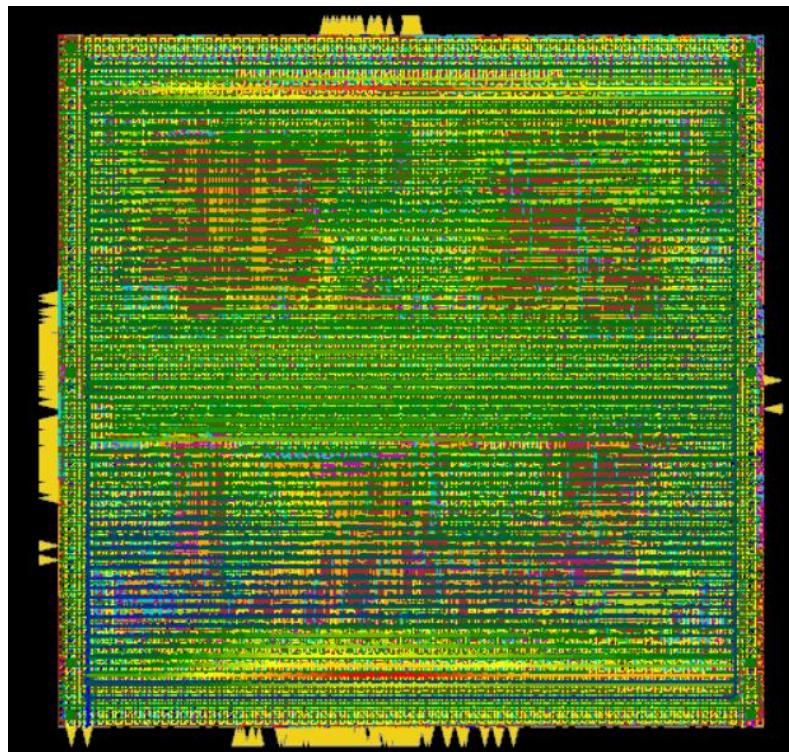
Εικόνα 1.32: Βήμα 16 Connectivity Verification

Η διαδικασία επαλήθευσης συνδεσιμότητας ολοκληρώθηκε με επιτυχία, χωρίς την ανίχνευση κανενός σφάλματος ή προειδοποίησης. Αυτό σημαίνει ότι όλα τα δίκτυα (nets) του κυκλώματος είναι σωστά συνδεδεμένα και δεν υπάρχουν προβλήματα που να επηρεάζουν τη λειτουργία του κυκλώματος από πλευράς συνδεσιμότητας. Δεν απαιτούνται ενέργειες διόρθωσης σε αυτό το στάδιο. Μετά και το verify connectivity ακολουθεί το Metal filling οπου το ελάχιστο όριο πυκνότητας τίθεται στο 10% για όλα τα μέταλλα όπως φαίνεται από το παρακάτω screenshot.

Layer	Window Size		Step Size		Metal Density %			
	X	Y	X	Y	Min	Pref	Max	Ext
Metal1(1)	120.000	120.000	60.000	60.000	10.00	35.00	65.00	35.00
Metal2(2)	120.000	120.000	60.000	60.000	10.00	35.00	65.00	35.00
Metal3(3)	120.000	120.000	60.000	60.000	10.00	35.00	65.00	35.00
Metal4(4)	120.000	120.000	60.000	60.000	10.00	35.00	65.00	35.00
Metal5(5)	120.000	120.000	60.000	60.000	10.00	35.00	65.00	35.00
Metal6(6)	120.000	120.000	60.000	60.000	10.00	35.00	65.00	35.00
Metal7(7)	120.000	120.000	60.000	60.000	10.00	35.00	65.00	35.00
Metal8(8)	120.000	120.000	60.000	60.000	10.00	35.00	65.00	35.00
Metal9(9)	120.000	120.000	60.000	60.000	10.00	35.00	65.00	35.00
Metal10(10)	120.000	120.000	60.000	60.000	10.00	35.00	65.00	35.00
Metal11(11)								

Εικόνα 1.33: Βήμα 16 Metall Fill Setup

Τέλος ακολουθεί η τελική εικόνα του chip όπως φαίνεται από το innovus :



Εικόνα 1.34: Τελική εικόνα chip

Άσκηση 2

Η Άσκηση 2 επικεντρώνεται στη βελτιστοποίηση της ισχύος διαρροής (leakage power) του κυκλώματος, διατηρώντας παράλληλα την απόδοσή του. Η διαδικασία που ακολουθείται είναι παρόμοια με την Άσκηση 1, εκτελώντας τα βήματα 1-15, με τη διαφορά ότι ο βασικός στόχος είναι η μείωση της κατανάλωσης ισχύος διαρροής.

Για να επιτευχθεί αυτό, απαιτείται η επιλογή κατάλληλων τεχνικών χαμηλής ισχύος, όπως η χρήση κελιών χαμηλής διαρροής (low-leakage standard cells), η εφαρμογή clock gating για τη μείωση της αχρησιμοποίητης δυναμικής ισχύος και η προσαρμογή των τάσεων λειτουργίας.

Ιδιαίτερη σημασία έχουν τα βήματα 6, 11, 14 και 15, καθώς σε αυτά παρατηρούνται οι πιο κρίσιμες διαφορές. Στο βήμα 6, η χρήση κελιών χαμηλής διαρροής μπορεί να οδηγήσει σε μείωση της στατικής ισχύος, αλλά ενδέχεται να επηρεάσει την ταχύτητα λειτουργίας του κυκλώματος. Στο βήμα 11, η τροποποίηση του power planning μπορεί να έχει επιπτώσεις στην κατανομή της ισχύος και τη σταθερότητα του σχεδιασμού. Στο βήμα 14, η διαδικασία σύνθεσης του δέντρου ρολογιού ενδέχεται να διαφοροποιηθεί λόγω της βελτιστοποίησης της ισχύος, ενώ στο βήμα 15, η τελική δρομολόγηση μπορεί να εμφανίσει αλλαγές στην πυκνότητα των μεταλλικών συνδέσεων και στη συνολική επιφάνεια του κυκλώματος.

Βήματα 1-6

Στην παρούσα άσκηση ζητείται από την εκφώνηση να βελτιστοποιηθεί η ισχύς και συγκεκριμένα η ισχύς διαρροής (leakage power) επομένως θα χρειαστούν κάποιες τροποποιήσεις στις εντολές τόσο στο Genus όσο και στο εργαλείο Innovus. Σε 1^η φάση στο Genus προστίθενται κάποιες εντολές όπως περιγράφονται στο εγχειρίδιο ως εξής :

```
# Enable power optimization.

set_db design_power_effort high

set_db opt_leakage_to_dynamic_ratio 1.0
```

Η ανάλυση των αποτελεσμάτων περιλαμβάνει τη σύγκριση της συνολικής επιφάνειας που καταλαμβάνει το κύκλωμα, τον αριθμό των μεταλλικών επιπέδων που απαιτούνται για τη δρομολόγηση, καθώς και την πιθανή επίδραση στην απόδοση και την κατανάλωση ισχύος. Παρακατώ, στον πίνακα που ακολουθεί παρατίθενται τα αποτελέσματα και οι αντίστοιχες παρατηρήσεις σε σχέση με την άσκηση 1.

	Total Power	Internal Power	Switching Power	Leakage Power	Gates	Slack	Area
1 ^η Άσκηση	5.3812e-03W	1.6597e-03W	3.72066e-03 W	8.46420e-07W	10302	0ns	48527.595
2 ^η Άσκηση	4.7609e-03W	1.2956e-03W	3.46415e-03W	7.35587e-07W	11293	0ns	52005.151
Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Αυξήθηκε	Ίδιο	Αυξήθηκε

Πίνακας Αποτελεσμάτων 2.1

Στο στάδιο της σύνθεσης, η συνολική κατανάλωση ισχύος μειώθηκε, καθώς και η διαρροή, λόγω της χρήσης τεχνικών χαμηλής κατανάλωσης. Η εσωτερική και η δυναμική ισχύς επίσης μειώθηκαν, δείχνοντας πιο αποδοτική χρήση των κελιών. Ωστόσο, ο αριθμός των πυλών αυξήθηκε, πιθανώς λόγω της εισαγωγής επιπλέον στοιχείων για τη μείωση της διαρροής. Η επιφάνεια του κυκλώματος επίσης αυξήθηκε, κάτι αναμενόμενο λόγω των επιπλέον κελιών χαμηλής διαρροής. Παρά τις αλλαγές, το slack παρέμεινε σταθερό, διατηρώντας την επίδοση του κυκλώματος.

Report Area

Report Gates

Type	Instances	Area	Area %
sequential	1961	15333.570	41.6
inverter	727	584.478	1.6
buffer	400	2211.030	6.0
logic	8205	18745.362	50.8
physical_cells	0	0.000	0.0
total	11293	36874.440	100.0

Σχήμα 2.1 και 2.2 : Report Area και Report Gates

Report Timing

Report Power

Path Groups: {clk}	Category	Leakage	Internal	Switching	Total	Row%
Analysis View: Analysis_View_Exer1						
Other End Arrival Time	memory	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
- Setup	register	2.11529e-07	8.33264e-04	1.29358e-04	9.62834e-04	20.22%
+ Phase Shift	latch	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
- Uncertainty	logic	5.24058e-07	4.62723e-04	3.33479e-03	3.79804e-03	79.78%
= Required Time	bbox	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
- Arrival Time	clock	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
= Slack Time	pad	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
Clock Rise Edge	pm	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
+ Clock Network Latency (Ideal)	Subtotal	7.35587e-07	1.29599e-03	3.46415e-03	4.76087e-03	100.00%
= Beginpoint Arrival Time	Percentage	0.02%	27.22%	72.76%	100.00%	100.00%

Σχήματα 2.3 και 2.4: Report Timing and Report Power

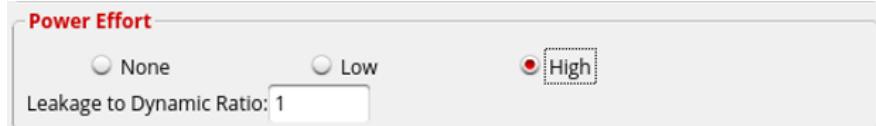
Report QoR

Clock Period				Area	
<hr/>				<hr/>	
clk 5000.0				Cell Area	36874.440
				Physical Cell Area	0.000
				Total Cell Area (Cell+Physical)	36874.440
				Net Area	15130.711
				Total Area (Cell+Physical+Net)	52005.151
Cost Critical Violating				Power	
Group	Path Slack	TNS	Paths	Leakage Power	735.587 nW
clk	0.3	0.0	0	Dynamic Power	4760135.374 nW
default	No paths	0.0		Total Power	4760870.962 nW
<hr/>				Max Fanout	1961 (clk)
				Min Fanout	0 (genblk1.pcp�_mul_active[0])
				Average Fanout	2.6
				Terms to net ratio	3.6601
				Terms to instance ratio	3.8876
				Runtime	673.1731289999996 seconds
				Elapsed Runtime	675 seconds
				Genus peak memory usage	1428.34
				Innovus peak memory usage	no_value
				Hostname	cn90.it.auth.gr

Σχήμα 2.5 : Report Quality of Results

Bήματα 7-11

Τα βήματα 7-11 είναι παρόμοια με την άσκηση 1 με εξαίρεση ότι στο βήμα 11 της χωροθετησης πρέπει να γίνει η αλλαγή στο power effort (high) που φαίνεται στο παρακάτω screenshot.



Εικόνα 2.6: Power Effort

Ακολουθεί το placement και εξάγονται αναφορές για area,power και timing οπου παρουσιάζονται στον πίνακα συγκριτικά με της ασκησης 1 καθώς και τα αντίστοιχα screenshots.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	3.79670990W	1.52660433W	2.26925081W	0.00085476W	0.019ns	34631.604
2 ^η Άσκηση	3.46628889W	1.20922301W	2.25638770W	0.00067819W	0.007ns	37684.638
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Αυξήθηκε

Πίνακας 2.2

Report Area

Hinst Name	Module Name	Inst Count	Total Area
picorv32		12217	37684.638

Σχήμα 2.7 : Report Area

Report Timing

Path Groups: {clk}		Report Power					
Analysis View: Analysis_View_Exer1		<hr/>					
Other End Arrival Time	0.000	Total Power					
- Setup	0.128	Total Internal Power:	1.20922301	34.8852%			
+ Phase Shift	5.000	Total Switching Power:	2.25638770	65.0952%			
- Uncertainty	0.015	Total Leakage Power:	0.00067819	0.0196%			
= Required Time	4.857	Total Power:	3.46628889				
- Arrival Time	4.850	<hr/>					
= Slack Time	0.007	Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
Clock Rise Edge	0.000	Sequential	0.7783	0.05548	0.0002048	0.834	24.06
+ Clock Network Latency (Ideal)	0.000	Macro	0	0	0	0	0
= Beginpoint Arrival Time	0.000	IO	0	0	0	0	0
		Combinational	0.4309	2.281	0.0004734	2.632	75.94
		Clock (Combinational)	0	0	0	0	0
		Clock (Sequential)	0	0	0	0	0
		Total	1.209	2.256	0.0006782	3.466	100

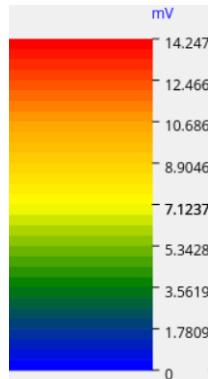
Σχήματα 2.8 και 2.9 : Report Timing and Report Power

Μετά το placement, η συνολική κατανάλωση ισχύος μειώθηκε, κάτι που ήταν αναμενόμενο, καθώς η Άσκηση 2 στοχεύει στη μείωση της διαρροής. Η εσωτερική ισχύς μειώθηκε λόγω της επιλογής κελιών χαμηλής διαρροής, που έχουν μικρότερη κατανάλωση σε αδράνεια. Η δυναμική ισχύς παρουσίασε μικρή διαφορά, κάτι που είναι λογικό, καθώς εξαρτάται από τη μετάβαση σημάτων και όχι τόσο από τα χαρακτηριστικά των κελιών. Η μείωση της διαρροής είναι αποτέλεσμα της χρήσης πιο αποδοτικών κελιών. Η επιφάνεια αυξήθηκε, κάτι που είναι αναμενόμενο, αφού τα κελιά χαμηλής διαρροής συχνά απαιτούν περισσότερο χώρο ή έχουν διαφορετική χωροταξική τοποθέτηση. Το slack μειώθηκε ελαφρώς, γεγονός που δείχνει ότι η χρονική συμπεριφορά του κυκλώματος επηρεάστηκε, αλλά παραμένει θετική.

Βήματα 12-14

Ακολουθουν τα βήματα του early power analysis και του early global route που είναι προαιρετικά και προστίθενται συνοπτικά για λογούς πληρότητας. (Παρατηρείται αύξηση και στο IR drop).

Power Rail Analysis



Σχήμα 2.10 : Power Graph

Μετά το επόμενο βήμα είναι η σύνθεση του κυκλώματος διανομής του ρολογιού οπου γίνεται με τις εντολές που περιεγράφηκαν στην άσκηση 1. Έπειτα, εξάγονται αναφορές για area,power και timing οπου παρουσιάζονται στον πίνακα συγκριτικά με της ασκησης 1 καθώς και τα αντίστοιχα screenshots.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	5.90146731W	1.82759302W	4.07285812W	0.00101617W	0.017ns	37980.126
2 ^η Άσκηση	3. 8817773W	1.40701993W	2.47404529W	0. 00071213W	0.003ns	38311.182
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Αυξήθηκε

Πίνακας Αποτελεσμάτων σε σύγκριση με άσκηση 1

```

Clock Cell Halo Rule Check in Summary
=====
Clock      Instances with cell_halo      Failed instances
clk          301                      0
-----
Total number of violating instances: 0

```

Σχήμα 2.11: Report Halo Violations

Report Area

Hinst Name	Module Name	Inst Count	Total Area
picorv32		12452	38311.182

Σχήμα 2.12 : Report Area

Report Timing

```

Path Groups: {clk}
Analysis View: default_emulate_view
Other End Arrival Time -0.010
- Setup 0.147
+ Phase Shift 5.000
- Uncertainty 0.015
= Required Time 4.828
- Arrival Time 4.824
= Slack Time 0.003
    Clock Rise Edge 0.000
        + Input Delay 0.750
        + Drive Adjustment 0.014
    = Beginpoint Arrival Time 0.764

```

Report Power

Total Power					
Total Internal Power:	1.40701993	36.2468%	Total Switching Power:	2.47404529	63.7349%
Total Leakage Power:	0.00071213	0.0183%	Total Power:	3.88177734	
Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
Sequential	0.7785	0.057	0.0002048	0.8357	21.53
Macro	0	0	0	0	0
IO	0	0	0	0	0
Combinational	0.4337	2.196	0.0004778	2.63	67.76
Clock (Combinational)	0.1949	0.2209	2.951e-05	0.4158	10.71
Clock (Sequential)	0	0	0	0	0
Total	1.407	2.474	0.0007121	3.882	100

Σχήματα 2.13 και 2.14 : Report Timing and Report Power

Μετά τη σύνθεση του κυκλώματος διανομής του ρολογιού, η συνολική κατανάλωση ισχύος μειώθηκε σημαντικά, κυρίως λόγω της μείωσης της εσωτερικής, δυναμικής και διαρροής ισχύος. Η μείωση της δυναμικής ισχύος μπορεί να οφείλεται σε πιο αποδοτικό δίκτυο ρολογιού, με λιγότερες μεταγωγές και καλύτερη δρομολόγηση των σημάτων. Η διαρροή ισχύος μειώθηκε περαιτέρω, κάτι που ήταν και ο βασικός στόχος της Άσκησης 2.

Ωστόσο, η επιφάνεια του κυκλώματος αυξήθηκε ελαφρώς, κάτι που είναι λογικό, καθώς η βελτιστοποίηση της ισχύος απαιτεί επιπλέον buffers ή διαφορετική τοποθέτηση των κελιών. Το slack μειώθηκε, δείχνοντας μια μικρή αρνητική επίδραση στον χρονισμό, αλλά παραμένει θετικό, διατηρώντας τη σωστή λειτουργία του κυκλώματος. Τα αποτελέσματα είναι αναμενόμενα, καθώς η βελτιστοποίηση της διαρροής έχει το κόστος της αυξημένης επιφάνειας και μικρών διαφορών στον χρονισμό.

Βήματα 15

Αφού εκτελεστεί και το βήμα 15 παρουσιάζονται στιγμιότυπα από τα reports και ο συγκριτικός πίνακας αποτελεσμάτων.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	5.59116899W	1.82927033W	3.76088249W	0.00101617W	0.439ns	37980.126
2 ^η Άσκηση	5.11120431W	1.40722433W	3.70327082W	0.00070916W	0.04ns	38259.198
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Αυξήθηκε

Πίνακας Αποτελεσμάτων σε σύγκριση με άσκηση 1

Report Area

Hinst Name	Module Name	Inst Count	Total Area
picorv32		12441	38259.198

Σχήμα 2.15 : Report Area

Report Timing		Report Power					
		Total Power					
		Total Internal Power:	1.40722433	Total Switching Power:	3.70327082	Total Leakage Power:	0.00070916
							72.4540%
		Total Power:	5.11120431				0.0139%
Path Groups: {clk}							
Analysis View: Analysis_View_Exer1							
Other End Arrival Time	-0.022	Group					
- Setup	0.152	Sequential	0.7784	Internal Power	0.08614	Switching Power	0.0002048
+ Phase Shift	5.000	Macro	0		0		0.8647
- Uncertainty	0.015	IO	0		0		16.92
= Required Time	4.810	Combinational	0.4317	Leakage Power	0.0004746	Total Power	0
- Arrival Time	4.770	Clock (Combinational)	0.1971		3.709	Percentage (%)	0
= Slack Time	0.040	Clock (Sequential)	0		0.5372		72.57
Clock Rise Edge	0.000	Total	1.407		0		10.51
+ Clock Network Latency (Prop)	-0.035				0		0
= Beginpoint Arrival Time	-0.035						100

Σχήματα 2.16 και 2.17 : Report Timing and Report Power

Μετά το τελικό στάδιο του post-route, η συνολική κατανάλωση ισχύος μειώθηκε, όπως και η εσωτερική, η δυναμική και η διαρροή ισχύς, επιβεβαιώνοντας ότι οι τεχνικές χαμηλής κατανάλωσης συνεχίζουν να έχουν θετική επίδραση. Η μείωση της δυναμικής ισχύος πιθανότατα οφείλεται σε πιο αποδοτική δρομολόγηση, ενώ η ισχύς διαρροής μειώθηκε. Η επιφάνεια αυξήθηκε ελαφρώς, κάτι αναμενόμενο λόγω των επιπλέον buffers ή των αλλαγών στην τοποθέτηση των κελιών. Το slack μειώθηκε σημαντικά, από 0.439ns σε 0.04ns.

Συνολικά, η Άσκηση 2 πέτυχε σημαντική μείωση της συνολικής κατανάλωσης ισχύος σε όλα τα στάδια, κυρίως μέσω της μείωσης της εσωτερικής και της διαρροής ισχύος, ενώ η δυναμική ισχύς παρουσίασε μικρότερη μεταβολή. Αυτό ήταν αναμενόμενο, καθώς οι επιπλέον τεχνικές βελτιστοποίησης στόχευαν στη μείωση της διαρροής, γεγονός που επιβεβαιώνεται από τη σταθερή μείωση της σε κάθε στάδιο. Παράλληλα, η επιφάνεια αυξήθηκε σε όλα τα στάδια. Το slack μειώθηκε σταδιακά, αλλά παρέμεινε θετικό, δείχνοντας ότι η χρονική λειτουργία του κυκλώματος δεν επηρεάστηκε δραματικά.

Γενικά, τα αποτελέσματα είναι λογικά και συνάδουν με τις τεχνικές που εφαρμόστηκαν. Η μείωση της ισχύος διαρροής επιτεύχθηκε με το αναμενόμενο κόστος σε επιφάνεια και μικρές επιπτώσεις στη χρονική συμπεριφορά.

Άσκηση 3

Στην Άσκηση 3, ζητείται η εφαρμογή διαφορετικού ποσοστού χρήσης του πυρήνα, αυξάνοντας το utilization από 75% σε 85%. Σκοπός είναι να αναλυθούν οι επιπτώσεις αυτής της αλλαγής στην επιφάνεια και την πολυπλοκότητα του κυκλώματος.

Η αύξηση του ποσοστού χρήσης του πυρήνα συνεπάγεται ότι τα στοιχεία του κυκλώματος θα τοποθετηθούν σε μικρότερο διαθέσιμο χώρο, οδηγώντας σε μεγαλύτερη πυκνότητα. Αυτό μπορεί να επηρεάσει τη δρομολόγηση των σημάτων, αυξάνοντας την πιθανότητα συμφόρησης (congestion) και μειώνοντας τα περιθώρια για την τοποθέτηση των vias και των μεταλλικών συνδέσεων. Επιπλέον, η

υψηλότερη πυκνότητα μπορεί να προκαλέσει αύξηση στις χωρητικότητες των διαδρομών του σήματος, με αποτέλεσμα μεγαλύτερες καθυστερήσεις (delays) και πιθανές παραβιάσεις χρονισμού (timing violations).

Η ανάλυση των αποτελεσμάτων περιλαμβάνει τη σύγκριση της συνολικής επιφάνειας που καταλαμβάνει το κύκλωμα, τον αριθμό των μεταλλικών επιπέδων που απαιτούνται για τη δρομολόγηση, καθώς και την πιθανή επίδραση στην απόδοση και την κατανάλωση ισχύος. Παρακατω παρατίθενται οι πίνακες όπως ζητούνται από την εκφώνηση.

Βήματα 9-11

Στο βήμα 11 γίνεται μια αποτίμηση του κυκλώματος στο στάδιο του placement και ακολουθούν στιγμιότυπα από τις αναφορές που εξάχθηκαν και ο συγκριτικός πίνακας αποτελεσμάτων με την άσκηση 1.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	3.79670990W	1.52660433W	2.26925081W	0.00085476W	0.019ns	34631.604
3 ^η Άσκηση	3.79056353W	1.52640051W	2.22331214 W	0.00085088W	0.013ns	36134.694
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Αυξήθηκε

Πίνακας 3.1: Άσκηση 3 Βήμα 9-11 Σύγκριση με άσκηση 1

Report Area

Hinst Name	Module Name	Inst Count	Total Area
picorv32		11844	36134.694

Σχήμα 3.1 : Report Area

Report Timing

```
Analysis View: default_emulate_view
Other End Arrival Time      0.000
- External Delay            0.750
+ Phase Shift               5.000
- Uncertainty                0.015
= Required Time             4.235
- Arrival Time              4.222
= Slack Time                 0.013
    Clock Rise Edge          0.000
    + Input Delay             0.750
    + Drive Adjustment        0.030
= Beginpoint Arrival Time   0.780
```

Report Power

Total Power					
Total Internal Power:	1.52640051	40.2684%	Total Switching Power:	2.26331214	59.7091%
Total Leakage Power:	0.00085088	0.0224%	Total Power:	3.79056353	
Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
Sequential	0.976	0.08512	0.0002696	1.061	28
Macro	0	0	0	0	0
IO	0	0	0	0	0
Combinational	0.5504	2.178	0.0005812	2.729	72
Clock (Combinational)	0	0	0	0	0
Clock (Sequential)	0	0	0	0	0
Total	1.526	2.263	0.0008509	3.791	100

Σχήματα 3.2 και 3.3 : Report Timing and Report Power

```
picorv32.checkPlace
#####
## No violations found ##

## Summary:
## Number of Placed Instances = 11572
## Number of Unplaced Instances = 0
## Placement Density:87.20%(35382/40574)
## Placement Density (including fixed std cells):87.20%(35382/40574)
```

Σχήμα 3.4: Check Placement

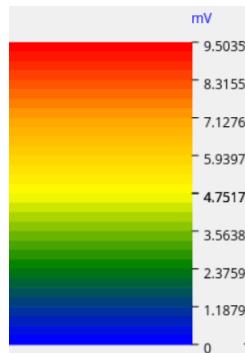
Μετά το placement, η συνολική κατανάλωση ισχύος μειώθηκε ελαφρώς, με τη δυναμική και τη διαρροία ισχύ να εμφανίζουν μικρή πτώση. Αυτό μπορεί να οφείλεται στην πιο πυκνή τοποθέτηση των κελιών, η οποία μειώνει τις αποστάσεις μεταξύ των διασυνδέσεων και κατ' επέκταση τις χωρητικές επιδράσεις που επηρεάζουν τη δυναμική ισχύ. Η εσωτερική ισχύς έμεινε σχεδόν αμετάβλητη, καθώς σχετίζεται κυρίως με τα ίδια στοιχεία του κυκλώματος.

Το slack μειώθηκε, κάτι που δείχνει ότι το κύκλωμα έχει λίγο χειρότερη χρονική συμπεριφορά μετά τη χωροθέτηση, πιθανώς λόγω μικρότερων καθυστερήσεων στις διαδρομές κρίσιμης διαδρομής ή σε κάποια απόκλιση του εργαλείου. Η επιφάνεια αυξήθηκε αισθητά, κάτι που ήταν αναμενόμενο αφού το ποσοστό χρήσης του πυρήνα αυξήθηκε από 75% σε 85%. Η μεγαλύτερη πυκνότητα των στοιχείων που φαίνεται και από το check placement μπορεί να οδηγήσει σε δυσκολότερη δρομολόγηση στα επόμενα βήματα, κάτι που θα φανεί στη συνέχεια. Τα αποτελέσματα είναι λογικά, καθώς η υψηλότερη χρήση του πυρήνα αναμενόμενα επηρεάζει την τοποθέτηση και τη συνολική απόδοση του κυκλώματος.

Βήματα 12-14

Ακολουθουν τα βήματα του early power analysis και του early global route που είναι προαιρετικά και προστίθενται συνοπτικά για λογούς πληρότητας. (Παρατηρείται μείωση και στο IR drop).

Power Rail Analysis



Σχήμα 3.5: Power Graph

Στο βήμα 14 αφού έχουμε κάνει και το Early Global Route αποτιμάμε ξανά τα χαρακτηριστικά στο στάδιο post-CTS και τα συγκρίνουμε με την άσκηση 1. Μετά το επόμενο βήμα είναι η σύνθεση του κυκλώματος διανομής του ρολογιού οπου γίνεται με τις εντολές που περιεγράφηκαν στην άσκηση 1. Έπειτα, εξάγονται αναφορές για area,power και timing οπου παρουσιάζονται στον πίνακα συγκριτικά με της ασκησης 1 καθώς και τα αντίστοιχα screenshots.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	5.90146731W	1.82759302W	4.07285812W	0.00101617W	0.017ns	37980.126
3 ^η Άσκηση	3.96412924W	1.5034072W	2.45986124W	0.00086077W	0.017ns	38311.182
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Ίδιο	Αυξήθηκε

Πίνακας 3.2

	Wirelength	Vias
1 ^η Άσκηση	205502um	71790
3 ^η Άσκηση	202816um	81829
	Μειώθηκε	Αυξήθηκε

Total length: 202816um, number of vias: 81829

Πίνακας 3.2

Παρατηρείται ότι ο αριθμός των vias στην άσκηση 2 αυξήθηκε (όπου αυξήθηκε σε 80% το ποσοστό χρήσης πυρήνα) σε σχέση με την άσκηση 1. Κάτι το οποίο είναι αναμενόμενο γιατί ο αριθμός των κελιών αυξήθηκε ενώ η επιφάνεια μειώνεται, οπότε λόγω «εμποδίων» (κυκλωμάτων ή άλλων διασυνδέσεων) δεν θα υπάρχει διαθέσιμος χώρος σε κάθε επίπεδο μετάλλου, οπότε απαιτούνται περισσότερα vias και μικρότερο wirelength.

Report Area

Hinst Name	Module Name	Inst Count	Total Area
picorv32		12452	38311.182

Σχήμα 3.6: Report Area

Report Timing		Report Power				
Path Groups: {clk}		Total Power				
Analysis View: Analysis_View_Exer1		Total Internal Power:	1.50340723	37.9253%		
Other End Arrival Time	0.000	Total Switching Power:	2.45986124	62.0530%		
- External Delay	0.750	Total Leakage Power:	0.00086077	0.0217%		
+ Phase Shift	5.000	Total Power:	3.96412924			
- Uncertainty	0.015	Group				
= Required Time	4.235	Sequential	0.8559	0.07649	0.0002935	0.9327 23.53
- Arrival Time	4.218	Macro	0	0	0	0 0
= Slack Time	0.017	IO	0	0	0	0 0
Clock Rise Edge	0.000	Combinational	0.519	2.178	0.0005477	2.698 68.06
+ Input Delay	0.750	Clock (Combinational)	0.1284	0.205	1.956e-05	0.3334 8.411
+ Drive Adjustment	0.048	Clock (Sequential)	0	0	0	0 0
= Beginpoint Arrival Time	0.798	Total	1.503	2.46	0.0008608	3.964 100

Σχήματα 3.7 και 3.8 : Report Timing and Report Power

Μετά τη σύνθεση του κυκλώματος διανομής του ρολογιού (Post-CTS), παρατηρείται σημαντική μείωση της συνολικής ισχύος, της εσωτερικής και της switching ισχύος σε σχέση με την Άσκηση 1. Αυτό πιθανώς οφείλεται στη μεγαλύτερη πυκνότητα τοποθέτησης των κελιών, η οποία μειώνει τις χωρητικές επιδράσεις και, κατά συνέπεια, την switching ισχύ. Η διαρροή ισχύος επίσης μειώθηκε, αν και σε μικρότερο βαθμό, κάτι που συνάδει με την πιο αποδοτική κατανομή των στοιχείων και τη χρήση αυξημένου ποσοστού πυρήνα.

Η επιφάνεια αυξήθηκε ελαφρώς, κάτι αναμενόμενο λόγω της μεγαλύτερης πυκνότητας των στοιχείων και της πιο απαιτητικής διανομής του ρολογιού.

Όσον αφορά το μήκος των διασυνδέσεων (wirelength), αυτό μειώθηκε, γεγονός που σημαίνει ότι η αυξημένη πυκνότητα βοήθησε στη μείωση των συνολικών αποστάσεων που διανύουν τα σήματα. Ωστόσο, ο αριθμός των vias αυξήθηκε, κάτι αναμενόμενο, καθώς με την πυκνότερη τοποθέτηση απαιτούνται περισσότερες κάθετες μεταβάσεις μεταξύ μεταλλικών επιπέδων για τη σωστή δρομολόγηση των σημάτων. Παρακατω παρατηρείται και ότι δεν υπάρχουν και σε αυτήν την άσκηση halo violations.

Clock Cell Halo Rule Check in Summary		
<hr/>		
Clock	Instances with cell_halo	Failed instances
clk	286	0
<hr/>		
Total number of violating instances: 0		

Σχήμα 3.9 : Report για halo violations

Βήμα 15

Αφού εκτελεστεί και το βήμα 15 παρουσιάζονται στιγμιότυπα από τα reports και ο συγκριτικός πίνακας αποτελεσμάτων.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	5.59116899W	1.82927033W	3.76088249W	0.00101617W	0.439ns	37980.126
3 ^η Άσκηση	4.10128919W	1.6510313W	2.4493862W	0.00087165W	0.070ns	35036.532
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε

Πίνακας 3.3

Report Area

Hinst Name	Module Name	Inst Count	Total Area
picorv32		10934	35036.532

Σχήμα 3.10 : Report Area

Report Timing

```

Path Groups: {clk}
Analysis View: default_emulate_view
Other End Arrival Time 0.000
- External Delay 0.750
+ Phase Shift 5.000
- Uncertainty 0.015
= Required Time 4.235
- Arrival Time 4.165
= Slack Time 0.070
  Clock Rise Edge 0.000
    + Input Delay 0.750
    + Drive Adjustment 0.033
  = Beginpoint Arrival Time 0.783

```

Total Power						
Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)	
Sequential	0.9751	0.08523	0.0002696	1.061	25.86	
Macro	0	0	0	0	0	
IO	0	0	0	0	0	
Combinational	0.551	2.173	0.000583	2.725	66.44	
Clock (Combinational)	0.1249	0.1909	1.906e-05	0.3159	7.701	
Clock (Sequential)	0	0	0	0	0	
Total	1.651	2.449	0.0008716	4.101	100	

Σχήματα 3.11 και 3.12 : Report Timing and Report Power

Μετά το τελικό στάδιο του post-route, η συνολική ισχύς μειώθηκε σημαντικά σε σχέση με την Άσκηση 1, κυρίως λόγω της μείωσης της switching και της εσωτερικής ισχύος. Η μείωση της switching ισχύος υποδηλώνει πιο αποδοτική δρομολόγηση των σημάτων και λιγότερες περιττές μεταβάσεις, κάτι που μπορεί να οφείλεται στην αυξημένη πυκνότητα τοποθέτησης και στη μικρότερη απόσταση μεταξύ των διασυνδέσεων. Η εσωτερική ισχύς επίσης μειώθηκε, πιθανώς λόγω της πιο αποδοτικής χρήσης των κελιών και της καλύτερης κατανομής του ρολογιού. Η ισχύς διαρροής επίσης μειώθηκε, αλλά σε μικρότερο βαθμό.

Το slack μειώθηκε, αλλά παραμένει θετικό. Η επιφάνεια του κυκλώματος μειώθηκε σε σχέση με την Άσκηση 1, παρά το αυξημένο ποσοστό χρήσης του πυρήνα. Αυτό είναι ενδιαφέρον και πιθανώς σημαίνει ότι η μεγαλύτερη πυκνότητα επιτρέπει πιο αποδοτική χρήση του διαθέσιμου χώρου, μειώνοντας το συνολικό εμβαδόν που απαιτείται.

Συνολικά, τα αποτελέσματα είναι αναμενόμενα. Η υψηλότερη πυκνότητα τοποθέτησης οδηγεί σε μικρότερο μήκος διασυνδέσεων, χαμηλότερη switching ισχύ και αποδοτικότερη χρήση της επιφάνειας, αλλά απαιτεί περισσότερες vias και μπορεί να έχει αντίκτυπο στη δυσκολία της δρομολόγησης. Το κύκλωμα διατηρεί τη λειτουργικότητά του με καλύτερη ενεργειακή απόδοση και μικρότερη κατανάλωση χώρου.

Άσκηση 4

Στην παρούσα άσκηση, διερευνάται η επίδραση της συχνότητας ρολογιού στις επιδόσεις, την ισχύ και την επιφάνεια του κυκλώματος. Συγκεκριμένα, επαναλαμβάνεται η διαδικασία σχεδίασης και σύνθεσης με αυξημένη συχνότητα ρολογιού στα 400 MHz. Οι χρονικοί περιορισμοί προσαρμόζονται ανάλογα, ενώ τα αποτελέσματα συγκρίνονται με εκείνα της Άσκησης 1. Ο σκοπός της άσκησης είναι να αξιολογηθεί η αλλαγή στην πολυπλοκότητα του σχεδιασμού και να αναλυθούν οι επιπτώσεις της αύξησης της συχνότητας στη συνολική λειτουργία του κυκλώματος.

Βήματα 1-6

Η περίοδος του ρολογιού υπολογίζεται ως το αντίστροφο της συχνότητας. Δεδομένου ότι στη συγκεκριμένη άσκηση η συχνότητα του ρολογιού είναι 400 MHz, η περίοδός του προκύπτει **2,5 ns**. Επαναλαμβάνονται τώρα τα βήματα 1-15 της Άσκησης 1 αλλά αυτή τη φορά με περίοδο ρολογιού **T = 2.5ns**. Η αλλαγή αυτή θα πρέπει να γίνει στο αρχείο .sdc οπότε και αυτό παίρνει την εξής μορφή:

```
#SDC Restrictions File for Synthesis#
#1) Create clock with 50 % duty cycle, Frequency f=400MHz Period T=2.5ns, name = clk.
create_clock -name clk -period 2.5 -waveform {0 1.25} [get_ports clk]
#2) Set clock latency = 250 ps.
set_clock_latency -source 0.25 [get_clocks clk]
#3) Set clock uncertainty = 15 ps for setup and 10 ps for hold.
set_clock_uncertainty -setup 0.015 [get_clocks clk]
set_clock_uncertainty -hold 0.01 [get_clocks clk]
#4) Set clock rise and fall = 1% of total period.
set_clock_transition 0.025 [get_clocks clk]
#5) Set 0.75ns output delay for SETUP time.
set_output_delay -max 0.75 -clock clk -network_latency_included [all_outputs]
#6) Set 0.25ns output delay for HOLD time.
set_output_delay -min 0.25 -clock clk -network_latency_included [all_outputs]
#7) Set capacity for SETUP time analysis = 0.4pF.
set_load 0.4 -max [all_outputs]
#8) Set capacity for HOLD time analysis = 0.05pF.
set_load 0.05 -min [all_outputs]
#9) Set 0.75ns input delay for SETUP time.
set_input_delay -max 0.75 -clock clk -network_latency_included [all_inputs]
#10) Set 0.25ns input delay for HOLD time.
set_input_delay -min 0.25 -clock clk -network_latency_included [all_inputs]
#11) Set input driving cell: BUFX4 for SETUP and BUFX8 for HOLD.
set_driving_cell -max -lib_cell BUFX4 [all_inputs]
set_driving_cell -min -lib_cell BUFX8 [all_inputs]
```

Παρακατω, στον πίνακα που ακολουθεί παρατίθενται τα αποτελέσματα και οι αντίστοιχες παρατηρήσεις σε σχέση με την άσκηση 1.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Gates	Area
1 ^η Άσκηση	5.38122e-03W	1.65971e-03W	3.72066e-03 W	8.46420e-07 W	0ns	10302	48527.595
4 ^η Άσκηση	1.31226e-02W	4.54517e-03 W	8.57598e-03W	1.42487e-06W	-969ns	13611	65694.604
	Αυξήθηκε	Αυξήθηκε	Αυξήθηκε	Αυξήθηκε	Μειώθηκε	Αυξήθηκε	Αυξήθηκε

Συγκριτικός Πίνακας Αποτελεσμάτων με άσκηση 1

Report Area

Instance	Module	Cell Count	Cell Area	Net Area	Total Area
picorv32		13611	48259.962	17434.642	65694.604

Report Gates

Type	Instances	Area	Area %
sequential	1961	15017.562	31.1
inverter	1286	2254.464	4.7
buffer	675	3163.500	6.6
logic	9689	27824.436	57.7
physical_cells	0	0.000	0.0
total	13611	48259.962	100.0

Σχήμα 4.1 και 4.2 : Report Area και Report Gates

Report Timing

	Capture	Launch
Clock Edge:+	2500	0
Src Latency:+	250	250
Net Latency:+	0 (I)	0 (I)
Arrival:=	2750	250
Setup:-	126	
Uncertainty:-	15	
Required Time:=	2609	
Launch Clock:-	250	
Data Path:-	3328	
Slack:=	-969	

Report Power

Category	Leakage	Internal	Switching	Total	Row%
memory	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
register	2.77827e-07	2.20275e-03	2.80600e-04	2.48362e-03	18.93%
latch	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
logic	1.14704e-06	2.34242e-03	8.29538e-03	1.06389e-02	81.07%
bbox	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
clock	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
pad	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
pm	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
Subtotal	1.42487e-06	4.54517e-03	8.57598e-03	1.31226e-02	100.00%
Percentage	0.01%	34.64%	65.35%	100.00%	100.00%

Σχήματα 4.3 και 4.4: Report Timing and Report Power

Report QoR

Clock Period			Area		
clk	2500.0		Cell Area	48259.962	
Cost Group	Critical Path	Violating Slack	Physical Cell Area	0.000	
TNS			Total Cell Area (Cell+Physical)	48259.962	
clk	-968.8	-67827.6	Net Area	17434.642	
default	No paths	0.0	Total Area (Cell+Physical+Net)	65694.604	
Total		-67827.6	Max Fanout	1961 (clk)	
Instance Count		149	Min Fanout	0 (mem_la_firstword_reg)	
Leaf Instance Count	13611		Average Fanout	2.5	
Physical Instance count	0		Terms to net ratio	3.4547	
Sequential Instance Count	1961		Terms to instance ratio	3.6242	
Combinational Instance Count	11650		Runtime	1143.245782999983 seconds	
Hierarchical Instance Count	0		Elapsed Runtime	1172 seconds	
			Genus peak memory usage	1442.43	
			Innovus peak memory usage	no_value	
			Hostname	cn89.it.auth.gr	

Σχήμα 4.5 : Report Quality of Results

Στο στάδιο της σύνθεσης, παρατηρείται σημαντική αύξηση στη συνολική ισχύ, καθώς τόσο η internal όσο και η switching power αυξάνονται λόγω της υψηλότερης συχνότητας λειτουργίας. Η leakage power επίσης αυξάνεται, αν και σε μικρότερο βαθμό, κάτι που είναι αναμενόμενο λόγω της μεγαλύτερης πυκνότητας λογικών στοιχείων.

Το slack μειώνεται δραματικά και γίνεται πολύ αρνητικό (-969 ns), γεγονός που δείχνει ότι το κύκλωμα δεν μπορεί να τηρήσει τους χρονικούς περιορισμούς και απαιτεί. Η αύξηση του αριθμού των πυλών και της επιφάνειας είναι επίσης αναμενόμενη, καθώς περισσότερα κυκλωματικά στοιχεία απαιτούνται για την υποστήριξη της λειτουργίας σε υψηλότερη συχνότητα.

Η μεγάλη αρνητική τιμή του slack δείχνει ότι το κύκλωμα όπως συντέθηκε στο Genus δεν μπορεί να λειτουργήσει σωστά στην απαιτούμενη συχνότητα.

Βήματα 7-11

Για τα βήματα 7-11 δεν υπάρχει κάποια διαφοροποίηση σε σχέση με την άσκηση 1, οπότε με το εργαλείο Innovus ακολουθήθηκε η γνωστή διαδικασία που περιγραφήκε στην ενοτητα της 1^{ης} ασκησης.

Ακολουθεί το placement και εξάγονται αναφορές για area,power και timing οπου παρουσιάζονται στον πίνακα συγκριτικά με της ασκησης 1 καθώς και τα αντίστοιχα screenshots.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	3.79670990W	1.52660433W	2.26925081W	0.00085476W	0.009ns	34631.604
4 ^η Άσκηση	9.38404787W	3.99016433W	5.39259082W	0.00129272W	-0.151ns	46036.278
	Αυξήθηκε	Αυξήθηκε	Αυξήθηκε	Αυξήθηκε	Μειώθηκε	Αυξήθηκε

Συγκριτικός πίνακας αποτελεσμάτων

Report Area

Hinst Name	Module Name	Inst Count	Total Area
picorv32		15198	46036.278

Σχήμα 4.6 : Report Area

Report Timing

Report Power

Total Power						
Total Internal Power:	3.99016433	42.5207%				
Total Switching Power:	5.39259082	57.4655%				
Total Leakage Power:	0.00129272	0.0138%				
Total Power:	9.38404787					
Analysis View: Analysis_View_Exer1						
Other End Arrival Time	0.000					
- External Delay	0.750					
+ Phase Shift	2.500					
- Uncertainty	0.015					
= Required Time	1.735					
- Arrival Time	1.886					
= Slack Time	-0.151					
Clock Rise Edge	0.000					
+ Input Delay	0.750					
+ Drive Adjustment	0.027					
= Beginpoint Arrival Time	0.777					
Group		Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
Sequential		1.937	0.1952	0.0002777	2.132	22.72
Macro		0	0	0	0	0
IO		0	0	0	0	0
Combinational		2.053	5.197	0.001015	7.252	77.28
Clock (Combinational)		0	0	0	0	0
Clock (Sequential)		0	0	0	0	0
Total		3.99	5.393	0.001293	9.384	100

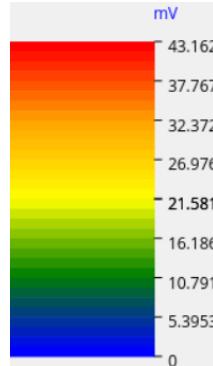
Σχήματα 4.7 και 4.8 : Report Timing and Report Power

Παρατηρείται αύξηση της συνολικής ισχύος, κυρίως λόγω της αύξησης της switching και της internal power, που είναι αναμενόμενη συνέπεια της αύξησης της συχνότητας. Το slack μειώνεται και γίνεται

αρνητικό, κάτι που δείχνει ότι το κύκλωμα αντιμετωπίζει προβλήματα χρονισμού. Η επιφάνεια αυξάνεται λόγω της χρήσης περισσότερων buffers και κυψελών υψηλότερης απόδοσης.

Βήματα 12-14

Το βήμα του early power analysis υλοποιήθηκε για λογούς πληρότητας και για να υπάρχει μια σύγκριση με την άσκηση 1 για το IR drop.



Σχήμα 4.9 : Power Graph

Μετά το επόμενο βήμα είναι η σύνθεση του κυκλώματος διανομής του ρολογιού οπου γίνεται με τις εντολές που περιεγράφηκαν στην άσκηση 1 και εξάγονται αναφορές για area,power και timing οπου παρουσιάζονται στον πίνακα συγκριτικά με της ασκησης 1 και τα αντίστοιχα screenshots.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	5.90146731W	1.82759302W	4.07285812W	0.00101617W	0.007ns	37980.126
4 ^η Άσκηση	10.30338576W	4.40781134W	5.89424099 W	0.00133343W	-0.121ns	46895.382
	Αυξήθηκε	Αυξήθηκε	Αυξήθηκε	Αυξήθηκε	Μειώθηκε	Αυξήθηκε

Συγκριτικός πίνακας αποτελεσμάτων

Report Area

Hinst Name	Module Name	Inst Count	Total Area
picorv32		15649	46895.382

Σχήμα 4.10 : Report Area

Report Timing

Report Power

Total Power		Report Power			
Total Internal Power:	4.40781134	42.7802%			
Total Switching Power:	5.89424099	57.2068%			
Total Leakage Power:	0.00133343	0.0129%			
Total Power:	10.30338576				
Analysis View: Analysis_View_Exer1		Report Power			
Other End Arrival Time	0.000	Group	Internal Power	Switching Power	Leakage Power
- External Delay	0.750		1.931	0.2014	0.0002772
+ Phase Shift	2.500	Sequential	0	0	0
- Uncertainty	0.015	Macro	0	0	0
= Required Time	1.735	IO	0	0	0
- Arrival Time	1.856	Combinational	2.033	5.215	0.001023
= Slack Time	-0.121	Clock (Combinational)	0.4434	0.4782	3.349e-05
Clock Rise Edge	0.000	Clock (Sequential)	0	0	0
+ Input Delay	0.750		0	0	0
+ Drive Adjustment	0.024	Total	4.408	5.894	0.001333
= Beginpoint Arrival Time	0.775				10.3
					100

Σχήματα 4.11 και 4.12 : Report Timing and Report Power

Η συνολική κατανάλωση ισχύος παραμένει υψηλή, με τη switching power να παραμένει σημαντικά αυξημένη. Το slack εξακολουθεί να είναι αρνητικό, επιβεβαιώνοντας τα προβλήματα χρονισμού. Η επιφάνεια διατηρείται μεγαλύτερη από την Άσκηση 1, γεγονός που συνάδει με την ανάγκη για περισσότερους πόρους ώστε να υποστηριχθεί η υψηλότερη συχνότητα.

Βήμα 15

Αφού εκτελεστεί και το βήμα 15 παρουσιάζονται στιγμιότυπα από τα reports και ο συγκριτικός πίνακας αποτελεσμάτων.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	5.59116899W	1.82927033W	3.76088249W	0.00101617W	0.439ns	37980.126
4 ^η Άσκηση	10.34211448W	4.40706198W	5.93371907W	0.00133343	-0.116ns	46895.382
	Αυξήθηκε	Αυξήθηκε	Αυξήθηκε	Μειώθηκε	Μειώθηκε	Αυξήθηκε

Συγκριτικός πίνακας αποτελεσμάτων

Report Area

Hinst Name	Module Name	Inst Count	Total Area
picorv32		15649	46895.382

Σχήμα 4.13 : Report Area

Report Timing

Report Power

Total Power						
Total Internal Power:	4.40706198	42.6128%				
Total Switching Power:	5.93371907	57.3743%				
Total Leakage Power:	0.00133343	0.0129%				
Total Power:	10.34211448					
Path Groups: {clk}						
Analysis View: Analysis_View_Exer1						
Other End Arrival Time	0.000					
- External Delay	0.750					
+ Phase Shift	2.500					
- Uncertainty	0.015					
= Required Time	1.735					
- Arrival Time	1.850					
= Slack Time	-0.116					
Clock Rise Edge	0.000					
+ Input Delay	0.750					
+ Drive Adjustment	0.025					
= Beginpoint Arrival Time	0.775					
Group						
Internal Power						
Sequential	1.93	0.2043	0.0002772	2.135	20.64	
Macro	0	0	0	0	0	
IO	0	0	0	0	0	
Switching Power						
Combinational	2.033	5.209	0.001023	7.243	70.03	
Clock (Combinational)	0.4434	0.5206	3.349e-05	0.964	9.321	
Clock (Sequential)	0	0	0	0	0	
Leakage Power						
Total	4.407	5.934	0.001333	10.34	100	
Total Power (%)						

Σχήματα 4.14 και 4.15 : Report Timing and Report Power

Η αύξηση της συνολικής ισχύος στην Άσκηση 4 σε σχέση με την Άσκηση 1 είναι αναμενόμενη, καθώς η υψηλότερη συχνότητα ρολογιού οδηγεί σε μεγαλύτερη κατανάλωση ενέργειας. Η εσωτερική και η δυναμική ισχύς αυξήθηκαν σημαντικά, κάτι που εξηγείται από τη συχνότερη εναλλαγή των σημάτων και την αυξημένη δραστηριότητα των τρανζίστορ. Η leakage power επίσης αυξήθηκε ελαφρώς, γεγονός που υποδηλώνει μεγαλύτερη συνολική κατανάλωση ακόμα και σε καταστάσεις χαμηλής δραστηριότητας του κυκλώματος.

Το slack μειώθηκε και παρέμεινε αρνητικό, δείχνοντας ότι το κύκλωμα δεν πληροί τις απαιτήσεις χρονισμού. Η αρνητική τιμή του slack σημαίνει ότι κάποια κρίσιμα μονοπάτια δεν ολοκληρώνουν τη μετάβαση των σημάτων τους εντός της νέας, μειωμένης περιόδου ρολογιού, γεγονός που επηρεάζει αρνητικά τη λειτουργικότητα του κυκλώματος.

Η επιφάνεια αυξήθηκε, καθώς απαιτούνται περισσότερα στοιχεία και ισχυρότερα buffers για τη διατήρηση της απόδοσης σε υψηλότερη συχνότητα. Η αύξηση της επιφάνειας σχετίζεται επίσης με τη χρήση κυψελών υψηλότερης ταχύτητας, οι οποίες καταλαμβάνουν περισσότερο χώρο.

Γενικά, τα αποτελέσματα είναι λογικά και συμβαδίζουν με τις προσδοκίες από την αύξηση της συχνότητας. Ωστόσο, η ύπαρξη αρνητικού slack δείχνει ότι το κύκλωμα δεν είναι πλήρως βελτιστοποιημένο για τη νέα συχνότητα και πιθανώς απαιτεί περαιτέρω βελτιώσεις.

Άσκηση 5

Στην άσκηση αυτή, εξετάζεται η χρήση των multi-bit καταχωρητών (multibit flip-flops - MBFFs) για τη βελτίωση της αποδοτικότητας του κυκλώματος. Οι MBFFs επιτρέπουν τη συγχώνευση πολλών μονο-bit καταχωρητών σε multi-bit, μειώνοντας έτσι τη συνολική κατανάλωση ισχύος και την επιφάνεια του κυκλώματος.

Η διαδικασία περιλαμβάνει την επανάληψη των Βημάτων 1-15 της Άσκησης 1, αυτή τη φορά με ενεργοποιημένη τη χρήση των multi-bit καταχωρητών μέσω της εντολής `set_db use_multibit_cells true`. Στόχος είναι να αναλυθεί η διαφορά στην ισχύ, την επιφάνεια και τη δομή του δέντρου ρολογιού σε σχέση με την αρχική σχεδίαση.

Βήματα 1-6

Σε αυτό το στάδιο, πραγματοποιείται η σύνθεση του κυκλώματος με τη νέα βιβλιοθήκη multibit flip-flops. Το εργαλείο Genus αναλύει αν η χρήση των MBFFs έχει μειώσει τον αριθμό των κελιών και την επιφάνεια του κυκλώματος. Υπάρχει διαφοροποίηση στο αρχείο `.tcl` οπου εκτελείται από το genus καθώς προστίθενται στο Βήμα 1 η `slow_vdd1v0_multibitsDFF.lib` και η `gsclib045_multibitsDFF.lef`, μαζί με τις αρχικές βιβλιοθήκες και το ίδιο στο εργαλείο `innovus` ως εξής :

```
# SDC Restrictions File
# Setup path for library

...
# Setup timing library

set_db library {
/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/GP
DK045/gsclib045_svt_v4.4/gsclib045/timing/slow_vdd1v0_basicCells.lib
/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/GP
DK045/gsclib045_svt_v4.4/gsclib045/timing/slow_vdd1v0_multibitsDFF.lib }

#end

# Setup lef library

set_db lef_library
{/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/G
PDK045/gsclib045_svt_v4.4/gsclib045/lef/gsclib045_tech.lef
/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/GP
DK045/gsclib045_svt_v4.4/gsclib045/lef/gsclib045_macro.lef
/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/GP
DK045/gsclib045_svt_v4.4/gsclib045/lef/gsclib045_multibitsDFF.lef }
```

...

```
# Activate multibit- FFs
set_db use_multibit_cells true
```

Ακολουθούν τα reports και screenshots από το Βήμα 5, όπου παρουσιάζεται η ανάλυση των πολυ-bit καταχωρητών και τα αποτελέσματα της σύνθεσης και εξάγεται ο πίνακας αποτελεσμάτων.

	Total Power	Internal Power	Switching Power	Leakage Power	Gates	Slack	Area
1 ^η Ασκηση	5.38122e-03 W	1.65971e-03W	3.72066e-03 W	8.46420e-07 W	10302	0ns	48527.595
5 ^η Ασκηση	1.80849e-03W	4.06788e-04W	1.40091e-03W	7.89215e-07W	8742	0ns	44018.038
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Ίδιο	Μειώθηκε

Πίνακας Αποτελεσμάτων

Report Area

Instance	Module	Cell Count	Cell Area	Net Area	Total Area
picorv32		8742	30938.004	13080.034	44018.038

Report Gates

Type	Instances	Area	Area %
sequential	502	11554.812	37.3
inverter	509	433.314	1.4
buffer	307	2074.230	6.7
clock_gating_integrated_cell	58	376.884	1.2
logic	7366	16498.764	53.3
physical_cells	0	0.000	0.0
total	8742	30938.004	100.0

Σχήμα 5.1 και 5.2 : Report Area και Report Gates

Report Timing

Clock: (R) clk	Capture	Launch
Clock Edge:+	5000	0
Drv Adjust:+	0	8
Src Latency:+	250	250
Net Latency:+	0 (I)	0 (I)
Arrival:=	5250	258
Setup:-	172	
Uncertainty:-	15	
Required Time:=	5063	
Launch Clock:-	258	
Input Delay:-	750	
Data Path:-	4055	
Slack:=	0	

Category	Leakage	Internal	Switching	Total	Row%
memory	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
register	2.29406e-07	2.10534e-04	4.28173e-05	2.53581e-04	14.02%
latch	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
logic	5.53075e-07	1.67922e-04	1.35231e-03	1.52078e-03	84.09%
bbox	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
clock	6.73421e-09	2.83320e-05	5.78970e-06	3.41285e-05	1.89%
pad	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
pm	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
Subtotal	7.89215e-07	4.06788e-04	1.40091e-03	1.80849e-03	100.00%
Percentage	0.04%	22.49%	77.46%	100.00%	100.00%

Σχήματα 5.3 και 5.4: Report Timing and Report Power

Report Power

Clock Period	---	Area
clk 5000.0	---	---
	Cost Group	Cell Area
	Critical Path	Physical Cell Area
	Slack	Total Cell Area (Cell+Physical)
	TNS	Net Area
	Violating Paths	Total Area (Cell+Physical+Net)
cg_enable_group_clk	546.8	30938.004
clk	0.4	0.000
default	No paths	30938.004
Total	0.0	13080.034
		44018.038
Instance Count		Max Fanout
Leaf Instance Count	8742	170 (genblk2.pcp_i_div_n_1431)
Physical Instance count	0	0 (n_4989)
Sequential Instance Count	(++) 566	2.3
Combinational Instance Count	8182	3.4609
Hierarchical Instance Count	58	4.3529
		Terms to net ratio
		Terms to instance ratio
		Runtime
		408.999998 seconds
		Elapsed Runtime
		435 seconds
		Genus peak memory usage
		1296.08
		Innovus peak memory usage
		no_value
		cn93.it.auth.gr

Σχήμα 5.5 : Report Quality of Results

Μετά τη σύνθεση, η χρήση των multibit flip-flops (MBFFs) οδήγησε σε σημαντική μείωση της συνολικής κατανάλωσης ισχύος, ιδιαίτερα στην εσωτερική και switching ισχύ. Αυτό ήταν αναμενόμενο, καθώς οι επιτρέπουν τοποθέτηση πολλαπλών flip-flops, μειώνοντας τις μεταγωγές ρολογιού και τη συνολική χωρητικότητα των διασυνδέσεων.

Η ισχύς διαρροής επίσης μειώθηκε, αν και σε μικρότερο βαθμό, γεγονός που συνάδει με τη μείωση του αριθμού των καταχωρητών και, συνεπώς, των τρανζίστορ που απαιτούν τάση λειτουργίας ακόμα και σε αδρανή κατάσταση. Ο αριθμός των πυλών (gates) μειώθηκε, καθώς τα MBFFs επιτρέπουν την ομαδοποίηση πολλών μονάδων σε ένα κύτταρο, περιορίζοντας έτσι την ανάγκη για επιπλέον στοιχεία χρονισμού και ελέγχου. Το slack παρέμεινε αμετάβλητο, δείχνοντας ότι η χρήση των MBFFs δεν επηρέασε τη χρονική συμπεριφορά του κυκλώματος. Η επιφάνεια μειώθηκε, κάτι που είναι λογικό, καθώς τα MBFFs καταλαμβάνουν μικρότερο χώρο από το να έχουμε μεμονωμένα flip-flops, βελτιώνοντας έτσι τη συνολική πυκνότητα τοποθέτησης.

Βήματα 7-11

Ακολουθεί το placement και εξάγονται αναφορές για area,power και timing οπου παρουσιάζονται στον πίνακα συγκριτικά με της ασκησης 1 καθώς και τα αντίστοιχα screenshots.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	3.79670990W	1.52660433W	2.26925081W	0.00085476W	0.019ns	34631.604
2 ^η Άσκηση	3. 5640165W	1.25933954W	2.30380114W	0. 00087579W	0.009ns	34468.812
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειωθηκε	Μειωθηκε

Πίνακας Αποτελεσμάτων

Report Area

Hinst Name	Module Name	Inst Count	Total Area
picorv32		10588	34468.812

Σχήμα 5.6 : Report Area

Report Timing

Total Power						
Total Internal Power:	1.25933954	35. 3348%				
Total Switching Power:	2.30380114	64. 6406%				
Total Leakage Power:	0.00087579	0.0246%				
Total Power:	3.56401647					
Group						
		Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
Sequential	0.6603	0.0927	0.0002256	0.7532	21.13	
Macro	0	0	0	0	0	0
IO	0	0	0	0	0	0
Combinational	0.5991	2.211	0.0006502	2.811	78.87	
Clock (Combinational)	0	0	0	0	0	0
Clock (Sequential)	0	0	0	0	0	0
Total	1.259	2.304	0.0008758	3.564	100	

Report Power

Σχήματα 5.7 και 5.8 : Report Timing and Report Power

Μετά το placement, η συνολική κατανάλωση ισχύος μειώθηκε και πάλι. Η εσωτερική ισχύς μειώθηκε σημαντικά, γεγονός που οφείλεται στο ότι τα MBFFs μειώνουν τον αριθμό των ξεχωριστών ρολογιών buffers που απαιτούνται για την οδήγηση των καταχωρητών.

Η **switching ισχύς** εμφανίζει μικρή αύξηση σε σχέση με το στάδιο της σύνθεσης, αλλά συνολικά παραμένει χαμηλότερη από αυτήν της Άσκησης 1, καθώς η νέα τοποθέτηση μπορεί να επηρεάζει τις διαδρομές των σημάτων και να απαιτεί προσαρμογές στη δρομολόγηση των δεδομένων. Η **ισχύς διαρροής** μειώθηκε ελαφρώς, κάτι που συνάδει με τη μείωση του αριθμού των καταχωρητών και τη βελτιστοποίηση της κατανομής των κελιών. Το **slack μειώθηκε**, αλλά παραμένει θετικό, γεγονός που δείχνει ότι η χρονική συμπεριφορά του κυκλώματος επηρεάστηκε ελαφρώς, πιθανώς λόγω αλλαγών στη δρομολόγηση των μονοπατιών δεδομένων και ρολογιού. Η **επιφάνεια μειώθηκε**, όπως ήταν αναμενόμενο, αφού τα MBFFs επιτρέπουν την πιο συμπαγή τοποθέτηση των στοιχείων, μειώνοντας την ανάγκη για ξεχωριστά flip-flops και buffers.

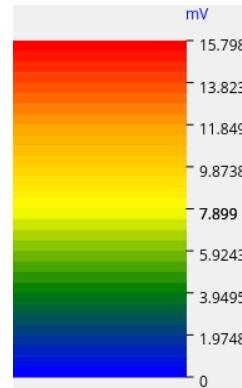
Βήματα 12-14

Σε αυτή τη φάση, πραγματοποιείται η σύνθεση του δέντρου ρολογιού (Clock Tree Synthesis - CTS). Η χρήση multibit flip-flops επηρεάζει τη δομή του δέντρου ρολογιού, καθώς μειώνεται ο συνολικός αριθμός των στοιχείων που λαμβάνουν σήμα ρολογιού.

Η αναμενόμενη επίδραση των MBFFs στη σύνθεση του δέντρου ρολογιού είναι:

- **Βελτίωση του clock skew**, καθώς το ρολόι διαδίδεται σε λιγότερα στοιχεία.
- **Μείωση του IR Drop**, καθώς απαιτούνται λιγότερες παροχές ρεύματος για τη λειτουργία του ρολογιού.

Το βήμα 12 είναι προαιρετικό για την συγκεκριμένη άσκηση αλλά παρόλα αυτά υλοποιήθηκε και εδώ προκειμένου να υπάρχει και στο κομμάτι το IR drop μια σύγκριση με την άσκηση 1 και να φανεί αν επιβεβαιώνεται ο παραπάνω ισχυρισμός. Ακολουθεί το power graph:



Σχήμα 5.9 : Power Graph για IR drop

Ακολουθούν τα reports και screenshots από το Βήμα 14, όπου αναλύεται η δομή του δέντρου ρολογιού και οι επιπτώσεις της χρήσης MBFFs.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	5.90146731W	1.82759302W	4.07285812W	0.00101617W	0.017ns	37980.126
2 ^η Άσκηση	3.67243119W	1. 2985346W	2. 37301347W	0. 00088308W	0.004ns	34634.682
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε

Συγκριτικός Πίνακας Αποτελεσμάτων με άσκηση 1

Report Area

Hinst Name	Module Name	Inst Count	Total Area
picorv32		10662	34634.682

Σχήμα 5.10 : Report Area

Report Timing		Report Power					
		Total Power					
Path Groups: {clk}		Total Internal Power: 1.29853464 35.3590%					
Analysis View: default_emulate_view		Total Switching Power: 2.37301347 64.6170%					
Other End Arrival Time 0.004		Total Leakage Power: 0.00088308 0.0240%					
- Setup 0.145		Total Power: 3.67243119					
+ Phase Shift 5.000							
- Uncertainty 0.015							
= Required Time 4.844							
- Arrival Time 4.826							
= Slack Time 0.017							
Clock Rise Edge 0.000							
+ Clock Network Latency (Prop) 0.004							
= Beginpoint Arrival Time 0.004							
		Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
		Sequential	0.6597	0.09067	0.0002256	0.7506	20.44
		Macro	0	0	0	0	0
		IO	0	0	0	0	0
		Combinational	0.6	2.209	0.0006516	2.809	76.5
		Clock (Combinational)	0.03887	0.0737	5.923e-06	0.1126	3.065
		Clock (Sequential)	0	0	0	0	0
		Total	1.299	2.373	0.0008831	3.672	100

Σχήματα 5.11 και 5.12 : Report Timing and Report Power

Μετά τη σύνθεση του κυκλώματος διανομής του ρολογιού (Post-CTS), η συνολική κατανάλωση ισχύος μειώθηκε σημαντικά σε σχέση με την Άσκηση 1.

Η εσωτερική ισχύς παρουσίασε σημαντική μείωση, κάτι που είναι απόλυτα λογικό, καθώς τα MBFFs απαιτούν λιγότερους clock buffers και οδηγούν σε πιο αποδοτική διαχείριση του ρολογιού. Η switching ισχύς επίσης μειώθηκε, καθώς η πιο συμπαγής τοποθέτηση των MBFFs μειώνει τις μεταγωγές και τη χωρητικότητα των διαδρομών του ρολογιού. Η ισχύς διαρροής συνέχισε να μειώνεται ελαφρώς, κάτι που ήταν αναμενόμενο, αφού ο συνολικός αριθμός των ξεχωριστών flip-flops έχει μειωθεί, οδηγώντας σε λιγότερα ενεργά τρανζίστορ που καταναλώνουν ρεύμα σε αδράνεια. Το slack μειώθηκε ελαφρώς, γεγονός που δείχνει ότι η χρονική συμπεριφορά του κυκλώματος επηρεάστηκε από την αναδιάταξη του ρολογιού, αλλά παραμένει θετικό. Η επιφάνεια αυξήθηκε ελαφρώς, κάτι που μπορεί να εξηγηθεί από την προσθήκη buffers για τη σταθεροποίηση του σήματος ρολογιού, παρά τη συνολική μείωση των στοιχείων λόγω των MBFFs.

Ακολουθουν τα reports για το δέντρο του clock και τα skew groups που μπορούν να δώσουν επιπλέον πληροφορίες.

Skew Group Structure:

=====

Skew Group	Sources	Constrained Sinks	Unconstrained Sinks
clk/default_emulate_constraint_mode	1	496	0

Σχήμα 5.10 : Report Skew Groups

Clock DAG stats:			
=====			
Cell type	Count	Area	Capacitance
Buffers	56	127.908	0.021
Inverters	0	0.000	0.000
Integrated Clock Gates	0	0.000	0.000
Discrete Clock Gates	0	0.000	0.000
Clock Logic	0	0.000	0.000
All	56	127.908	0.021

Clock DAG wire lengths:								
=====								
Timing Corner	Worst Rising Leaf Slew	Worst Falling Leaf Slew	Worst Rising Trunk Slew	Worst Falling Trunk Slew	Leaf Slew Target Type	Leaf Slew Target	Trunk Slew Target Type	Trunk Slew Target
default_emulate_delay_corner:both.early	0.073	0.086	0.067	0.079	ignored	-	ignored	-
default_emulate_delay_corner:both.late	0.073	0.086	0.067	0.079	explicit	+0.080	explicit	0.080

Σχήμα 5.10 : Report Clock Trees

Σύγκριση του Δέντρου Ρολογιού: Άσκηση 1 vs Άσκηση 5

Η χρήση **multibit flip-flops (MBFFs)** στην Άσκηση 5 επέφερε σημαντικές αλλαγές στη δομή του δέντρου ρολογιού σε σύγκριση με την Άσκηση 1:

1. Μείωση του αριθμού των sinks

- Άσκηση 1: 1961 sinks
- Άσκηση 5: 496 sinks

Τα MBFFs αντικαθιστούν πολλαπλά μονά flip-flops, μειώνοντας έτσι τα συνολικά σημεία που χρειάζονται ρολόι.

2. Μείωση του αριθμού των buffers

- Άσκηση 1: 142 buffers
- Άσκηση 5: 56 buffers

Εφόσον υπάρχουν λιγότερα sinks, απαιτούνται λιγότεροι buffers για την οδήγηση του ρολογιού.

3. Μείωση του συνολικού μήκους των γραμμών ρολογιού

- Άσκηση 1: 9252.885 μμ
- Άσκηση 5: 4521.820 μμ

Τα MBFFs επιτρέπουν πιο συμπαγή τοποθέτηση των flip-flops, μειώνοντας την απόσταση που χρειάζεται να διανύσει το ρολόι.

4. Μείωση της συνολικής χωρητικότητας του ρολογιού

- Άσκηση 1: 1.252 pF
- Άσκηση 5: 0.460 pF

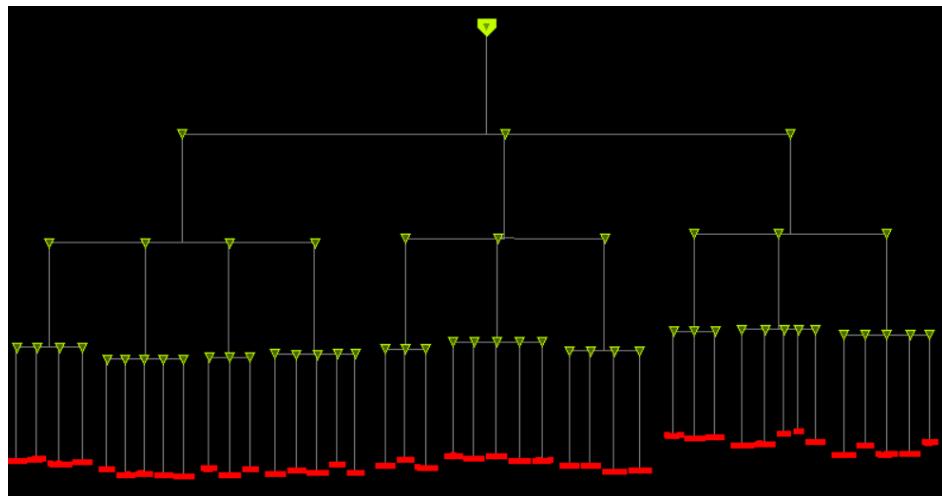
Η μείωση των ξεχωριστών flip-flops και των αντίστοιχων buffers μειώνει τη συνολική χωρητικότητα του δικτύου.

Η βασική αιτία των διαφορών είναι ότι τα **MBFFs μειώνουν τον αριθμό των flip-flops**, κάτι που έχει πολλαπλές επιπτώσεις στη δομή του ρολογιού:

- Λιγότερα sinks → μικρότερο και πιο αποδοτικό δίκτυο ρολογιού
- Λιγότεροι buffers → μικρότερη κατανάλωση ισχύος στο ρολόι
- Μικρότερη απόσταση σηματοδότησης → μικρότερο συνολικό delay στο ρολόι
- Μείωση των slew violations → καλύτερη ποιότητα του σήματος του ρολογιού

Η χρήση **multibit flip-flops** οδήγησε σε ένα πιο αποδοτικό δέντρο ρολογιού, με μικρότερη κατανάλωση ισχύος, λιγότερα buffers, λιγότερα sinks και καλύτερο χρονισμό. Παρά τις βελτιώσεις, υπήρχαν ακόμα κάποιες μικρές **slew** παραβιάσεις, που υποδηλώνουν ότι το ρολόι εξακολουθεί να έχει σημεία όπου η μετάβαση του σήματος δεν είναι ιδανική, πιθανώς λόγω τοπικών συγκεντρώσεων φορτίου.

Ακολουθεί και το σχήμα του clock tree από το Innovus



Σχήμα 5: Clock tree ασκησης 5

Βήμα 15

Αφού εκτελεστεί και το βήμα 15 παρουσιάζονται στιγμιότυπα από τα reports και ο συγκριτικός πίνακας αποτελεσμάτων.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	5.59116899W	1.82927033W	3.76088249W	0.00101617W	0.439ns	37980.126
5 ^η Άσκηση	3.65148591W	1.29881742W	2.35178541W	0.00088308W	0.028ns	34634.682
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε

Συγκριτικός Πίνακας Αποτελεσμάτων με άσκηση 1

Μετά το τελικό στάδιο της δρομολόγησης, η χρήση των multibit flip-flops οδήγησε σε σημαντική μείωση της συνολικής κατανάλωσης ισχύος σε σχέση με την Άσκηση 1. Η εσωτερική ισχύς μειώθηκε αισθητά, καθώς το κύκλωμα χρειάζεται λιγότερους buffers και οδηγούς για τη διανομή του ρολογιού, ενώ και η switching ισχύς μειώθηκε λόγω της λιγότερης μεταγωγής σημάτων και της χαμηλότερης χωρητικότητας στις συνδέσεις. Η ισχύς διαρροής επίσης μειώθηκε ελαφρώς, καθώς ο αριθμός των ξεχωριστών flip-flops μειώθηκε.

Η χρονική συμπεριφορά του κυκλώματος επηρεάστηκε ελαφρώς, καθώς το slack μειώθηκε, αλλά παρέμεινε θετικό, επιβεβαιώνοντας ότι το κύκλωμα εξακολουθεί να λειτουργεί εντός των αποδεκτών

χρονικών περιορισμών. Η επιφάνεια μειώθηκε, κάτι που αποδεικνύει ότι τα multibit flip-flops επιτρέπουν πιο συμπαγή τοποθέτηση και καλύτερη αξιοποίηση του χώρου.

Report Area

Hinst Name	Module Name	Inst Count	Total Area
picorv32		10662	34634.682

Σχήμα 5.14 : Report Area

Report Timing

Path Groups: {clk}
Analysis View: default_emulate_view
Other End Arrival Time -0.022
- Setup 0.123
+ Phase Shift 5.000
- Uncertainty 0.015
= Required Time 4.840
- Arrival Time 4.812
= Slack Time 0.028
Clock Rise Edge 0.000
+ Clock Network Latency (Prop) -0.024
= Beginpoint Arrival Time -0.024

Report Power

Total Power						
Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)	
Sequential	0.6599	0.08964	0.0002256	0.7497	20.53	
Macro	0	0	0	0	0	
IO	0	0	0	0	0	
Combinational	0.6	2.195	0.0006516	2.796	76.57	
Clock (Combinational)	0.03891	0.06683	5.923e-06	0.1057	2.896	
Clock (Sequential)	0	0	0	0	0	
Total	1.299	2.352	0.0008831	3.651	100	

Σχήματα 5.15 και 5.16 : Report Timing and Report Power

Γενικά Συμπεράσματα

Ισχύς και κατανάλωση ενέργειας

Η σημαντική μείωση της εσωτερικής ισχύος εξηγείται από τη μείωση του αριθμού των ξεχωριστών ρολογιών που απαιτούνται για την οδήγηση των καταχωρητών. Στα κυκλώματα με απλά FF, κάθε ένα απαιτεί ξεχωριστή μεταγωγή ρολογιού, γεγονός που αυξάνει τη συνολική κατανάλωση ισχύος. Αντίθετα, τα MBFFs ομαδοποιούν πολλαπλά flip-flops σε ένα κελί, χρησιμοποιώντας κοινά μονοπάτια ρολογιού, γεγονός που μειώνει την αντίστοιχη κατανάλωση ισχύος.

Επιφάνεια

Η συνολική επιφάνεια μειώθηκε στη φάση της σύνθεσης, κάτι που είναι λογικό, καθώς τα MBFFs μειώνουν τον συνολικό αριθμό ξεχωριστών κελιών που πρέπει να τοποθετηθούν στο κύκλωμα. Ωστόσο, μετά το Post-CTS, η επιφάνεια αυξήθηκε ελαφρώς, κάτι που μπορεί να εξηγηθεί από την προσθήκη επιπλέον buffers για το δίκτυο του ρολογιού.

Χρονισμός και επίδραση στο Slack

Η ελαφριά μείωση του slack είναι επίσης αναμενόμενη. Αν και τα MBFFs μειώνουν τη συνολική χωρητικότητα του ρολογιού, η αλλαγή στη κατανομή των flip-flops στον χώρο μπορεί να επηρεάσει τα μονοπάτια δεδομένων, οδηγώντας σε ελαφρώς διαφορετικές καθυστερήσεις. Ωστόσο, το γεγονός ότι το slack παραμένει θετικό δείχνει ότι το κύκλωμα εξακολουθεί να λειτουργεί εντός των χρονικών ορίων του.

Άσκηση 6

Στην άσκηση αυτή, εξετάζεται η εφαρμογή της τεχνικής φραγής ρολογιού (clock gating) στο κύκλωμα, με σκοπό τη μείωση της κατανάλωσης ισχύος. Η φραγή του ρολογιού ενεργοποιείται στα αρχικά στάδια της σύνθεσης, ενώ παράλληλα εξάγονται στατιστικά για τη χρήση της. Τα αποτελέσματα αξιολογούνται και συγκρίνονται με εκείνα της Άσκησης 1, ώστε να αναλυθεί η αποτελεσματικότητα της τεχνικής ως προς την κατανάλωση ισχύος, την επιφάνεια και την επίδοση του κυκλώματος.

Βήματα 1-6

Σε αυτή την ενότητα πραγματοποιείται η σύνθεση του κυκλώματος με ενεργοποιημένη τη φραγή ρολογιού. Η εντολή `report_clock_gating` χρησιμοποιείται για την εξαγωγή στατιστικών σχετικά με το ποσοστό των καταχωρητών που επηρεάζονται από τη φραγή του ρολογιού. Τα αποτελέσματα συγκρίνονται με εκείνα της Άσκησης 1, ώστε να εντοπιστούν τυχόν διαφορές στην περιοχή που καταλαμβάνει το κύκλωμα, καθώς και στη συνολική απόδοσή του. Για αυτήν την άσκηση υπάρχει διαφοροποίηση σε σχέση με την 1 όσον αφορά τα πρώτα βήματα στο genus οπου στο 3^ο βήμα ζητείται να ενεργοποιηθεί η φραγή ρολογιού (clock gating). Αυτό γίνεται με χρήση της εντολής :

- `set_db lp_insert_clock_gating true`

Οπότε τροποποιείται και το αρχείο `run_Ex6.tcl` οπου εξάγεται και αναφορά για το clock gating.

```
# Setup Path for library
set_db                                         init_lib_search_path
/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/GPDK045/gsclib045_svt_v4
.4/gsclib045/timing/
# Setup script path
set_db script_search_path /home/d/deirmentz/VLSI ASIC/Script/
# Setup hdl path
set_db init_hdl_search_path /home/d/deirmentz/VLSI ASIC/Risc-vVerilog/

#Setup timing library
set_db                                         library
/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/GPDK045/gsclib045_svt_v4
.4/gsclib045/timing/slow_vdd1v0_basicCells.lib
#end
#Setup lef library
set_db lef_library {
/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/GPDK045/gsclib045_svt_v4
.4/gsclib045/lef/gsclib045_tech.lef
/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/GPDK045/gsclib045_svt_v4
.4/gsclib045/lef/gsclib045_macro.lef}
#end
#Setup qrc library
read_qrc
/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/t1u1/reference_libs/GPDK045/gsclib045_svt_v4
.4/gsclib045/qrc/qx/gpdk045.tch
#end

# Setup hdl file
read_hdl picorv32.v

# Insert clock gating
set_db lp_insert_clock_gating true

# Elaborate
elaborate picorv32

# Check design
check_design -all > home/d/deirmentz/VLSI ASIC/Exercises/Exercise6/Exercise6_Step3_Check_Design.txt
```

```

# Read the sdc file
read_sdc /home/d/deirmentz/VLSI ASIC/Exercises/Exercise1/Step_4/Exercise_1_Step_4_Constraints.sdc
# Check timing intent
check_timing_intent >
/home/d/deirmentz/VLSI ASIC/Exercises/Exercise6/Step_4/Checks/Exercise6_Step5_Check_Timing_Intent.txt

# Setting for innovus
set_db / .use_scan_seqs_for_non_dft false

# Synthesis Generic
syn_generic
# Synthesis Mapping
syn_map
# Synthesis Optimization
syn_opt

# Report Area
report_area > /home/d/deirmentz/VLSI ASIC/Exercises/Exercise6/Step_5/Reports/Step5_Report_Area.txt
# Report Gates
report_gates > /home/d/deirmentz/VLSI ASIC/Exercises/Exercise6/Step_5/Reports/Step5_Report_Gates.txt
# Report Timing
report_timing > /home/d/deirmentz/VLSI ASIC/Exercises/Exercise6/Step_5/Reports/Step5_Report_Timing.txt
# Report Power
report_power > /home/d/deirmentz/VLSI ASIC/Exercises/Exercise6/Step_5/Reports/Step5_Report_Power.txt
# Report Quality of Results
report_qor > /home/d/deirmentz/VLSI ASIC/Exercises/Exercise6/Step_5/Reports/Step5_Report_QoR.txt

# Report clock gating
report_clock_gating >
D/home/d/deirmentz/VLSI ASIC/Exercises/Exercise6/Step_5/Reports/Clock_Gating_Report.txt

write_design -innovus picorv32

```

Ακολουθούν τα reports και screenshots από το Βήμα 5 και εξάγεται ο πίνακας αποτελεσμάτων.

	Total Power	Internal Power	Switching Power	Leakage Power	Gates	Slack	Area
1 ^η Άσκηση	5.38122e-03 W	1.65971e-03W	3.72066e-03W	8.46420e-07W	10302	0ns	48527.595
6 ^η Άσκηση	2.98881e-03W	6.98557e-04W	2.28945e-03W	8.03244e-07W	10053	0ns	43224.905
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειωθηκε	Ίδιο	Μειώθηκε

Συγκριτικός Πίνακας Αποτελεσμάτων με άσκηση 1

Report Area

Instance	Module	Cell Count	Cell Area	Net Area	Total Area
picorv32		10053	30257.082	12967.823	43224.905

Σχήμα 6.1 : Report Area

Report Gates

Report Power

Type	Instances	Area	Area %	Category	Leakage	Internal	Switching	Total	Row%
sequential	1961	11111.922	36.7	memory	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
inverter	435	372.096	1.2	register	2.46214e-07	3.83028e-04	6.92445e-05	4.52519e-04	15.14%
buffer	311	2080.386	6.9	latch	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
clock_gating_integrated_cell	58	376.884	1.2	logic	5.50293e-07	2.86091e-04	2.20998e-03	2.48762e-03	83.23%
logic	7288	16315.794	53.9	bbox	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
physical_cells	0	0.000	0.0	clock	6.73778e-09	2.94376e-05	1.92243e-05	4.86687e-05	1.63%
total	10053	30257.082	100.0	pad	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
				pm	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
				Subtotal	8.03244e-07	6.98557e-04	2.28945e-03	2.98881e-03	100.00%
				Percentage	0.03%	23.37%	76.60%	100.00%	100.00%

Σχήματα 6.2 και 6.3 : Report Gates and Report Power

Report QoR

Timing				Area			
Clock Period				Cell Area			
clk 5000.0				30257.082			
				Physical Cell Area			
				0.000			
				Total Cell Area (Cell+Physical)			
				30257.082			
				Net Area			
				12967.823			
				Total Area (Cell+Physical+Net)			
				43224.905			
Cost Group				Max Fanout			
Path Slack				313 (clk)			
TNS				Min Fanout			
Paths				0 (mem_la_firstword_reg)			
Total				Average Fanout			
				2.5			
				Terms to net ratio			
				3.4528			
				Terms to instance ratio			
				3.7073			
				Runtime			
				400.999998 seconds			
				Elapsed Runtime			
				419 seconds			
				Genus peak memory usage			
				1295.16			
				Innovus peak memory usage			
				no_value			
				Hostname			
				cn96.it.auth.gr			

Σχήμα 6.4 : Report Quality of Results

Summary					
Category	Number	%	Average Toggle	Saving %	
Total Clock Gating Instances	58	100.00		-	
RC Clock Gating Instances	58	100.00	79.43		
Non-RC Clock Gating Instances	0	0.00	0.00		
RC Gated Flip-flops	1706	87.00	83.57		
Non-RC Gated Flip-flops	0	0.00	0.00		
Total Gated Flip-flops	1706	87.00	-		
Total Ungated Flip-flops	255	13.00	-		
Enable not found	238	93.33	-		
Register bank width too small	17	6.67	-		
Total Flip-flops	1961	100.00	-		
Multibit Flip-flop Summary					
Width	Number	Bits	RC Gated	Ungated	
1-bit	1961	1961	1706 (87.00%)	255 (13.00%)	

Σχήμα 6.5 : Report Clock Gating

Μετά τη σύνθεση, η ενεργοποίηση του clock gating οδήγησε σε σημαντική μείωση της συνολικής κατανάλωσης ισχύος, επιβεβαιώνοντας ότι η τεχνική αυτή είναι αποτελεσματική στη μείωση των περιττών μεταγωγών του ρολογιού.

Η internal power μειώθηκε δραστικά και switching power μειώθηκε επίσης, κάτι που ήταν αναμενόμενο, αφού λιγότερα σήματα ρολογιού ενεργοποιούνται άσκοπα. Η ισχύς διαφροής παρουσίασε μικρότερη μείωση, γεγονός που δείχνει ότι η τεχνική επηρεάζει κυρίως την ενεργή ισχύ και όχι την κατανάλωση σε κατάσταση αδράνειας.

Ο αριθμός των πυλών μειώθηκε ελαφρώς, πιθανώς επειδή η εισαγωγή clock gating επιτρέπει τη χρήση πιο αποδοτικών δομών καταχώρησης. Το slack παρέμεινε σταθερό, που σημαίνει ότι η απόδοση του κυκλώματος από χρονική άποψη δεν επηρεάστηκε από το clock gating. Η επιφάνεια μειώθηκε, κάτι που υποδηλώνει ότι το κύκλωμα αξιοποιεί πιο αποδοτικά τον διαθέσιμο χώρο.

Bήματα 7-11

Ακολουθεί το placement και εξάγονται αναφορές για area,power και timing οπου παρουσιάζονται στον πίνακα συγκριτικά με της ασκησης 1 καθώς και τα αντίστοιχα screenshots.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	3.79670990W	1.52660433W	2.26925081W	0.00085476W	0.019ns	34631.604
6 ^η Άσκηση	3.19169029W	1.00539742W	2.18548934W	0.00080353W	0.013ns	30437.658
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε(?)

Συγκριτικός Πίνακας Αποτελεσμάτων με άσκηση 1

Report Area

Hinst Name	Module Name	Inst Count	Total Area
picorv32		10356	30437.658
RC(CG)_HIER_INST0	RC(CG)_MOD	1	6.498
RC(CG)_HIER_INST1	RC(CG)_MOD_1	1	6.498
RC(CG)_HIER_INST10	RC(CG)_MOD_10	1	6.498
RC(CG)_HIER_INST11	RC(CG)_MOD_11	1	6.498
RC(CG)_HIER_INST12	RC(CG)_MOD_12	1	6.498
RC(CG)_HIER_INST13	RC(CG)_MOD_13	1	6.498
RC(CG)_HIER_INST14	RC(CG)_MOD_14	1	6.498
RC(CG)_HIER_INST15	RC(CG)_MOD_15	1	6.498
RC(CG)_HIER_INST16	RC(CG)_MOD_16	1	6.498
...			
RC(CG)_HIER_INST52	RC(CG)_MOD_52	1	6.498
RC(CG)_HIER_INST53	RC(CG)_MOD_53	1	6.498
RC(CG)_HIER_INST54	RC(CG)_MOD_54	1	6.498
RC(CG)_HIER_INST6	RC(CG)_MOD_6	1	6.498
RC(CG)_HIER_INST7	RC(CG)_MOD_7	1	6.498
RC(CG)_HIER_INST8	RC(CG)_MOD_8	1	6.498
RC(CG)_HIER_INST9	RC(CG)_MOD_9	1	6.498
genblk2.pcp1_div_RC(CG)_HIER_INST55	RC(CG)_MOD_55	1	6.498
genblk2.pcp1_div_RC(CG)_HIER_INST56	RC(CG)_MOD_56	1	6.498
genblk2.pcp1_div_RC(CG)_HIER_INST57	RC(CG)_MOD_57	1	6.498

Σχήμα 6.6: Report Area και Clock Gating Instances Area

Report Timing

```

Path Groups: {clk}
Analysis View: Analysis_View_Exer1
Other End Arrival Time      0.000
- External Delay            0.750
+ Phase Shift                5.000
- Uncertainty                 0.015
= Required Time              4.235
- Arrival Time                4.222
= Slack Time                  0.013
    Clock Rise Edge           0.000
    + Input Delay              0.750
    + Drive Adjustment          0.089
    = Beginpoint Arrival Time  0.839

```

Report Power

Total Power						
	Total Internal Power:	1.00539742	31.5005%	Total Switching Power:	2.18548934	68.4744%
	Total Leakage Power:	0.00080353	0.0252%	Total Power:	3.19169029	
Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)	
Sequential	0.4379	0.07672	0.0002436	0.5148	16.13	
Macro	0	0	0	0	0	
IO	0	0	0	0	0	
Combinational	0.5379	2.189	0.0005532	2.647	82.94	
Clock (Combinational)	0	0	0	0	0	
Clock (Sequential)	0.0296	0	6.738e-06	0.0296	0.9275	
Total	1.005	2.185	0.0008035	3.192	100	

Σχήματα 6.7 και 6.8 : Report Timing and Report Power

Μετά το placement, η συνολική κατανάλωση ισχύος μειώθηκε σημαντικά σε σχέση με την Άσκηση 1, επιβεβαιώνοντας ότι το **clock gating** συνεχίζει να λειτουργεί αποτελεσματικά στη μείωση της switching και της internal ισχύος. Η εσωτερική ισχύς μειώθηκε, καθώς το κύκλωμα σταματά τη διάδοση του

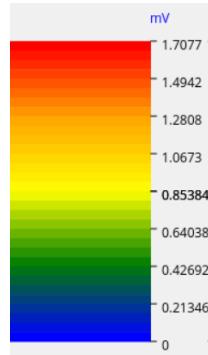
ρολογιού σε ανενεργά τμήματα, περιορίζοντας τις περιπτές μεταγωγές. Η switching ισχύς επίσης μειώθηκε, καθώς λιγότερα σήματα ενεργοποιούνται κάθε κύκλο.

Η ισχύς διαρροής μειώθηκε ελαφρώς, γεγονός που δείχνει ότι η τεχνική clock gating επηρεάζει κυρίως την ενεργή κατανάλωση και λιγότερο τη στατική ισχύ. Το slack μειώθηκε ελαφρώς αλλά παρέμεινε θετικό, επιβεβαιώνοντας ότι το κύκλωμα εξακολουθεί να πληροί τις χρονικές απαιτήσεις.

Η επιφάνεια του κυκλώματος μειώθηκε, αλλά πρέπει να ληφθεί υπόψη ότι στο report εμφανίζονται αρκετά **clock gating modules**, όπως **RC_CG_HIER_INST**. Αυτά τα στοιχεία καταλαμβάνουν κάποιο επιπλέον χώρο, αλλά ταυτόχρονα συμβάλλουν στη συνολική μείωση της κατανάλωσης ισχύος. Παρά την προσθήκη αυτών των μονάδων, η επιφάνεια συνολικά είναι χαμηλότερη.

Βήματα 12-14

Το βήμα 12 είναι προαιρετικό για την συγκεκριμένη άσκηση αλλά παρόλα αυτά υλοποιήθηκε και εδώ προκειμένου να υπάρχει και στο κομμάτι το IR drop μια σύγκριση με την άσκηση 1. Ακολουθεί το power graph:



Σχήμα 6.9: Power Graph

Σε αυτό το στάδιο πραγματοποιείται η σύνθεση του δέντρου ρολογιού και η ανάλυση του χρονισμού. Η φραγή ρολογιού μπορεί να επηρεάσει τη δομή του δέντρου ρολογιού, καθώς ορισμένα μονοπάτια μπορεί να έχουν μειωμένη δραστηριότητα. Εξετάζεται αν υπάρχουν αλλαγές στην απόδοση του κυκλώματος και αν η τεχνική clock gating έχει επηρεάσει την κατανομή των buffers και των παλμογράφων στο δέντρο ρολογιού.

Ακολουθούν τα reports και screenshots από το Βήμα 14, όπου αναλύεται η δομή του δέντρου ρολογιού και οι επιπτώσεις της χρήσης MBFFs.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	5.90146731W	1.82759302W	4.07285812W	0.00101617W	0.017ns	37980.126
6 ^η Άσκηση	4.49191974W	1.10090681W	3.39016752W	0.00084541W	0.028ns	31381.578
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Αυξήθηκε	Μειωθηκε(?)

Συγκριτικός Πίνακας Αποτελεσμάτων με άσκηση 1

Report Area

Hinst Name	Module Name	Inst Count	Total Area
picorv32		10776	31381.578

RC(CG)_HIER_INST0	RC(CG)_MOD	1	8.550
RC(CG)_HIER_INST1	RC(CG)_MOD_1	1	8.550
RC(CG)_HIER_INST10	RC(CG)_MOD_10	1	6.840
RC(CG)_HIER_INST11	RC(CG)_MOD_11	1	8.550
RC(CG)_HIER_INST12	RC(CG)_MOD_12	1	6.498
RC(CG)_HIER_INST13	RC(CG)_MOD_13	1	6.840
RC(CG)_HIER_INST14	RC(CG)_MOD_14	2	10.260
RC(CG)_HIER_INST15	RC(CG)_MOD_15	1	12.996
RC(CG)_HIER_INST16	RC(CG)_MOD_16	1	8.550
RC(CG)_HIER_INST17	RC(CG)_MOD_17	1	6.840
RC(CG)_HIER_INST18	RC(CG)_MOD_18	1	10.944
RC(CG)_HIER_INST19	RC(CG)_MOD_19	1	10.944
RC(CG)_HIER_INST2	RC(CG)_MOD_2	1	8.550

•••

RC(CG)_HIER_INST54	RC(CG)_MOD_54	1	6.840
RC(CG)_HIER_INST6	RC(CG)_MOD_6	1	10.944
RC(CG)_HIER_INST7	RC(CG)_MOD_7	1	8.550
RC(CG)_HIER_INST8	RC(CG)_MOD_8	1	8.550
RC(CG)_HIER_INST9	RC(CG)_MOD_9	1	8.550
genblk2.pcpi_div_RC(CG)_HIER_INST55	RC(CG)_MOD_55	1	6.840
genblk2.pcpi_div_RC(CG)_HIER_INST56	RC(CG)_MOD_56	1	8.550
genblk2.pcpi_div_RC(CG)_HIER_INST57	RC(CG)_MOD_57	1	6.840

Σχήμα 6.10 : Report Area και Clock Gating Instances Area

Report Timing		Report Power					
		Total Power					
Path Groups: {clk}		Total Internal Power: 1.10090681 24.5086%					
Analysis View: Analysis_View_Exer1		Total Switching Power: 3.39016752 75.4726%					
Other End Arrival Time	-0.124	Total Leakage Power: 0.00084541 0.0188%					
		Total Power: 4.49191974					

- Setup	0.114	Group					
+ Phase Shift	5.000	Internal Power					
- Uncertainty	0.015	Switching Power					
= Required Time	4.746	Leakage Power					
- Arrival Time	4.718	Total Power (%)					
= Slack Time	0.028	Sequential	0.438	0.1166	0.0002436	0.5548	12.35
Clock Rise Edge	0.000	Macro	0	0	0	0	0
+ Clock Network Latency (Prop)	0.035	IO	0	0	0	0	0
= Beginpoint Arrival Time	0.035	Combinational	0.5371	3.153	0.0005542	3.691	82.16
		Clock (Combinational)	0.06966	0.1098	3.34e-05	0.1795	3.996
		Clock (Sequential)	0.05622	0.01061	1.424e-05	0.06684	1.488
		Total	1.101	3.39	0.0008454	4.492	100

Σχήματα 6.11 και 6.12 : Report Timing and Report Power

Μετά τη σύνθεση του δέντρου ρολογιού (Post-CTS), η συνολική κατανάλωση ισχύος μειώθηκε αισθητά σε σχέση με την Άσκηση 1.

Η εσωτερική ισχύς μειώθηκε σημαντικά, καθώς το clock gating περιορίζει τη διάδοση του ρολογιού μόνο στα απαραίτητα τμήματα του κυκλώματος, μειώνοντας έτσι τη μεταγωγή εντός των buffers και των flip-flops. Η switching ισχύς επίσης μειώθηκε. Η ισχύς διαρροής μειώθηκε ελαφρώς, επιβεβαιώνοντας ότι η τεχνική clock gating επηρεάζει κυρίως την ενεργή ισχύ και λιγότερο τη στατική κατανάλωση.

Το slack αυξήθηκε, κάτι που μπορεί να οφείλεται και σε κάποια απόκλιση του εργαλείου ή στο ότι η πιο αποδοτική διανομή του ρολογιού μειώνει τις καθυστερήσεις στις κρίσιμες διαδρομές.

Η επιφάνεια μειώθηκε, πιθανώς λόγω της μείωσης των buffers και της βελτιστοποιημένης κατανομής των στοιχείων ρολογιού. Ωστόσο, στο report του placement φάνηκε ότι προστέθηκαν αρκετά clock gating modules, τα οποία καταλαμβάνουν κάποιο χώρο, αλλά συνολικά η αποδοτικότερη χρήση των στοιχείων φαίνεται να υπερκαλύπτει αυτό το κόστος.

Βήμα 15

Στο τελικό στάδιο της δρομολόγησης (PostRoute), πραγματοποιείται η πλήρης ανάλυση της ισχύος, της επιφάνειας και της επίδοσης του κυκλώματος. Οι τελικές μετρήσεις συγκρίνονται με εκείνες της Άσκησης 1, προκειμένου να διαπιστωθεί αν η τεχνική clock gating βελτίωσε την ενεργειακή απόδοση χωρίς να επηρεάσει αρνητικά τη λειτουργικότητα του κυκλώματος.

Ακολουθούν τα reports και screenshots από το Βήμα 15, όπου αποτυπώνονται οι τελικές μετρήσεις μετά τη δρομολόγηση.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	5.59116899W	1.82927033W	3.76088249W	0.00101617W	0.439ns	37980.126
6 ^η Άσκηση	4.47491141W	1.10113987W	3.37292619W	0.00084535W	0.065ns	31363.452
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειωθηκε	Μειωθηκε(?)

Συγκριτικός Πίνακας Αποτελεσμάτων με άσκηση 1

Report Area

Hinst Name	Module Name	Inst Count	Total Area
picorv32		10762	31363.452
RC(CG)_HIER_INST0	RC(CG)_MOD	1	8.550
RC(CG)_HIER_INST1	RC(CG)_MOD_1	1	8.550
RC(CG)_HIER_INST10	RC(CG)_MOD_10	1	6.840
RC(CG)_HIER_INST11	RC(CG)_MOD_11	1	8.550
RC(CG)_HIER_INST12	RC(CG)_MOD_12	1	6.498
RC(CG)_HIER_INST13	RC(CG)_MOD_13	1	6.840
RC(CG)_HIER_INST14	RC(CG)_MOD_14	2	10.260
RC(CG)_HIER_INST15	RC(CG)_MOD_15	1	12.996
RC(CG)_HIER_INST16	RC(CG)_MOD_16	1	8.550
RC(CG)_HIER_INST17	RC(CG)_MOD_17	1	6.840
RC(CG)_HIER_INST18	RC(CG)_MOD_18	1	10.944
...			
RC(CG)_HIER_INST6	RC(CG)_MOD_6	1	10.944
RC(CG)_HIER_INST7	RC(CG)_MOD_7	1	8.550
RC(CG)_HIER_INST8	RC(CG)_MOD_8	1	8.550
RC(CG)_HIER_INST9	RC(CG)_MOD_9	1	8.550
genblk2.pcpi_div_RC(CG)_HIER_INST55	RC(CG)_MOD_55	1	6.840
genblk2.pcpi_div_RC(CG)_HIER_INST56	RC(CG)_MOD_56	1	8.550
genblk2.pcpi_div_RC(CG)_HIER_INST57	RC(CG)_MOD_57	1	6.840

Σχήμα 6.13 : Report Area και Clock Gating Instances Area

Report Timing

Total Power						
Total Internal Power:	1.10113987	24.6070%				
Total Switching Power:	3.37292619	75.3741%				
Total Leakage Power:	0.00084535	0.0189%				
Total Power:	4.47491141					
Path Groups: {clk}						
Analysis View: Analysis_View_Exer1						
Other End Arrival Time	0.000					
- External Delay	0.750					
+ Phase Shift	5.000					
- Uncertainty	0.015					
= Required Time	4.235					
- Arrival Time	4.170					
= Slack Time	0.065					
Clock Rise Edge	0.000	Sequential	0.438	0.114	0.0002436	0.5523
+ Input Delay	0.750	Macro	0	0	0	0
+ Drive Adjustment	0.068	I0	0	0	0	0
= Beginpoint Arrival Time	0.818	Combinational	0.5372	3.144	0.0005541	3.682
		Clock (Combinational)	0.06967	0.1049	3.34e-05	0.1746
			0.05622	0.01022	1.424e-05	0.06645
		Total	1.101	3.373	0.0008453	4.475
						100

Σχήματα 6.14 και 6.15 : Report Timing and Report Power

Μετά το **Post-Route**, η κατανάλωση ισχύος παραμένει σημαντικά χαμηλότερη από αυτήν της Άσκησης 1.

Η εσωτερική ισχύς μειώθηκε δραστικά και η **switching ισχύς** επίσης μειώθηκε. Η **ισχύς διαρροής** συνέχισε να παρουσιάζει μικρή μείωση, επιβεβαιώνοντας ότι η τεχνική αυτή επηρεάζει κυρίως την ενεργή ισχύ και λιγότερο τη στατική κατανάλωση.

Το **slack αυξήθηκε σε σχέση με τα προηγούμενα στάδια**, αλλά είναι εμφανώς μικρότερο από αυτό της άσκησης 1. Η **επιφάνεια μειώθηκε**, γεγονός που δείχνει ότι το κύκλωμα κατάφερε να εκμεταλλευτεί καλύτερα τον διαθέσιμο χώρο, παρά την προσθήκη μονάδων clock gating. Η τελική έκταση του κυκλώματος είναι σημαντικά μικρότερη από αυτήν της Άσκησης 1, αποδεικνύοντας ότι η τεχνική αυτή συμβάλλει επίσης σε πιο συμπαγή σχεδίαση.

Συμπέρασμα

Η χρήση του clock gating στην Άσκηση 6 οδήγησε σε σημαντική μείωση της συνολικής κατανάλωσης ισχύος σε όλα τα στάδια της υλοποίησης σε σύγκριση με την Άσκηση 1. Η μείωση αυτή προήλθε κυρίως από τη δραστική μείωση της εσωτερικής και switching ισχύος, αφού το ρολόι σταματά να διαδίδεται σε τμήματα του κυκλώματος που δεν είναι ενεργά. Η ισχύς διαρροής μειώθηκε ελαφρώς, επιβεβαιώνοντας ότι η τεχνική αυτή επηρεάζει κυρίως την ενεργή κατανάλωση και όχι τόσο τη στατική.

Τα αποτελέσματα είναι απολύτως λογικά και αναμενόμενα σύμφωνα με τη θεωρία του clock gating. Η τεχνική αυτή μειώνει την κατανάλωση ισχύος απενεργοποιώντας τμήματα του κυκλώματος όταν δεν είναι απαραίτητα, οδηγώντας σε λιγότερες μεταγωγές και χαμηλότερη ενεργή κατανάλωση.

Άσκηση 7

Η διαδικασία σχεδίασης ψηφιακών κυκλωμάτων περιλαμβάνει πολλαπλά στάδια μετατροπής, από την αρχική περιγραφή σε RTL μέχρι την τελική gate-level υλοποίηση. Είναι κρίσιμο να διασφαλιστεί ότι κάθε στάδιο διατηρεί τη λογική ισοδυναμία με το αρχικό κύκλωμα. Για τον σκοπό αυτό, χρησιμοποιείται το Logic Equivalence Checking (LEC), ένα εργαλείο που συγκρίνει διαφορετικές αναπαραστάσεις του κυκλώματος και επιβεβαιώνει ότι η λειτουργικότητα παραμένει αναλλοίωτη.

Η παρούσα άσκηση επικεντρώνεται στη χρήση του Cadence Conformal LEC για τη σύγκριση του κώδικα RTL με τα αποτελέσματα της σύνθεσης σε τρία στάδια: μετά το Elaboration, μετά τη Generic Σύνθεση και μετά τη Mapped Σύνθεση. Ο στόχος είναι να αναγνωριστούν πιθανές διαφοροποιήσεις μεταξύ των διαφορετικών επιπέδων σχεδίασης και να διαπιστωθεί εάν υπάρχουν μη ισοδύναμες λογικές δομές. Για την εκτέλεση του ελέγχου λογικής ισοδυναμίας, απαιτούνται τροποποιήσεις στο αρχείο .tcl. Η διαδικασία περιλαμβάνει την προσθήκη των παρακάτω εντολών:

```
•      # Verification RTL vs Elaboration step
write_netlist -lec > elab.v
write_do_lec -top picorv32 -golden_design rtl -revised_design elab.v -log_file
rtl_elab.lec.log > rtl_elab.do

•      # Verification Generic vs Mapped step
write_netlist -lec > map.v
write_do_lec -top picorv32 -golden_design rtl -revised_design map.v -log_file
elab_map.lec.log > elab_map.do
```

Οι παραπάνω εντολές εξάγουν τα απαραίτητα netlists και δημιουργούν τα αντίστοιχα **LEC do files**, τα οποία χρησιμοποιούνται για τη σύγκριση των διαφορετικών σταδίων σχεδίασης. Στη συνέχεια, οι έλεγχοι εκτελούνται μέσω των ακόλουθων εντολών στο terminal:

- `lec -XL -nogui -dofile rtl_elab.do`
- `lec -XL -nogui -dofile rtl_map.do`

Με την εκτέλεση αυτών των εντολών, το εργαλείο LEC θα παράγει αναφορές που περιέχουν πληροφορίες σχετικά με την ισοδυναμία των δύο εκδόσεων του κυκλώματος. Αυτές οι αναφορές θα χρησιμοποιηθούν για την ανάλυση και την εξαγωγή συμπερασμάτων σχετικά με την ορθότητα του σχεδιαστικού flow. Παρακατώ, παρατίθενται τα αντίστοιχα screenshots από το νέο terminal με τα reports που ζητούνται από την εκφώνηση.

Verification Report	
Category	Count
1. Non-standard modeling options used:	0
Tri-stated output:	checked
Revised X signals set to E:	yes
Floating signals tied to Z:	yes
Command "add clock" for clock-gating:	not used
2. Incomplete verification:	0
All primary outputs are mapped:	yes
Not-mapped DFF/DLAT is detected:	no
All mapped points are added as compare points:	yes
All compared points are compared:	yes
User added black box:	no
Black box mapped with different module name:	no
Empty module is not black boxed:	no
Command "add ignore outputs" used:	no
Always false constraints detected:	no
Verified pin-equivalent outputs are unmapped:	no
3. User modification to design:	0
Change gate type:	no
Change wire:	no
Primary input added by user:	no
4. Conformal Constraint Designer clock domain crossing checks recommended:	1
RTL5.4 Partial case items in full case statement:	used *
Multiple clocks in the design:	no
5. Design ambiguity:	0
Duplicate module definition:	no
Black box due to undefined cells:	no
Golden design has abnormal ratio of unreachable gates:	no
Ratio of golden unreachable gates:	0%
Revised design has abnormal ratio of unreachable gates:	no
Ratio of revised unreachable gates:	0%
All primary input bus ordering is consistent:	yes
All primary output bus ordering is consistent:	yes
DFF/DLAT not compared due to disabled clock port(s):	0
Always X compared point is detected:	not checked
6. Compare Results:	PASS
Total Equivalent modules = 3	

Σχήμα 7.1: Βήμα 1-7 RTL με Elaboration -Logic Equivalent Check

Mapping and compare statistics		
	Compare Result	
Root module name		Golden Revised
Primary inputs	102	102
Mapped	102	102
Undriven key points	0	565
Unmapped	0	565
Extra	0	565
Primary outputs	307	307
Mapped	307	307
Equivalent	307	
Black-box key points	2	2
Mapped	2	2
Equivalent	2	
State key points	1755	1755
Mapped	1753	1753
Equivalent	1753	
Unmapped	2	2
Unreachable	2	2

0
CPU time : 87.16 seconds
Elapse time : 362 seconds
Memory usage : 242.69 M bytes

Σχήμα 7.2: Βήμα 1-7 RTL με Elaboration -Statistics Report.

Η σύγκριση του κώδικα RTL με το στιγμιότυπο μετά το βήμα elaborate έδειξε επίσης ότι το σχέδιο παραμένει λειτουργικά ισοδύναμο, καθώς το τελικό αποτέλεσμα της επαλήθευσης είναι PASS. Το εργαλείο Conformal Logic Equivalence Checking δεν εντόπισε λειτουργικές διαφορές μεταξύ των δύο σχεδιάσεων. Το root όνομα του module παραμένει το ίδιο, δηλαδή picorv32, και τα πρωτεύοντα σήματα εισόδου είναι 102, τα οποία έχουν χαρτογραφηθεί πλήρως και στα δύο σχέδια. Τα πρωτεύοντα σήματα εξόδου είναι 307 και έχουν επίσης χαρτογραφηθεί σωστά, με όλα τα σημεία να αναγνωρίζονται ως ισοδύναμα. Βρέθηκαν δύο black-box key points, τα οποία έχουν χαρτογραφηθεί πλήρως και θεωρούνται ισοδύναμα. Τα state key points είναι 1755 και έχουν χαρτογραφηθεί εξ ολοκλήρου, με 1753 από αυτά να είναι ισοδύναμα και δύο να παραμένουν μη αντιστοιχισμένα. Επιπλέον, το σύστημα ανέφερε 565 un-driven key points, τα οποία δεν υπήρχαν στην αρχική χρυσή εκδοχή του σχεδίου. Παρόλο που υπάρχουν δύο μη αντιστοιχισμένα state key points και 565 un-driven key points, το τελικό αποτέλεσμα της επαλήθευσης παραμένει επιτυχές, γεγονός που υποδεικνύει ότι η συνθετική διαδικασία δεν άλλαξε τη βασική λειτουργικότητα του σχεδιασμού. Η συνολική διάρκεια εκτέλεσης της σύγκρισης ήταν 362 δευτερόλεπτα, με κατανάλωση μνήμης 242,69 MB, γεγονός που υποδεικνύει ότι η διαδικασία ήταν και υπολογιστικά απαιτητική.

===== Verification Report =====		
Category		Count
1. Non-standard modeling options used:		1
Tri-stated output:	checked	
Revised X signals set to E:	yes	
Floating signals tied to Z:	no *	
Command "add clock" for clock-gating:	not used	
2. Incomplete verification:		0
All primary outputs are mapped:	yes	
Not-mapped DFF/DLAT is detected:	no	
All mapped points are added as compare points:	yes	
All compared points are compared:	yes	
User added black box:	no	
Black box mapped with different module name:	no	
Empty module is not black boxed:	no	
Command "add ignore outputs" used:	no	
Always false constraints detected:	no	
Verified pin-equivalent outputs are unmapped:	no	
3. User modification to design:		0
Change gate type:	no	
Change wire:	no	
Primary input added by user:	no	
4. Conformal Constraint Designer clock domain crossing checks recommended:	1	
RTL5.4 Partial case items in full case statement:	used *	
Multiple clocks in the design:	no	
5. Design ambiguity:		0
Duplicate module definition:	no	
Black box due to undefined cells:	no	
Golden design has abnormal ratio of unreachable gates:	no	
Ratio of golden unreachable gates:	1%	
Revised design has abnormal ratio of unreachable gates:	no	
Ratio of revised unreachable gates:	0%	
All primary input bus ordering is consistent:	yes	
All primary output bus ordering is consistent:	yes	
DFF/DLAT not compared due to disabled clock port(s):	0	
Always X compared point is detected:	not checked	
6. Compare Results:		PASS
Total Equivalent modules	= 2	

Σχήμα 7.2: Βήμα 1-7 RTL με After Synthesis Mapping -Logic Equivalent Check

Mapping and compare statistics		
	Compare Result	Golden
Root module name		Revised
Primary inputs	102	102
Mapped	102	102
Primary outputs	307	307
Mapped	307	307
Equivalent	307	
State key points	2090	1961
Mapped	1961	1961
Equivalent	1961	
Unmapped	117	0
Unreachable	117	0
Merged	12	0
Compare results of merged compare points		
Compared points	DFF	Total
Equivalent	11	11
Compare results of instance/output/pin equivalences and/or sequential merge		
Compared points	DFF	Total
Equivalent	67	67

Σχήμα 7.2: Βήμα 1-7 RTL με After Synthesis Mapping- Statistics Report.

Η σύγκριση του κώδικα RTL με το στιγμάτυπο μετά το βήμα του mapping έδειξε ότι το σχέδιο παρέμεινε λειτουργικά ισοδύναμο, καθώς το τελικό αποτέλεσμα της επαλήθευσης είναι PASS. Το εργαλείο Conformal Logic Equivalence Checking δεν εντόπισε λειτουργικές διαφορές μεταξύ των δύο σχεδιάσεων. Ο συνολικός αριθμός των ισοδύναμων μονάδων είναι δύο, γεγονός που επιβεβαιώνει ότι το σχέδιο μετά τη χαρτογράφηση παραμένει πιστό στη συμπεριφορά του αρχικού RTL κώδικα. Όλα τα πρωτεύοντα σήματα εξόδου έχουν χαρτογραφηθεί και συγκριθεί πλήρως, ενώ δεν εντοπίστηκαν μη αντιστοιχισμένα DFF/DLAT ή black boxes. Ο σχεδιασμός δεν περιέχει ασαφείς ορισμούς, διπλά modules ή ανεπίλυτα σήματα. Ωστόσο, ανιχνεύθηκε ποσοστό 1% μη προσβάσιμων πυλών στην αρχική σχεδίαση, το οποίο δεν θεωρείται ανησυχητικό, καθώς η αναθεωρημένη εκδοχή δεν παρουσίασε καθόλου μη προσβάσιμες πύλες. Επιπλέον, δεν βρέθηκαν πολλαπλά ρολόγια στο σχέδιο και η σειρά των πρωτεύοντων εισόδων και εξόδων είναι συνεπής. Η συνολική διαδικασία επαλήθευσης δείχνει ότι η διαδικασία της mapping σύνθεσης δεν επηρέασε τη λειτουργικότητα του σχεδίου, επιβεβαιώνοντας ότι η τελική υλοποίηση είναι ισοδύναμη με το αρχικό RTL.

Συνοπτικά, σύμφωνα με τις αναφορές των αποτελεσμάτων της εντολής report_statistics, τα equivalent points (EQ) που βρέθηκαν είναι τα εξής:

1. Για το στάδιο RTL - Elaboration

- **State key points:** 1753 από τα 1755 είναι ισοδύναμα.
- **Black-box key points:** 2 ισοδύναμα.
- **Primary outputs:** 307 ισοδύναμα.
- **Συνολικά Equivalent Points:** $1753 + 2 + 307 = \underline{\underline{2062}}$

2. Για το στάδιο RTL – Synthesis Mapping

- **State key points:** 1961 από τα 2090 είναι ισοδύναμα.
- **Primary outputs:** 307 ισοδύναμα.
- **Merged Compare Points:** 11 ισοδύναμα.
- **Instance/Output/Pin Equivalences:** 67 ισοδύναμα.
- **Συνολικά Equivalent Points:** $1961 + 307 + 11 + 67 = \underline{\underline{2346}}$

Άσκηση 8

Στην Άσκηση 8 γίνεται μια πιο προχωρημένη ανάλυση του σχεδιασμού του κυκλώματος, εστιάζοντας στην ολοκλήρωση του με την προσθήκη pads και την αξιολόγηση των επιδόσεών του μετά τη δρομολόγηση. Η διαδικασία περιλαμβάνει την επανάληψη των Βημάτων 8-15 της Άσκησης 1, αλλά μετά τη σύνθεση του κυκλώματος. Ο στόχος είναι να ενσωματώθούν τα pads και να αξιολογηθεί η συνολική λειτουργία του σχεδιασμού με τα νέα δεδομένα.

Η εισαγωγή αυτών των στοιχείων απαιτεί την προσθήκη του σχετικού αρχείου .lef, το οποίο περιγράφει τα pads, καθώς και του αρχείου χρονικών περιορισμών pads_SS_s1vg.lib, που ενσωματώνεται μέσω του MMMC. Για την αυτοματοποίηση της διαδικασίας, χρησιμοποιείται ένα παρεχόμενο script σε Python, το οποίο διευκολύνει την τοποθέτηση των pads στο κύκλωμα.

Στη συνέχεια, το project εισάγεται στο εργαλείο Innovus, όπου πραγματοποιείται η τοποθέτηση και η δρομολόγηση (place & route). Μετά την ολοκλήρωση του Βήματος 15, ζητείται ένα στιγμιότυπο οθόνης του κυκλώματος ώστε να αποτυπωθεί η τελική διαμόρφωση μετά τη δρομολόγηση.

Επιπλέον, ζητείται μια αναφορά που περιλαμβάνει κρίσιμες μετρικές αξιολόγησης, όπως η συνολική επιφάνεια του κυκλώματος με τα pads, η επιφάνεια που καταλαμβάνει ο πυρήνας, καθώς και οι μετρήσεις για την ισχύ και την απόδοση του σχεδιασμού. Μέσα από τη σύγκριση αυτών των αποτελεσμάτων με εκείνα της Άσκησης 1, μπορεί να αναλυθεί ο αντίκτυπος της προσθήκης των pads στην επιφάνεια, την κατανάλωση ισχύος και την επίδοση του κυκλώματος.

Στόχος της άσκησης είναι να κατανοηθεί η επίδραση της τοποθέτησης των pads στη φυσική σχεδίαση του κυκλώματος, να αξιολογηθεί πώς επηρεάζεται η συνολική επιφάνεια και η κατανάλωση ισχύος, καθώς και να εντοπιστούν πιθανές αλλαγές στην απόδοση λόγω της διαδικασίας δρομολόγησης.

Βήματα 1-6

Τα πρώτα βήματα της σύνθεσης όπως αναφέρεται και στην εκφώνηση είναι παρόμοια με τις ασκησης 1. Στην συνέχεια, ακολουθώντας τις οδηγίες του εγχειρίδιου στην ενοτητα για τα IO pads, προστέθηκε στο αρχείο genus.v προστίθεται το module **picorv32_pads**. Παρακατω παρουσιάζεται ο κώδικας σε Verilog για το συγκεκριμένο module οπου ενσωματώθηκε και η έξοδος που προέκυψε από το αρχείο pads.py που δόθηκε από την εκφώνηση.

```
module picorv32_pads(clk, resetn, trap, mem_valid, mem_instr, mem_ready,
mem_addr, mem_wdata, mem_wstrb, mem_rdata, mem_la_read,
mem_la_write, mem_la_addr, mem_la_wdata, mem_la_wstrb, pcpi_valid,
pcpi_insn, pcpi_rs1, pcpi_rs2, pcpi_wr, pcpi_rd, pcpi_wait,
pcpi_ready, irq, eoi, trace_valid, trace_data,
clk_w, resetn_w, trap_w, mem_valid_w, mem_instr_w, mem_ready_w,
mem_addr_w, mem_wdata_w, mem_wstrb_w, mem_rdata_w, mem_la_read_w,
mem_la_write_w, mem_la_addr_w, mem_la_wdata_w, mem_la_wstrb_w, pcpi_valid_w,
pcpi_insn_w, pcpi_rs1_w, pcpi_rs2_w, pcpi_wr_w, pcpi_rd_w, pcpi_wait_w,
pcpi_ready_w, irq_w, eoi_w, trace_valid_w, trace_data_w, VSS, VDD);

input clk, resetn, mem_ready, pcpi_wr, pcpi_wait, pcpi_ready;
input [31:0] mem_rdata, pcpi_rd, irq;

...
wire [31:0] mem_addr, mem_wdata, mem_la_addr, mem_la_wdata,
pcpi_insn, pcpi_rs1, pcpi_rs2, eoi;
wire [3:0] mem_wstrb, mem_la_wstrb;
wire [35:0] trace_data;
```

```

...
input VSS, VDD;
supply0 VSS;
supply1 VDD;

//Insert Pads - Output from pads.py
PADVSS pad_vss(.VSS(VSS), .VDD(VDD), .VDDIOR(VDD), .VSSIOR(VSS));
PADVDD pad_vdd(.VSS(VSS), .VDD(VDD), .VDDIOR(VDD), .VSSIOR(VSS));
PADDI pad_clk(.PAD(clk), .Y(clk_w), .VDD(VDD), .VSS(VSS));
PADDI pad_resetn(.PAD(resetn), .Y(resetn_w), .VDD(VDD), .VSS(VSS));

...
PADDI pad_trace_data33(.PAD(trace_data[33]), .A(trace_data_w[33]), .VDD(VDD), .VSS(VSS));
PADDI pad_trace_data34(.PAD(trace_data[34]), .A(trace_data_w[34]), .VDD(VDD), .VSS(VSS));
PADDI pad_trace_data35(.PAD(trace_data[35]), .A(trace_data_w[35]), .VDD(VDD), .VSS(VSS));

//Insert Corners
padIORINGCORNER pad_corner0();
padIORINGCORNER pad_corner1();
padIORINGCORNER pad_corner2();
padIORINGCORNER pad_corner3();

endmodule

```

Στην συνέχεια, δημιουργείται το module picorv32_chip οπου κάνει instantiate τα 2 αλλά module που βρίσκονται στο αρχείο, δηλαδή το ήδη υπάρχων picorv32 και αυτό δημιουργήθηκε μόλις. Παρακατώ παρουσιάζεται ο κώδικας σε Verilog για το συγκεκριμένο module.

```

module picorv32_chip(clk, resetn, trap, mem_valid, mem_instr, mem_ready,
mem_addr, mem_wdata, mem_wstrb, mem_rdata, mem_la_read,
mem_la_write, mem_la_addr, mem_la_wdata, mem_la_wstrb, pcpi_valid,
pcpi_insn, pcpi_rs1, pcpi_rs2, pcpi_wr, pcpi_rd, pcpi_wait,
pcpi_ready, irq, eoi, trace_valid, trace_data);

input clk, resetn, mem_ready, pcpi_wr, pcpi_wait, pcpi_ready;
input [31:0] mem_rdata, pcpi_rd, irq;

...
wire [3:0] mem_wstrb_w, mem_la_wstrb_w;
wire [35:0] trace_data_w;

picorv32 example(clk_w, resetn_w, trap_w, mem_valid_w, mem_instr_w, mem_ready_w,
...
trace_valid_w, trace_data_w);

picorv32_pads iopads(clk, resetn, trap, mem_valid, mem_instr, mem_ready,
...
pcpi_ready_w, irq_w, eoi_w, trace_valid_w, trace_data_w, VSS, VDD);
Endmodule

```

Ακολουθεί το placement και εξάγονται αναφορές για area,power και timing οπου παρουσιάζονται στον πίνακα συγκριτικά με της ασκησης 1 καθώς και τα αντίστοιχα screenshots.

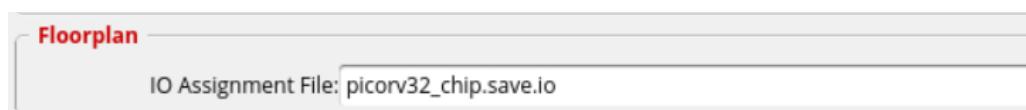
	Total Power	Internal Power	Switching Power	Leakage Power	Gates	Slack	Area
1 ^η Άσκηση	5.3812e-03W	1.65971e-03W	3.72066e-03 W	8.46420e-07 W	0ns	10302	48527.595
8 ^η Άσκηση	5.3812e-03W	1.65971e-03W	3.72066e-03 W	8.46420e-07 W	0ns	10302	48527.595

Πίνακας Αποτελεσμάτων

Βήματα 7-11

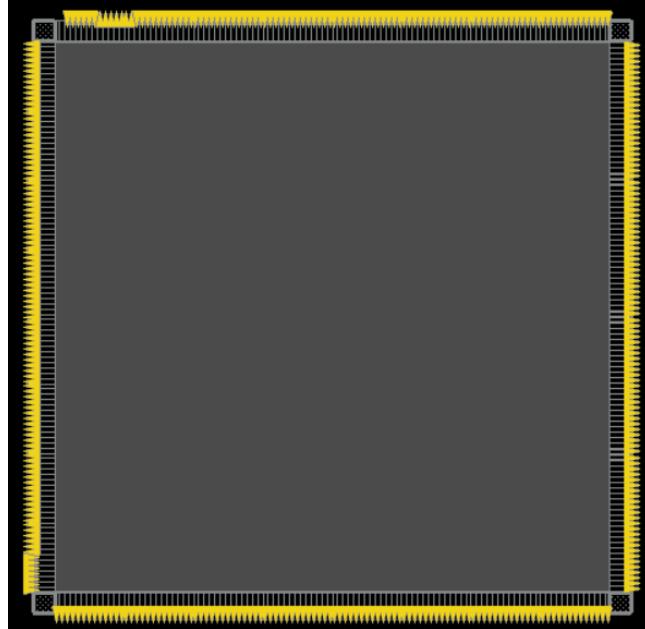
Για τα επόμενα βήματα οπου χρησιμοποιείται το εργαλείο Innovus υπάρχουν διαφοροποιήσεις στα βήματα σε σχέση με την άσκηση 1 για να ενσωματωθούν τα IO pads. Αρχικά, στο βήμα 7 και στο import design προστίθεται η βιβλιοθήκη χρονισμού της εκφώνησης mnt/apps/prebuilt/eda/designkits/GPDK/giolib045/lan/flow/rfkit/reference_libs/GPDK045/giolib045_v3.5/lef/giolib045.lef που περιέχει την περιγραφή για τα pads. Επίσης, φορτώνεται το τροποποιημένο αρχείο genus.v από τον φάκελο genus_inv_des καθώς και το αρχείο “pads_SS_s1vg.lib” (εισάγεται μέσω του MMMC).

Αποθηκεύεται το αρχείο io που παρέχεται από το innovus και στην συνέχεια ξαναφορτώνεται το εργαλείο όπως υποδεικνύει το εγχειρίδιο προσθέτοντας στο import design το picorv32_chip.save.io αφού πρώτα τροποποιηθεί καταλληλά ώστε να προσαρμοστούν σωστά οι θέσεις των corners ακολουθώντας τις οδηγίες του εγχειρίδιου.



Σχήμα 8.1 : Εισαγωγή picorv32_chip.save.io στο import design

Παρακατω παρέχεται μια εικόνα από το innovus για την τοποθέτηση των pads και των corners.



Σχήμα 8.2 : Εικόνα του chip στο Innovus

Στην συνέχεια, ακολουθούνται τα βήματα της διαδικασίας για το floorplan, power rings και stripes. Κάτι που επίσης αλλάζει είναι η θέσης των PG Pins VDD και VSS οπου θα τοποθετηθούν σύμφωνα με τις παρακάτω εντολές:

```
createPGPin VDD -net VDD -geom Metal10 320 6570 340 6600
createPGPin VSS -net VSS -geom Metal10 260 6570 280 6600
```

Ακολουθεί το placement και εξάγονται αναφορές για area,power και timing οπου παρουσιάζονται στον πίνακα συγκριτικά με της ασκησης 1 καθώς και τα αντίστοιχα screenshots.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	3.79670990W	1.52660433W	2.26925081W	0.00085476W	0.019ns	34631.604
8 ^η Άσκηση	186.859739W	159.7606814W	3.66378024 W	23.4352775W	-16.727 ns	6194311.3
	Αυξήθηκε	Αυξήθηκε	Αυξήθηκε	Αυξήθηκε	Μειώθηκε	Αυξήθηκε

Πίνακας Αποτελεσμάτων

Report Area

Hinst Name	Module Name	Inst Count	Total Area
picorv32_chip		13957	6194311.308
example	picorv32	12245	42648.084
iopads	picorv32_pads	1707	6151626.630

Σχήμα 8.3 : Report Area

Report Timing

```

Analysis View: default_emulate_view
Other End Arrival Time      0.000
- External Delay             0.750
+ Phase Shift                5.000
- Uncertainty                 0.015
= Required Time              4.235
- Arrival Time               20.962
= Slack Time                 -16.727
    Clock Rise Edge
        + Input Delay          0.750
        + Drive Adjustment       8.287
    = Beginpoint Arrival Time 9.037

```

Report Power

Total Power						
Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)	
Total Internal Power:	159.76068144	85.4977%				
Total Switching Power:	3.66378024	1.9607%				
Total Leakage Power:	23.43527748	12.5416%				
Total Power:	186.85973916					
Sequential	1.116	0.1045	0.0004926	1.221	0.6532	
Macro	0	0	0	0	0	
IO	158	1.799	23.43	183.2	98.05	
Combinational	0.6648	1.761	0.0009925	2.427	1.299	
0.000 Clock (Combinational)	0	0	0	0	0	
Clock (Sequential)	0	0	0	0	0	
Total	159.8	3.664	23.44	186.9	100	

Σχήματα 8.4 και 8.5 : Report Timing and Report Power

Μετά το placement, η συνολική κατανάλωση ισχύος αυξήθηκε δραματικά σε σχέση με την Άσκηση 1, κάτι που ήταν αναμενόμενο λόγω της προσθήκης των pads. Τα pads εισάγουν επιπλέον στοιχεία στο κύκλωμα, τα οποία καταναλώνουν σημαντικά περισσότερη ισχύ, κυρίως λόγω της υψηλής εσωτερικής ισχύος που σχετίζεται με τα buffers και τους drivers που απαιτούνται για την οδήγηση των εξωτερικών συνδέσεων.

Η switching ισχύς αυξήθηκε επίσης, καθώς τα νέα στοιχεία προσθέτουν επιπλέον φορτία και μεταγωγές σημάτων. Ωστόσο, η ισχύς διαρροής μειώθηκε, γεγονός που μπορεί να εξηγηθεί από το ότι τα pads έχουν διαφορετικά χαρακτηριστικά κατανάλωσης σε αδράνεια σε σχέση με τα κελιά της αρχικής σχεδίασης.

Το slack μειώθηκε σημαντικά και έγινε αρνητικό, κάτι που υποδηλώνει ότι η χρονική συμπεριφορά του κυκλώματος έχει επιδεινωθεί σημαντικά και μπορεί να προκαλέσει συμφόρηση στο δίκτυο ρολογιού.

Η επιφάνεια του κυκλώματος αυξήθηκε κατακόρυφα, όπως ήταν αναμενόμενο, αφού τα pads καταλαμβάνουν πολύ περισσότερο χώρο από τα αρχικά λογικά κελιά. Η αύξηση αυτή είναι σύμφωνη με τη θεωρητική πρόβλεψη, καθώς η τοποθέτηση των pads γίνεται περιμετρικά και απαιτεί μεγάλο διαθέσιμο εμβαδόν για τη σωστή διαχείριση των συνδέσεων με τον εξωτερικό κόσμο.

Βήματα 12-14

Παρακατώ ακολουθούν τα αποτελέσματα και εικόνες από τα reports μετά το βήμα 14 :

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	5.59116899W	1.82927033W	3.76088249W	0.00101617W	0.439ns	37980.126
8 ^η Άσκηση	189.776929W	160.2274001W	6.11406933 W	23.4354589 W	-16.694ns	6198254.91
	Αυξήθηκε	Αυξήθηκε	Αυξήθηκε	Αυξήθηκε	Μειώθηκε	Αυξήθηκε

Πίνακας Αποτελεσμάτων

Report Area

Hinst Name	Module Name	Inst Count	Total Area
picorv32_chip		15077	6198254.910
example	picorv32	13369	46479.168
iopads	picorv32_pads	1686	6151601.322

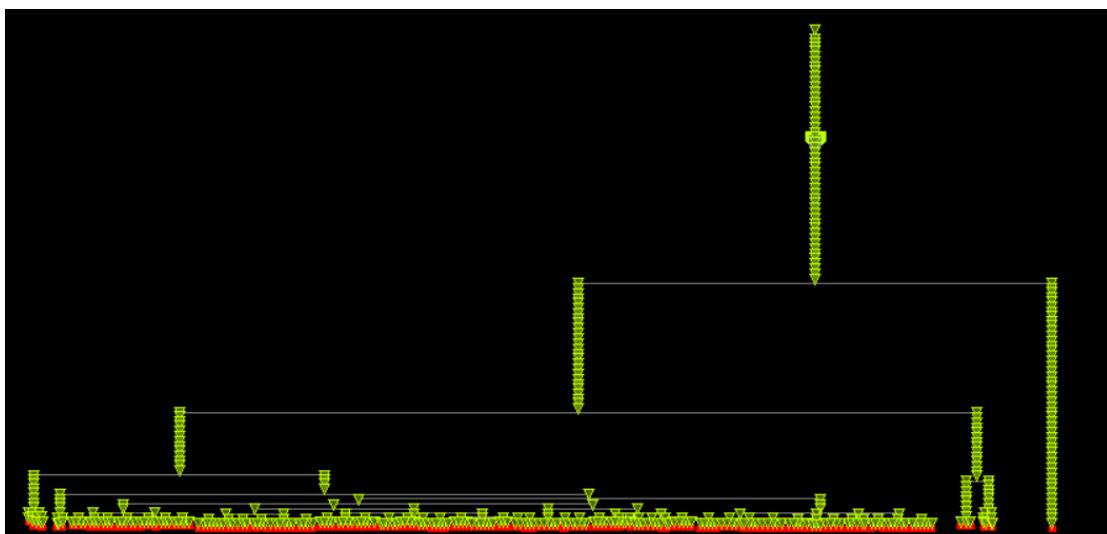
Σχήμα 8.6 : Report Area

Report Timing

```
Analysis View: default_emulate_view
Other End Arrival Time      0.000
- External Delay            0.750
+ Phase Shift                5.000
- Uncertainty                 0.015
= Required Time              4.235
- Arrival Time               20.954
= Slack Time                -16.719
Clock Rise Edge
+ Input Delay
+ Drive Adjustment
= Beginpoint Arrival Time   9.037
```

Total Power					
Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
Sequential	1.124	0.1599	0.0005069	1.285	0.677
Macro	0	0	0	0	0
IO	158.1	2.672	23.43	184.2	97.06
Combinational	0.7004	2.661	0.001112	3.362	1.772
Clock (Combinational)	0.3174	0.6213	4.899e-05	0.9388	0.4947
Clock (Sequential)	0	0	0	0	0
Total	160.2	6.114	23.44	189.8	100

Σχήματα 8.7 και 8.8 : Report Timing and Report Power



Σχήμα 8.9: Clock Tree

Μετά τη σύνθεση του κυκλώματος διανομής του ρολογιού (Post-CTS), η συνολική κατανάλωση ισχύος αυξήθηκε ακόμα περισσότερο σε σχέση με το προηγούμενο στάδιο, κυρίως λόγω της μεγάλης αύξησης στην εσωτερική και στη switching ισχύ.

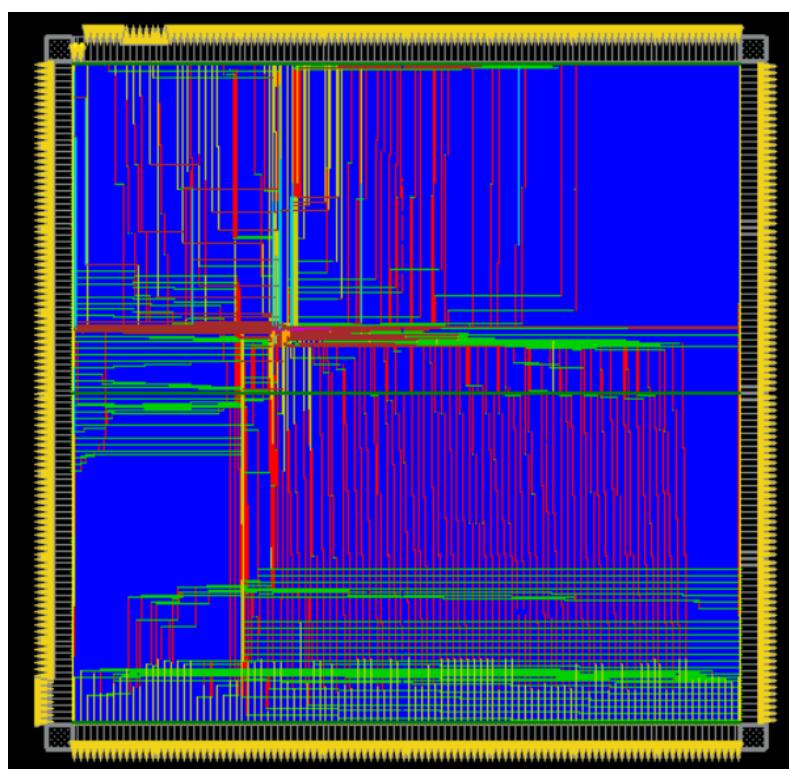
Η εσωτερική ισχύς αυξήθηκε περαιτέρω, καθώς η σύνθεση του ρολογιού εισάγει επιπλέον buffers και clock drivers για να διασφαλιστεί η σωστή διανομή του ρολογιού στα pads κάτι που είναι εμφανές και από το clock tree. Η ισχύς διαρροής παρέμεινε στα ίδια επίπεδα, κάτι που δείχνει ότι οι αλλαγές στο δίκτυο διανομής του ρολογιού δεν επηρέασαν σημαντικά την κατανάλωση σε αδράνεια.

Το slack παρέμεινε αρνητικό, με ελάχιστη βελτίωση σε σχέση με το προηγούμενο στάδιο. Αυτό δείχνει ότι το κύκλωμα εξακολουθεί να αντιμετωπίζει σοβαρά χρονικά προβλήματα, πιθανώς λόγω του μεγάλου αριθμού επιπλέον buffers και της αυξημένης χωρητικότητας των συνδέσεων με τα pads. Η επιφάνεια αυξήθηκε ελαφρώς, κάτι αναμενόμενο λόγω της περαιτέρω βελτιστοποίησης της τοποθέτησης και της εισαγωγής νέων στοιχείων για τη διαχείριση του ρολογιού.

Συνολικά, τα αποτελέσματα είναι φυσιολογικά, καθώς η προσθήκη των pads αυξάνει σημαντικά την κατανάλωση ισχύος, ενώ η εισαγωγή νέων στοιχείων για τη διαχείριση του ρολογιού επιδεινώνει το χρονισμό του κυκλώματος.

Βήμα 15

Αφού εκτελεστεί και το βήμα 15 παρουσιάζονται στιγμιότυπα από τα reports, ο συγκριτικός πίνακας αποτελεσμάτων και το στιγμιότυπο του chip που ζητείται.



Εικόνα 8.10: Στιγμιότυπο chip μετά το 15^ο θήμα

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	5.59116899W	1.82927033W	3.76088249W	0.00101617W	0.439ns	37980.126
8 ^η Άσκηση	189.858012W	160.2320546W	6.19046490W	23.43549264W	-16.694ns	6198945.6
	Αυξήθηκε	Αυξήθηκε	Αυξήθηκε	Αυξήθηκε	Μειώθηκε	Αυξήθηκε

Πίνακας Αποτελεσμάτων

Report Area

Hinst Name	Module Name	Inst Count	Total Area
picorv32_chip		15262	6198945.408
example	picorv32	13564	47206.260
iopads	picorv32_pads	1680	6151594.482

Σχήμα 8.11 : Report Area

Report Timing

```
Analysis View: default_emulate_view
Other End Arrival Time      0.000
- External Delay            0.750
+ Phase Shift               5.000
- Uncertainty                0.015
= Required Time              4.235
- Arrival Time                20.929
= Slack Time                 -16.694
    Clock Rise Edge          0.000
    + Input Delay             0.750
    + Drive Adjustment        8.287
    = Beginpoint Arrival Time 9.037
```

Total Power						
Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)	
Sequential	1.124	0.1671	0.0005071	1.291	0.6802	
Macro	0	0	0	0	0	
IO	158.1	2.674	23.43	184.2	97.02	
Combinational	0.7059	2.693	0.001145	3.4	1.791	
Clock (Combinational)	0.3174	0.6562	4.809e-05	0.9737	0.5128	
Clock (Sequential)	0	0	0	0	0	
Total	160.2	6.19	23.44	189.9	100	

Σχήματα 8.12 και 8.13 : Report Timing and Report Power

Μετά το τελικό στάδιο του post-route, η συνολική ισχύς παρέμεινε εξαιρετικά υψηλή σε σχέση με την Άσκηση 1, γεγονός που επιβεβαιώνει την επίδραση της προσθήκης των pads στο κύκλωμα. Η εσωτερική ισχύς συνεχίζει να αποτελεί το μεγαλύτερο μέρος της συνολικής κατανάλωσης, καθώς τα pads και το εκτεταμένο δίκτυο ρολογιού απαιτούν ισχυρούς buffers και drivers.

Η switching ισχύς αυξήθηκε ελαφρώς σε σχέση με το προηγούμενο στάδιο, πιθανότατα λόγω της τελικής δρομολόγησης των σημάτων και της επιπλέον χωρητικότητας που εισήχθη στο δίκτυο. Η ισχύς διαρροής παρέμεινε σταθερή, επιβεβαιώνοντας ότι οι αλλαγές στο κύκλωμα δεν επηρέασαν ιδιαίτερα τη στατική κατανάλωση.

Το slack παρέμεινε έντονα αρνητικό, δείχνοντας ότι το κύκλωμα εξακολουθεί να αντιμετωπίζει σοβαρά χρονικά προβλήματα. Αυτό πιθανώς οφείλεται στις μεγάλες καθυστερήσεις που εισάγουν τα pads και η πολύ μεγαλύτερη απόσταση που χρειάζεται να διανύσουν τα σήματα ρολογιού και δεδομένων.

Η επιφάνεια αυξήθηκε ακόμα περισσότερο, επιβεβαιώνοντας ότι η ολοκληρωμένη δρομολόγηση κατέλαβε πρόσθετο χώρο λόγω των pads και των αυξημένων απαιτήσεων σύνδεσης.

Συνολικά, τα αποτέλεσματα είναι λογικά. Η μεγάλη αύξηση στην ισχύ και την επιφάνεια οφείλεται αποκλειστικά στην προσθήκη των pads, ενώ το έντονα αρνητικό slack δείχνει ότι η χρονική συμπεριφορά του κυκλώματος έχει επιδεινωθεί σημαντικά. Αν αυτό το κύκλωμα προοριζόταν για κατασκευή, θα απαιτούσε επιπλέον βελτιστοποίησεις στο δίκτυο ρολογιού και τις διαδρομές δεδομένων για να γίνει χρονικά βιώσιμο.

Σημειώνεται ότι και μετά το πέρας του βήματος 15 και την εκτέλεση του DRC υπήρξαν αρκετά DRC violations (σβήστηκαν από το στιγμιότυπο για να φαίνεται καλυτέρα η εικόνα του chip). Τα περισσότερα ήταν Antenna Violations. Τα Antenna violations εμφανίζονται όταν κατά τη διαδικασία του routing δημιουργούνται πολύ μεγάλες μεταλλικές διαδρομές που μπορούν να συσσωρεύσουν στατικό ηλεκτρικό φορτίο, προκαλώντας βλάβες στα τρανζίστορ κατά την κατασκευή του κυκλώματος. Αυτές οι

παραβιάσεις συμβαίνουν συνήθως όταν μια διαδρομή έχει υπερβολικό μήκος χωρίς ενδιάμεσες συνδέσεις σε diffusions πχ. ή άλλες δομές που μπορούν να εκτονώσουν το φορτίο. Έγινε προσπάθεια να διορθωθούν με κάποιες εντολές όπως `ecoRoute -fix_drc`, `setNanoRouteMode -routeAntennaCellName ANTENNA`, `setNanoRouteMode -drouteFixAntenna true`, `setNanoRouteMode -routeInsertAntennaDiode true`, `globalDetailRoute` αλλά χωρίς αποτέλεσμα. Υπήρξαν θέματα με DRC και με το verify Connectivity.

Άσκηση 9

Design for Testability (DFT)

Στα VLSI κυκλώματα, ο έλεγχος της σωστής λειτουργίας τους μετά την κατασκευή είναι κρίσιμος. Αυτό επιτυγχάνεται μέσω της μεθόδου Design for Testability (DFT), η οποία ενσωματώνει επιπλέον λογική χωρίς να αλλοιώνει τη βασική λειτουργία του κυκλώματος. Ένα βασικό στοιχείο του DFT είναι οι αλυσίδες ανίχνευσης (scan chains), που επιτρέπουν τη φόρτωση και ανάγνωση δεδομένων για τη διάγνωση σφαλμάτων. Παράλληλα, οι test modes διαφοροποιούν τη λειτουργία του κυκλώματος για σκοπούς δοκιμών. Η παρούσα άσκηση εστιάζει στην εισαγωγή λογικής DFT στο κύκλωμα των προηγούμενων ασκήσεων. Θα υλοποιηθούν scan chains και test modes, ενώ θα αναλυθούν οι επιπτώσεις τους σε επιφάνεια, ισχύ και χρονισμό.

Σε αυτήν την άσκηση εκτελέστηκαν τα βήματα 1-6 της άσκησης 1. Για τις δοκιμές αυτές απαιτείται επιπλέον λογική που καθιστά το κύκλωμα κατάλληλο για δοκιμή (test). Η λογική αυτή εισάχθηκε με κάποιες νέες εντολές στο αρχείο .tcl στο εργαλείο Genus. Οι νέες εντολές τοποθετήθηκαν μετά το βήμα του elaborate όπως υποδεικνύεται από την εκφώνηση και παρατίθενται παρακάτω :

```
# DFT --- Design for Testability
set_db / .dft_scan_style muxed_scan
set_db / .dft_prefix DFT_
set_db / .dft_identify_top_level_test_clocks true
set_db / .dft_identify_test_signals true
set_db / .dft_identify_internal_test_clocks false
set_db / .use_scan_seqs_for_non_dft false

set_db "design:picorv32" .dft_scan_map_mode tdrc_pass
set_db "design:picorv32" .dft_connect_shift_enable_during_mapping tie_off
set_db "design:picorv32" .dft_connect_scan_data_pins_during_mapping loopback
set_db "design:picorv32" .dft_scan_output_preference auto
set_db "design:picorv32" .dft_lockup_element_type preferred_level_sensitive
set_db "design:picorv32" .dft_mix_clock_edges_in_scan_chains true

define_test_clock -name scanclk -period 20000 clk
define_shift_enable -name se -active high -create_port se
define_test_mode -name test_mode -active high -create_port test_mode
define_scan_chain -name top_chain -sdi scan_in -sdo scan_out -shift_enable se -create_ports
```

Έπειτα μέσω των παρακάτω εντολών ελέγχουμε για τυχόν παραβάσεις των κανόνων DFT. Στις παρακάτω εικόνες βλέπουμε τα αποτελέσματα των ελέγχων, όπου μπορεί γίνεται αντιληπτό ότι δεν υπάρχουν παραβάσεις DFT.

```
# DFT Checks
check_dft_rules > /home/d/deirmentz/VLSI ASIC/Exercises/Exercise9/Step1-7/Checks_DFT/Before_Gen/Exercise9_DFT_rules.txt
```

```

report_scan_registers      > /home/d/deirmentz/VLSI ASIC/Exercises/Exercise9/Step1-
7/Reports_DFT/Before_Gen/Exercise9_DFT_scan_registers.txt
report_scan_setup          >
/home/d/deirmentz/VLSI ASIC/Exercises/Exercise9/Reports_DFT/Before_Gen/Exercise9_DFT_scan_setup.txt
check_dft_rules -advanced > /home/d/deirmentz/VLSI ASIC/Exercises/Exercise9/Step1-
7/Checks_DFT/Before_Gen/Exercise9_DFT_rules_advanced.txt
connect_scan_chains -auto_create_chains
report_scan_chains         > /home/d/deirmentz/VLSI ASIC/Exercises/Exercise9/Step1-
7/Reports_DFT/Before_Gen/Exercise9_DFT_scan_chains.txt

```

Before Synthesis Generation

```

Detected 0 DFT rule violation(s)
Summary of check_dft_rules
*****
Number of usable scan cells: 48
Clock Rule Violations:
-----
Internally driven clock net: 0
Tied constant clock net: 0
Undriven clock net: 0
Conflicting async & clock net: 0
Misc. clock net: 0
=====
Async. set/reset Rule Violations:
-----
Internally driven async net: 0
Tied active async net: 0
Undriven async net: 0
Misc. async net: 0
=====
Total number of DFT violations: 0
Total number of Test Clock Domains: 1
DFT Test Clock Domain: scanclk
Test Clock 'scanclk' (Positive edge) has 2090 registers
Number of user specified non-Scan registers: 0
Number of registers that fail DFT rules: 0
Number of registers that pass DFT rules: 2090
Percentage of total registers that are scannable: 100%
=====

Lint summary
Unconnected/logic driven clocks                                0
Sequential data pins driven by a clock signal                 0
Sequential clock pins without clock waveform                  0
Sequential clock pins with multiple clock waveforms          0
Generated clocks without clock waveform                      0
Generated clocks with incompatible options                  0
Generated clocks with multi-master clock                   0
Paths constrained with different clocks                     0
Loop-breaking cells for combinational feedback            0
Nets with multiple drivers                               0
Timing exceptions with no effect                         0
Suspicious multi_cycle exceptions                      0
Pins/ports with conflicting case constants             0
Inputs without clocked external delays                0
Outputs without clocked external delays               0
Inputs without external driver/transition            0
Outputs without external load                          0
Exceptions with invalid timing start-/endpoints       0
=====
Total: 0

```

Σχήμα 9.1: Βήμα 1-6 Check DFT before synthesis

Reporting registers that fail DFT rules
 Reporting registers that are preserved or marked dont-scan
 Reporting registers that are marked Abstract Segment Dont Scan
 Reporting registers that are part of shift register segments
 Reporting registers that are identified as lockup elements
 Reporting registers that are level-sensitive elements
 Reporting misc. non-scan registers

Summary:
Total registers that pass DFT rules: 2090
Total registers that fail DFT rules: 0
Total registers that are marked preserved or dont-scan: 0
Total registers that are marked Abstract Segment dont-scan: 0
Total registers that are part of shift register segments: 0
Total registers that are lockup elements: 0
Total registers that are level-sensitive: 0
Total registers that are misc. non-scan: 0

Σχήμα 9.2: Βήμα 1-6 Check Time Intent before synthesis

Σχήμα 9.3: Βήμα 1-6 Report Scan Registers.

Τα αποτελέσματα της αναφοράς "Before Synthesis Generation" δείχνουν ότι δεν εντοπίστηκαν παραβιάσεις των κανόνων DFT (Design for Testability). Συγκεκριμένα, δεν υπάρχουν παραβιάσεις χρονισμού (Clock Rule Violations) ούτε ασύγχρονες παραβιάσεις σε σήματα reset/set (Async. set/reset Rule Violations). Αυτό σημαίνει ότι το κύκλωμα είναι κατάλληλα σχεδιασμένο για να υποστηρίζει διαδικασίες δοκιμών χωρίς προβλήματα που σχετίζονται με το χρονισμό ή τη δομή των ρολογιών.

Το κύκλωμα διαθέτει 2090 registers, τα οποία είναι όλα scannable, με μηδενικές αποτυχίες στους κανόνες DFT. Αυτό είναι ιδιαίτερα σημαντικό, καθώς σημαίνει ότι η δομή του κυκλώματος επιτρέπει την ενσωμάτωση αλυσίδων ανίχνευσης (scan chains) χωρίς δυσκολίες.

Επιπλέον, το check timing intent δεν εμφανίζει κανένα σφάλμα, γεγονός που δείχνει ότι δεν υπάρχουν προβλήματα όπως μη συνδεδεμένα ρολόγια, συγκρούσεις στα σήματα χρονισμού ή ανεπαρκώς καθορισμένες εξαιρέσεις χρονισμού. Αυτή η ανάλυση επιβεβαιώνει ότι το κύκλωμα έχει σχεδιαστεί χωρίς χρονικές παραβιάσεις προς το παρών και είναι έτοιμο για τη διαδικασία της σύνθεσης.

Συνοψίζοντας, το κύκλωμα πληροί όλες τις απαιτήσεις του DFT, είναι πλήρως ελέγχιμο μέσω scan chains και δεν εμφανίζει προβλήματα χρονισμού ή σχεδιασμού. Αυτό σημαίνει ότι η διαδικασία σύνθεσης μπορεί να προχωρήσει χωρίς την ανάγκη επιδιορθώσεων ή επανασχεδιασμού.

Ακολουθεί ο πίνακας αποτελεσμάτων και συγκρίνεται με την άσκηση 1

	Area	Gates	Slack	Power	Clock
1 ^η Άσκηση	48527.595	10302	0ps	5.38122e-03W	5ns
9 ^η Άσκηση syn_gen.	84526.670	26694	872ps	2.94018e-03W	5ns
9 ^η Άσκηση syn_map.	54510.599	12028	1ps	5.47469e-03W	5ns
9 ^η Άσκηση syn_opt.	53863.030	11599	0ps	5.54766e-03W	5ns

Πίνακας συγκριτικών Αποτελεσμάτων

Report Area

Instance	Module	Cell Count	Cell Area	Net Area	Total Area
picorv32		26694	84356.263	170.407	84526.670
ADD_UNS_OP	add_unsigned_1100_5_1154	285	761.157	0.000	761.157
add_1312_30	add_unsigned_963	149	397.938	0.000	397.938
add_1801_23	add_unsigned_1100_5	289	771.840	0.000	771.840
add_1864_26	add_unsigned_1100_5_1153	306	817.243	0.000	817.243
genblk1.pcp1_mul_mul_2366_47	mult_signed	9008	24056.578	0.000	24056.578
genblk2.pcp1_div	picorv32_pcp1_div	2249	7339.159	0.000	7339.159
lte_2493_16	leq_unsigned_rtlopto_model_2151	193	515.450	0.000	515.450
minus_2469_59	sub_unsigned_974	147	392.597	0.000	392.597
minus_2470_59_Y_sub_2494_26	sub_unsigned_982_1	304	811.901	0.000	811.901
minus_2488_26_Y_minus_2490_26	sub_unsigned_974_1157	143	381.914	0.000	381.914
inc_add_382_74	increment_unsigned_99_1807	150	400.609	0.000	400.609
inc_add_1428_40	increment_unsigned_284_1808_975	290	774.511	0.000	774.511
inc_add_1559_34	increment_unsigned_284_1808	294	785.194	0.000	785.194
sub_1235_38_Y_add_1235_58	addsub_unsigned_114	408	1089.657	0.000	1089.657

Σχήμα 9.4: Άσκηση 9 Βήμα 1-6 Syn_Gen Total Area

Instance	Module	Cell Count	Cell Area	Net Area	Total Area
picorv32		12028	38046.474	16464.125	54510.599

Σχήμα 9.4: Άσκηση 9 Βήμα 1-6 Syn_map Total Area

Instance	Module	Cell Count	Cell Area	Net Area	Total Area
picorv32		11599	37741.752	16121.278	53863.030

Σχήμα 9.4: Άσκηση 9 Βήμα 1-6 Syn_opt/After Synthesis Total Area

Report Gates

Type	Instances	Area	Area %	Type	Instances	Area	Area %
sequential	1961	0.000	0.0	sequential	1961	14957.370	39.3
inverter	22	0.000	0.0	inverter	634	621.756	1.6
logic	24711	0.000	0.0	buffer	484	1952.136	5.1
physical_cells	0	0.000	0.0	logic	8949	20515.212	53.9
total	26694	0.000	0.0	physical_cells	0	0.000	0.0
				total	12028	38046.474	100.0

Σχήμα 9.4: Βήμα 1-6 Synthesis Generation Report Gates

Σχήμα 9.4: Βήμα 1-6 Synthesis Mapping Report Gates

Type	Instances	Area	Area %
sequential	1961	14948.820	39.6
inverter	574	535.914	1.4
buffer	304	2056.104	5.4
logic	8760	20200.914	53.5
physical_cells	0	0.000	0.0
total	11599	37741.752	100.0

Σχήμα 9.4: Βήμα 1-6 Syn_opt/After Synthesis Report Gates

Report Power

Category	Leakage	Internal	Switching	Total	Row%	
memory	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%	
register	1.83334e-07	4.41329e-04	1.48144e-03	1.84295e-03	62.68%	
latch	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%	
logic	2.22219e-07	1.92645e-04	9.04358e-04	1.09723e-03	37.32%	
bbox	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%	
clock	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%	
pad	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%	
pm	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%	
Subtotal	4.05553e-07	6.33974e-04	2.30580e-03	2.94018e-03	100.00%	
Percentage	0.01%	21.56%	78.42%	100.00%	100.00%	
Category	Leakage	Internal	Switching	Total	Row%	
memory	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%	
register	2.41628e-07	8.44984e-04	2.07989e-04	1.05231e-03	19.22%	
latch	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%	
logic	6.33667e-07	5.94435e-04	3.82731e-03	4.42238e-03	80.78%	
bbox	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%	
clock	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%	
pad	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%	
pm	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%	
Subtotal	8.75295e-07	1.43852e-03	4.03530e-03	5.47469e-03	100.00%	
Percentage	0.02%	26.28%	73.71%	100.00%	100.00%	

Σχήμα 9.4: Βήμα 1-6 Synthesis Generation Report Power

Category	Leakage	Internal	Switching	Total	Row%
memory	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
register	2.40734e-07	8.42872e-04	2.15457e-04	1.05857e-03	19.08%
latch	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
logic	6.42682e-07	6.24235e-04	3.86422e-03	4.48909e-03	80.92%
bbox	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
clock	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
pad	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
pm	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
Subtotal	8.83416e-07	1.46711e-03	4.07967e-03	5.54766e-03	100.00%
Percentage	0.02%	26.45%	73.54%	100.00%	100.00%

Σχήμα 9.4: Βήμα 1-6 Synthesis Mapping Report Power

Report QoR

Cost Group	Critical Path	Violating Slack	TNS	Paths	Cost Group	Critical Path	Violating Slack	TNS	Paths
clk	872.1	0.0	0		clk	1.0	0.0	0	
default	No paths	0.0			default	No paths	0.0		
Total		0.0			Total		0.0		
Instance Count									
Leaf Instance Count	26694				Leaf Instance Count	12028			
Physical Instance count	0				Physical Instance count	0			
Sequential Instance Count	1961				Sequential Instance Count	1961			
Combinational Instance Count	24733				Combinational Instance Count	10067			
Hierarchical Instance Count	14				Hierarchical Instance Count	0			
Area									
Cell Area	84356.263				Cell Area	38046.474			
Physical Cell Area	0.000				Physical Cell Area	0.000			
Total Cell Area (Cell+Physical)	84356.263				Total Cell Area (Cell+Physical)	38046.474			
Net Area	170.407				Net Area	16464.125			
Total Area (Cell+Physical+Net)	84526.670				Total Area (Cell+Physical+Net)	54510.599			
Max Fanout	1961 (clk)				Max Fanout	1961 (clk)			
Min Fanout	0 (current_pc[0])				Min Fanout	1 (genblk1.p)			
Average Fanout	2.0				Average Fanout	2.7			
Terms to net ratio	3.3471				Terms to net ratio	3.8076			
Terms to instance ratio	3.3665				Terms to instance ratio	4.0358			
Runtime	187.77236100000002 s				Runtime	326.911422 s			

Σχήμα 9.4: Βήμα 1-6 Synthesis Generation Report QoR

Σχήμα 9.4: Βήμα 1-6 Synthesis Mapping Report QoR

Cost Group	Critical Path	Slack	TNS	Violating Paths
clk	0.5	0.0	0	
default	No paths	0.0		
Total		0.0		0
Instance Count				
Leaf Instance Count		11599		
Physical Instance count		0		
Sequential Instance Count		1961		
Combinational Instance Count		9638		
Hierarchical Instance Count		0		
Area				
Cell Area		37741.752		
Physical Cell Area		0.000		
Total Cell Area (Cell+Physical)		37741.752		
Net Area		16121.278		
Total Area (Cell+Physical+Net)		53863.030		
Max Fanout		1961 (clk)		
Min Fanout		1 (genblk1.pcp1_mul_n_92)		
Average Fanout		2.7		
Terms to net ratio		3.8639		
Terms to instance ratio		4.1051		
Runtime		361.92775799999987 seconds		
Elapsed Runtime		385 seconds		

Σχήμα 9.4: Βήμα 1-6 Syn_opt/After Synthesis Report QoR

Στη συνέχεια, ακολουθούν τα βήματα της σύνθεσης, δηλαδή η γενική σύνθεση (syn_generic), η αντιστοίχιση με τεχνολογικά στοιχεία (syn_map) και η τελική βελτιστοποίηση (syn_opt). Τα αποτελέσματα των σταδίων αυτών καταγράφονται στον πίνακα που δόθηκε, όπου παρουσιάζονται οι μεταβολές στις βασικές μετρικές σχεδίασης, όπως η περιοχή (area), ο αριθμός των πυλών (gates), το χρονικό περιθώριο (slack) και η ισχύς (power).

Παρατηρώντας τις διαφορές μεταξύ των σταδίων, αρχικά στη σύνθεση syn_generic η περιοχή είναι σημαντικά μεγαλύτερη (84526.670) σε σύγκριση με τις επόμενες φάσεις, γεγονός που υποδηλώνει ότι το κύκλωμα δεν έχει βελτιστοποιηθεί ως προς την απόδοση και τη χρήση πόρων. Ο αριθμός των πυλών είναι επίσης υψηλός (26694), κάτι που σημαίνει ότι υπάρχει μεγάλος αριθμός λογικών στοιχείων στο κύκλωμα. Ωστόσο, το slack είναι αρκετά ικανοποιητικό (872 ps), κάτι που δείχνει ότι το κύκλωμα πληροί τους χρονικούς περιορισμούς του. Η ισχύς που καταναλώνεται είναι 2.94018e-03W, η χαμηλότερη, γεγονός που μπορεί να αποδοθεί στη λιγότερο πυκνή συνδεσμολογία και στη χρήση στοιχείων χωρίς υψηλή κατανάλωση ενέργειας.

Στο επόμενο στάδιο (syn_map), η περιοχή μειώνεται σημαντικά (54510.599), γεγονός που υποδεικνύει ότι το κύκλωμα έχει περάσει από διαδικασία χαρτογράφησης και απομάκρυνσης περιττών στοιχείων. Ο αριθμός των πυλών μειώνεται σε 11984, κάτι που δείχνει ότι έχουν αφαιρεθεί μη αναγκαίες λογικές πύλες, βελτιώνοντας έτσι τη συνολική αποδοτικότητα της σχεδίασης. Ωστόσο, παρατηρείται μείωση του slack σε 1 ps, κάτι που σημαίνει ότι το κύκλωμα πλησιάζει τα χρονικά του όρια και μπορεί να χρειαστεί περαιτέρω βελτιστοποίηση. Η κατανάλωση ισχύος αυξάνεται (5.44233e-03 W), γεγονός που μπορεί να αποδοθεί στην εισαγωγή στοιχείων που εξασφαλίζουν την ακεραιότητα των χρονικών περιορισμών, όπως buffers ή διαφορετικού τύπου λογικές πύλες.

Στο τελικό στάδιο βελτιστοποίησης (syn_opt), η περιοχή μειώνεται ελαφρώς περαιτέρω (53738.065), υποδηλώνοντας ότι η διαδικασία σύνθεσης βρήκε τρόπους να εξοικονομήσει ακόμα περισσότερο χώρο. Ο αριθμός των πυλών μειώνεται ελαφρώς (11599), γεγονός που δείχνει ότι η βελτιστοποίηση κατάφερε να αφαιρέσει επιπλέον περιττή λογική. Το slack επανέρχεται στην αρχική του κατάσταση (1 ps). Η κατανάλωση ισχύος αυξάνεται ελαφρώς (5.54766e-03 W), κάτι που μπορεί να αποδοθεί στις

τελικές προσαρμογές που έγιναν για να εξασφαλιστεί η σταθερότητα και η αποδοτικότητα του κυκλώματος.

Μετά την διαδικασία της σύνθεσης ξαναελέγχεται το κύκλωμα με τις παρακάτω εντολές ελέγχου:

```
#DFT Checks After Synthesis
check_dft_rules          >      /home/d/deirmentz/VLSI ASIC/Exercises/Exercise9/Step1-
7/Checks_DFT/After_Gen/Exercise9_DFT_rules.txt
report_scan_registers     >      /home/d/deirmentz/VLSI ASIC/Exercises/Exercise9/Step1-
7/Reports_DFT/After_Gen/Exercise9_DFT_scan_registers.txt
report_scan_setup         >      /home/d/deirmentz/VLSI ASIC/Exercises/Exercise9/Step1-
7/Reports_DFT/After_Gen/Exercise9_DFT_scan_setup.txt

check_dft_rules -advanced >      /home/d/deirmentz/VLSI ASIC/Exercises/Exercise9/Step1-
7/Checks_DFT/After_Gen/Exercise9_DFT_rules_advanced.txt
connect_scan_chains -auto_create_chains
report_scan_chains        >      /home/d/deirmentz/VLSI ASIC/Exercises/Exercise9/Step1-
7/Reports_DFT/After_Gen/Exercise9_DFT_scan_chains.txt
```

After Synthesis

```
Detected 0 DFT rule violation(s)
Summary of check_dft_rules
*****
Number of usable scan cells: 48
Clock Rule Violations:
-----
Internally driven clock net: 0
    Tied constant clock net: 0
    Undriven clock net: 0
    Conflicting async & clock net: 0
    Misc. clock net: 0

Async. set/reset Rule Violations:
-----
Internally driven async net: 0
    Tied active async net: 0
    Undriven async net: 0
    Misc. async net: 0

Advanced DFT Rule Violations:
-----
Tristate net contention violation: 0
Potential race condition violation: 0
X-source violation: 0

Warning: There are a total of 1 undriven pins which may act as x-source generators. For the list of pins, use the command 'check_design -undriven -report_scan_pins'.

Total number of DFT violations: 0
```

Σχήμα 9.5: Βήμα 1-6 Check DFT after synthesis

```
Summary:
Total registers that pass DFT rules: 1961
Total registers that fail DFT rules: 0
Total registers that are marked preserved or dont-scan: 0
Total registers that are marked Abstract Segment dont-scan: 0
Total registers that are part of shift register segments: 0
Total registers that are lockup elements: 0
Total registers that are level-sensitive: 0
Total registers that are misc. non-scan: 0
```

Σχήμα 9.6: Βήμα 1-6 Report Scan Registers.

Τα αποτελέσματα της ανάλυσης DFT μετά τη σύνθεση δείχνουν ότι δεν εντοπίστηκαν παραβιάσεις των κανόνων DFT, γεγονός που υποδηλώνει ότι το κύκλωμα είναι κατάλληλο για δοκιμή. Όλοι οι καταχωρητές πέρασαν τους κανόνες DFT, χωρίς να υπάρχουν not scanned στοιχεία ή καταχωρητές που να έχουν μαρκαριστεί ως "preserved" ή "dont-scan". Επίσης, δεν ανιχνεύθηκαν προβλήματα όπως ασαφείς χρονισμοί, ασύγχρονα σήματα ή πιθανά σφάλματα λόγω 3-state ή συνθηκών ανταγωνισμού. Το γεγονός ότι υπάρχουν 1961 καταχωρητές που πληρούν τους κανόνες DFT σημαίνει ότι το κύκλωμα είναι έτοιμο για δοκιμή μέσω ATE, χωρίς να απαιτούνται περαιτέρω τροποποιήσεις στη λογική δοκιμών.

Παρατηρείται, ότι και μετά την διαδικασία της σύνθεσης το μόνο πρόβλημα που φαίνεται να υπάρχει είναι ότι υπάρχει ένα undriven pin. Το pin αυτό είναι το scan_out που προστέθηκε για την δοκιμή του κυκλώματος. Μέσω της εντολής connect_scan_chains -auto_create_chains συνδέονται όλες οι αλυσίδες ανίχνευσης.

Άσκηση 10

Η άσκηση αυτή απαιτεί τη βελτιστοποίηση του Figure of Merit (FoM) μέσω προσαρμογών στην περίοδο του ρολογιού και βελτιστοποίησεων σχεδίασης, όπως η χρήση multibit cells και clock gating. Ο στόχος είναι η μείωση της συνολικής κατανάλωσης ισχύος και της επιφάνειας των κυψελών, ενώ παράλληλα διατηρείται θετικό slack. Οι επιλογές που θα γίνουν πρέπει να βασίζονται στα συμπεράσματα των προηγούμενων ασκήσεων, ενώ οποιεσδήποτε αλλαγές στους περιορισμούς πρέπει να ευθυγραμμίζονται με το νέο ρολόι. Στο τελικό στάδιο της δρομολόγησης, είναι σημαντικό να διασφαλιστεί η σταθερότητα της σχεδίασης, ώστε να μην προκύπτουν παραβιάσεις χρονισμού ή προβλήματα στη λειτουργία του κυκλώματος.

Σημειώνεται πως δοκιμάστηκαν αρκετοί συνδυασμοί από τεχνικές που δοκιμάστηκαν στις προηγούμενες ασκήσεις και παρουσιάζεται μια όχι ιδιαίτερα ευφάνταστη λύση αλλά ήταν αυτή που τόσο ελάττωσε και το FoM αλλά έδωσε και θετικό slack στο τέλος.

Η λύση που επιλέχθηκε βασίζεται σε τρεις βασικές τεχνικές που δουλευτήκαν σε προηγούμενες ασκήσεις : **αύξηση της χρήσης του πυρήνα στο 80%, clock gating και χρήση multibit cells**. Η αύξηση της χρήσης του πυρήνα συμβάλλει στη βελτίωση της απόδοσης, αξιοποιώντας καλύτερα τους διαθέσιμους πόρους χωρίς περιπτές καθυστερήσεις ή υπερφόρτωση του συστήματος. Η διαχείριση του ρολογιού μέσω **clock gating** και εξειδικευμένου **πυρήνα clock** μειώνει την κατανάλωση ισχύος, ελαχιστοποιώντας τη δυναμική ισχύ σε αδρανείς περιοχές του κυκλώματος. Επιπλέον, η χρήση **multibit cells** βελτιώνει την πυκνότητα του κυκλώματος και μειώνει τις απώλειες ισχύος, οδηγώντας σε μικρότερη συνολική κατανάλωση. Αυτές οι τεχνικές συνδυάστηκαν με προσαρμοσμένες παραμέτρους χρονισμού ώστε να διατηρηθεί θετικό slack, , ενώ παράλληλα επιτεύχθηκε σημαντική βελτίωση στο **Figure of Merit (FoM)**.

Όσον αφορά τα βήματα που ακολουθήσαν, δεν υπήρξαν ιδιαίτερες διαφοροποιήσεις καθώς ότι τεχνική χρησιμοποιήθηκε αναλύθηκε εκτενώς στις προηγούμενες ασκήσεις οπότε δεν έχει νόημα να αναλυθούν περαιτέρω. Σημειώνεται ότι στο βήμα του placement το congestion effort επιλέχθηκε high (το ίδιο και για το power effort) και έγινε βελτιστοποίηση του design και μετά το 15° βήμα του Nanoroute(post route). Επίσης να σημειωθεί ότι υπήρχαν κάποια DRC violations και πάρα την προσπάθεια δεν επιλύθηκαν.

Βήμα 15

Αφού εκτελεστεί και το βήμα 15 παρουσιάζονται στιγμιότυπα από τα reports και ο συγκριτικός πίνακας αποτελεσμάτων.

	Total Power	Internal Power	Switching Power	Leakage Power	Slack	Area
1 ^η Άσκηση	5.59116899W	1.82927033W	3.76088249W	0.00101617W	0.439ns	37980.126
10 ^η Άσκηση	3.61639566W	1.2483339W	2.3672090W	0.00085265W	0.029ns	34494.462
	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε

Πίνακας Αποτελεσμάτων

Report Area

Hinst Name	Module Name	Inst Count	Total Area
picorv32		11043	34494.462

Σχήμα 10.1 : Report Area

Report Timing

```

Path Groups: {clk}
Analysis View: default_emulate_view
Other End Arrival Time      -0.014
- Setup                      0.086
+ Phase Shift                5.000
- Uncertainty                 0.015
= Required Time              4.885
- Arrival Time               4.856
= Slack Time                 0.029
    Clock Rise Edge           0.000
    + Clock Network Latency (Prop) -0.012
= Beginpoint Arrival Time   -0.012

```

Report Power

Total Power		
Total Internal Power:	1.24833399	34.5187%
Total Switching Power:	2.36720901	65.4577%
Total Leakage Power:	0.00085265	0.0236%
Total Power:	3.61639566	

Σχήματα 10.2 και 10.3 : Report Gates and Report Power

Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
Sequential	0.6596	0.08709	0.0002252	0.7469	20.65
Macro	0	0	0	0	0
IO	0	0	0	0	0
Combinational	0.5511	2.214	0.0006218	2.766	76.49
Clock (Combinational)	0.03762	0.06568	5.738e-06	0.1033	2.857
Clock (Sequential)	0	0	0	0	0
Total	1.248	2.367	0.0008527	3.616	100

Rail	Voltage	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
VDD	0.9	1.248	2.367	0.0008527	3.616	100

Clock	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
clk	0.03762	0.06568	5.738e-06	0.1033	2.857
Total	0.03762	0.06568	5.738e-06	0.1033	2.857

Clock: clk
Clock Period: 0.005000 usec
Clock Toggle Rate: 400.0000 Mhz

Σχήμα 10.4 : Report Power

Η εξίσωση είναι:

$$\text{FoM} = 1 / (\text{Clock Period} * \text{Total Power} * \text{Area})$$

Αντικαθιστώντας τις τιμές:

Για την 1η Άσκηση:

$$\text{FoM}_1 = 1 / (5\text{ns} * 5.59116899\text{W} * 37980.126 \text{mm}^2)$$

$$\text{FoM}_1 = 1 / (5 \times 10^{-9} * 5.59116899 * 37980.126)$$

$$\text{FoM}_1 = 1 / (1.06184 \times 10^{-3})$$

$$\text{FoM}_1 \approx 941.75$$

Για τη 10η Άσκηση:

$$\text{FoM}_2 = 1 / (5\text{ns} * 3.61639566\text{W} * 34494.462 \text{mm}^2)$$

$$\text{FoM}_2 = 1 / (5 \times 10^{-9} * 3.61639566 * 34494.462)$$

$$\text{FoM}_2 = 1 / (6.23978 \times 10^{-4})$$

$$\text{FoM}_2 \approx 1602.17$$

Άρα, το FoM αυξήθηκε από 941.75 σε 1602.17, κάτι που δείχνει σημαντική βελτίωση της συνολικής απόδοσης.

Συμπεράσματα

1. Μείωση συνολικής κατανάλωσης ισχύος: Η συνολική κατανάλωση ισχύος μειώθηκε από 5.59W σε 3.61W, κυρίως λόγω της μείωσης τόσο της internal power όσο και της switching power. Αυτό επιτεύχθηκε μέσω της χρήσης multibit cells, τα οποία μειώνουν τις μεταβάσεις σημάτων και άρα την κατανάλωση ισχύος.
2. Μείωση της επιφάνειας του κυκλώματος: Η περιοχή του κυκλώματος μειώθηκε από 37980.126 mm² σε 34494.462 mm², γεγονός που συμβάλλει στη βελτίωση του FoM. Αυτό είναι αποτέλεσμα καλύτερης τοποθέτησης στοιχείων και αποδοτικότερης χρήσης πόρων μέσω των επιλεγμένων βελτιστοποιήσεων.
3. Clock Gating και βελτιστοποίηση πυρήνα: Η χρήση τεχνικών όπως clock gating και η αύξηση της χρήσης του πυρήνα στο 80% συνέβαλαν στη μείωση της κατανάλωσης ισχύος χωρίς να επηρεάσουν σημαντικά τη σταθερότητα του κυκλώματος.
4. Επίδραση στο Slack: Το slack μειώθηκε από 0.439ns σε 0.029ns, κάτι που δείχνει ότι το κύκλωμα λειτουργεί πιο κοντά στα χρονικά του όρια. Παρόλο που αυτό σημαίνει μικρότερη ασφάλεια έναντι παραβιάσεων χρονισμού, η περίοδος ρολογιού των 5ns διατηρήθηκε σταθερή.

Συνολική αξιολόγηση

Η στρατηγική που εφαρμόστηκε είχε θετικό αντίκτυπο στην απόδοση του κυκλώματος. Η μείωση της κατανάλωσης ισχύος και της επιφάνειας οδήγησαν σε αύξηση του FoM κατά περίπου 70%, γεγονός που επιβεβαιώνει την αποτελεσματικότητα των τεχνικών που επιλέχθηκαν.

Το report area δείχνει ότι η συνολική επιφάνεια του κυκλώματος μειώθηκε, επιβεβαιώνοντας ότι η χρήση multibit cells βελτίωσε την πυκνότητα του σχεδιασμού.

Το report timing καταγράφει μείωση του slack, κάτι που σημαίνει ότι το κύκλωμα λειτουργεί πιο κοντά στα χρονικά του όρια. Αν και αυτό μπορεί να αυξήσει την ευαισθησία του σε καθυστερήσεις, παραμένει εντός των χρονικών περιορισμών.

Το report power δείχνει σημαντική μείωση της κατανάλωσης ισχύος, κυρίως λόγω της εφαρμογής clock gating και multibit cells. Οι περιττές μεταβάσεις περιορίστηκαν, βελτιώνοντας την ενεργειακή αποδοτικότητα χωρίς να επηρεαστεί η λειτουργικότητα ή ο χρονισμός (slack).

Τέλος, αναφέρονται κάποιες επιπλέον τεχνικές (μετα από ερευνά στο IEEE Xplore κυρίως) που θα μπορούσαν συνδυαστικά να δώσουν ακόμα καλύτερο FoM.

- **Multibit Cells:** Η χρήση τους μειώνει την επιφάνεια και την κατανάλωση ισχύος του κυκλώματος, ιδιαίτερα σε μονάδες αποθήκευσης δεδομένων, βελτιώνοντας έτσι το FoM.
- **Clock Gating:** Αποτρέπει την άσκοπη ενεργοποίηση τμημάτων του επεξεργαστή, μειώνοντας τη δυναμική κατανάλωση ισχύος χωρίς να επηρεάζεται η απόδοση.
- **Power Gating:** Διακόπτει πλήρως την τροφοδοσία σε αδρανή κυκλώματα, μειώνοντας τη στατική ισχύ και την υπερθέρμανση.
- **Retiming:** Αναδιάταξη των flip-flops για τη μείωση της κρίσιμης διαδρομής, επιτρέποντας υψηλότερες συχνότητες λειτουργίας και μικρότερη περίοδο ρολογιού.

- **Pipeline Balancing:** Ισορροπεί τις καθυστερήσεις μεταξύ των σταδίων του pipeline, αποφεύγοντας ανισορροπίες που μειώνουν την απόδοση.
- **Voltage Scaling:** Μείωση της τάσης λειτουργίας όπου είναι δυνατόν, ώστε να περιοριστεί η κατανάλωση ισχύος χωρίς να παραβιαστούν οι χρονικοί περιορισμοί.
- **Hierarchical Floorplanning & Power Distribution:** Βέλτιστη τοποθέτηση των κυκλωμάτων και χρήση ειδικών βιβλιοθηκών για μείωση του IR drop και βελτίωση της ενεργειακής απόδοσης.

Πηγές:

- Leiserson, C. E., & Saxe, J. B. "Retiming Synchronous Circuits." *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 1994.
- Sylvester, D., et al. "Multi-Bit Flip-Flops for Low-Power Digital Systems." *IEEE Transactions on Circuits and Systems I: Regular Papers*, May 2013.
- Malik, S. "A Hierarchical Power Grid Design Methodology for High-Performance SoCs." *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 32(7), 1028–1038, July 2013.
- <https://www.embedded.com/using-multi-bit-flip-flop-custom-cells-to-achieve-better-soc-design-efficiency>
- <https://www.embedded.com/using-multi-bit-flip-flop-custom-cells-to-achieve-better-soc-design-efficiency>
- <https://www.embedded.com/using-multi-bit-flip-flop-custom-cells-to-achieve-better-soc-design-efficiency>

Τα επιπλέον αρχεία που ζητούνται από την εκφώνηση βρίσκονται στον φάκελο Exercise10.

Σημειώσεις/Παρατηρήσεις

- Πέρα από τα ζητούμενα παραδοτέα υπάρχει και ένας φάκελος bonus με αναφορές από διαφορά βήματα που υλοποιήθηκαν σε κάθε άσκηση για λογούς πληρότητας. Από αυτές προέρχονται και τα screenshots που βρίσκονται στην παρούσα αναφορά.
- Η παρούσα εργασία αποδείχθηκε απαιτητική και χρειάστηκε να επαναληφθούν πολλές φορές οι ασκήσεις (κυρίως η 1) διότι γινόταν συχνά κάποια μικρή παράλειψη ή δεν υπήρχε το αναμενόμενο αποτέλεσμα. Δυστυχώς για αυτόν τον, δεν περίσσεψε ο απαιτούμενος χρόνος για να παρουσιαστεί κάτι πιο ολοκληρωμένο για την bonus άσκηση 10.