

Para todos los problemas del enunciado, si es necesario hacer suposiciones, deberán estar indicadas claramente, por escrito. Las mismas, serán consideradas parte integral de tu respuesta en el momento de la corrección.

1. Pasar a assembly MIPS32, respetando la ABI presentada en clase y esquematizando el stack frame:

```
int my_strlen_utf8_c(char *s)
{
    int i = 0, j = 0;
    while (s[i]) {
        if ((s[i] & 0xc0) != 0x80) j++;
        i++;
    }
    return j;
}
```

2. Dada una computadora MIPS32 donde la velocidad de clock es de 1GHz, el tiempo de acceso a memoria es de 100 ns, el 20 % de las instrucciones son *load/store* y el CPI es 1 si los CPU stall cycles debido a los accesos a la jerarquía de memoria son cero:
 - a) Calcular el CPI efectivo si dispone de un cache L1 unificado con un tiempo de acceso de 5ns que para el workload bajo estudio presenta un 10 % de desacierto de instrucciones y 20 % de datos.
 - b) En la máquina del punto anterior se quiere lograr un speed-up de 1.4 para el mismo workload. Para esto se decide intercalar entre el cache L1 y la memoria RAM un cache L2 tal que presentaría un 5 % de desacierto de instrucciones y 10 % de datos. ¿Cuál sería el tiempo de acceso máximo de dicho cache L2 para lograrlo?
3. Se tiene una computadora MIPS32 en la que deben implementarse por software (OS) las estructuras de traducción de memoria virtual a física. El tamaño de página es de 4KB, las PTEs son de 8byte, y tanto las direcciones físicas como las virtuales son de 32 bits y de los bits que no son offset, sólo el *msb* no forma parte de la *VPN*.

-	VPN	Offset
31		0

El proceso del usuario bajo estudio utiliza 1024 páginas de memoria física.

Definimos el overhead de traducción (OT) como el cociente entre (numerador) la cantidad de memoria utilizada para las estructuras de traducción y (denominador) cantidad de memoria en páginas físicas utilizadas por el proceso bajo estudio.

- a) Para un esquema de tabla de página lineal, calcular el *OT*.
- b) Si se pasa a un esquema de tablas jerárquicas de 2 niveles, donde el campo L1 (más significativo) es de 9 bits, ¿cuál sería el *OT* mínimo posible para nuestro proceso, utilizando las 1024 páginas mencionadas?

-	L1 index	L2 index	Offset
31			0

4. Dada la siguiente secuencia de accesos a palabras en memoria: {2, 3, 11, 16, 21, 13, 64, 48, 19, 11, 3, 22, 4, 27, 6, 11},
 - a) Determinar el contenido final del cache, y los aciertos y desaciertos de un cache completamente asociativo de 16 palabras de capacidad total y bloques unitarios. Asumir reemplazo LRU.
 - b) Similarmente, mostrar cuál será el estado final del cache, aciertos y desaciertos cuando el mismo posee líneas de 4 palabras y capacidad para 16. Suponer también reemplazo LRU.