

DISEÑO DE MÁQUINAS DE ESTADO EMPLEANDO MEMORIAS: DIRECCIONAMIENTO POR TRAYECTORIA

31 de agosto 2022

M.I. Pedro Ignacio Rincón Gómez
LABORATORIO DE ORGANIZACIÓN Y
ARQUITECTURA DE COMPUTADORAS

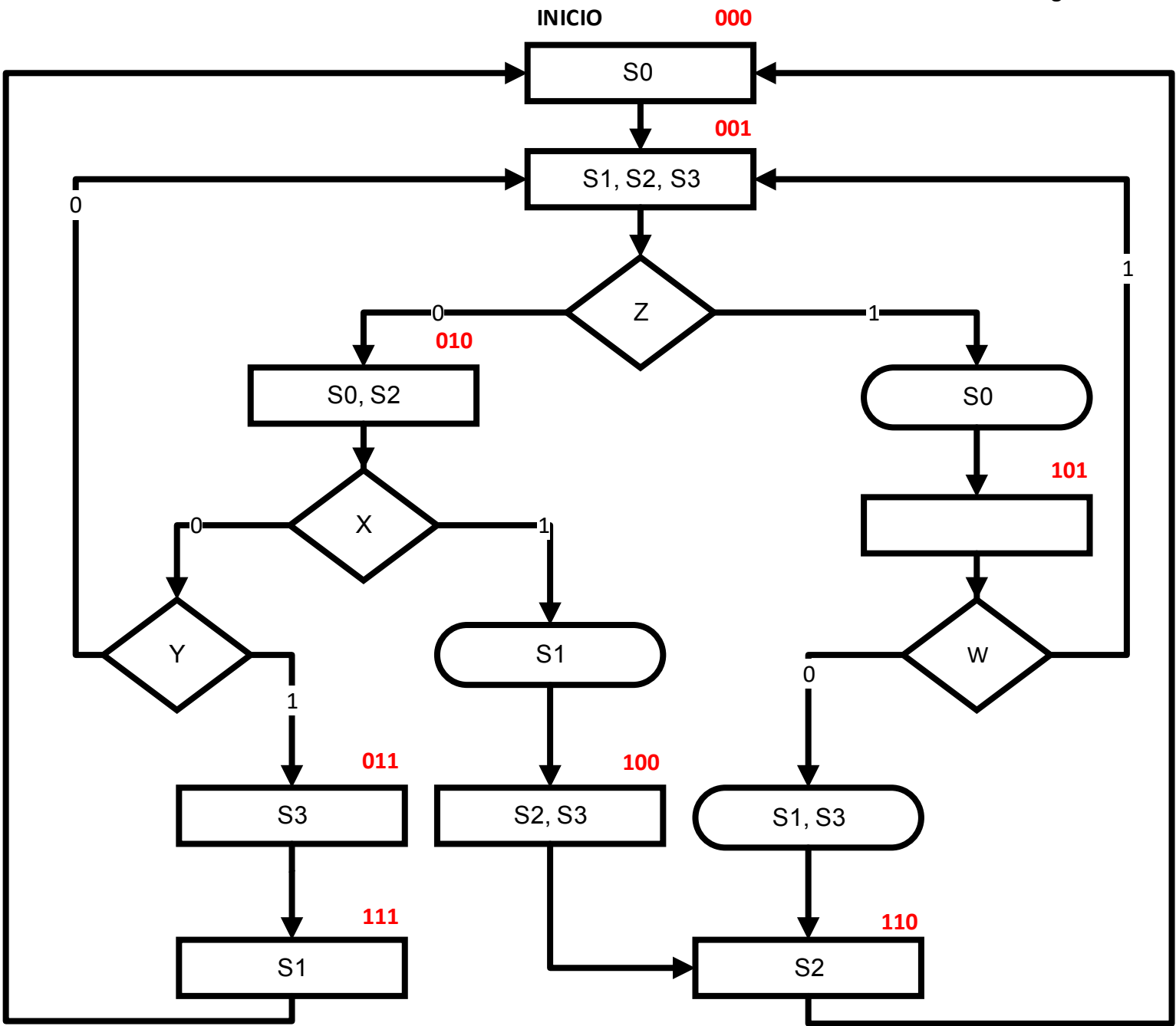


Objetivo:

Familiarizar al alumno en el conocimiento diseño, construcción y simulación de máquinas de estados empleando el método direccionamiento por trayectoria.

Desarrollo:

1. Diseñar una carta ASM con 8 estados, 4, entradas (X,Y,Z,W) Y 4 salidas (S0,S1,S2,S3) y determine la tabla de verdad por el método de ***Direccionamiento por Trayectoria***. La carta ASM debe contar con salidas condicionales.
2. Construir el modelo de la máquina de estados de “Direccionamiento por trayectoria” haciendo uso de lenguajes de descripción de hardware (verilog, VHDL), **empleando un modelo modular mediante el empleo del entorno gráfico.**
3. Simular el diseño de forma que se puedan visualizar las entradas, salidas y el estado presente en todo momento en un diagrama de tiempos, haciendo uso de alguna plataforma de ALTERA o XILINX.



Estado_Presente + Entradas							Liga + Salidas						
P2	P1	P0	W	X	Y	Z	Z2	Z1	Z0	S3	S2	S1	S0
0	0	0	*	*	*	*	0	0	1	0	0	0	1
0	0	1	*	*	*	0	0	1	0	1	1	1	0
0	0	1	*	*	*	1	1	0	1	1	1	1	1
0	1	0	*	0	0	*	0	0	1	0	1	0	1
0	1	0	*	0	1	*	0	1	1	0	1	0	1
0	1	0	*	1	*	*	1	0	0	0	1	1	1
0	1	1	*	*	*	*	1	1	1	1	0	0	0
1	0	0	*	*	*	*	1	1	0	1	1	0	0
1	0	1	0	*	*	*	1	1	0	1	0	1	0
1	0	1	1	*	*	*	0	0	1	0	0	0	0
1	1	0	*	*	*	*	0	0	0	0	1	0	0
1	1	1	*	*	*	*	0	0	0	0	0	1	0

128 líneas debemos de programar.

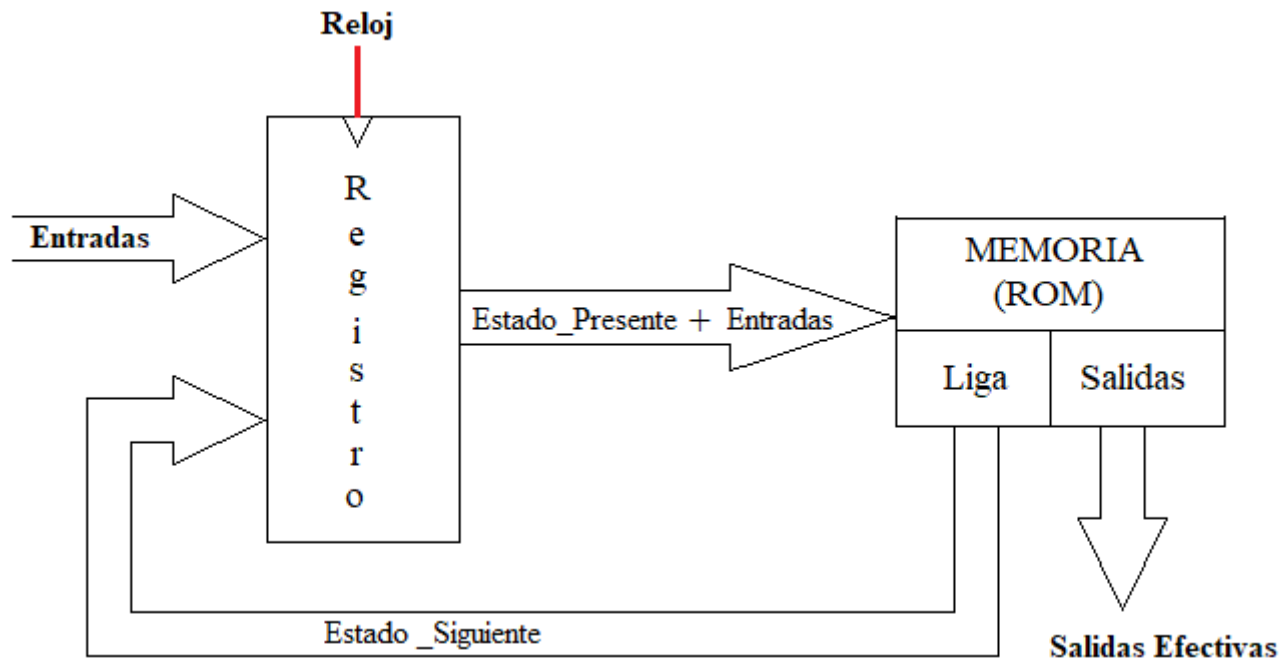
El reporte debe incluir por cada elemento del equipo :

*Fotografía de la credencial de estudiante de la UNAM o en su defecto alguna otra identificación que contenga su foto.
(Licencia de conducir, etc.)*

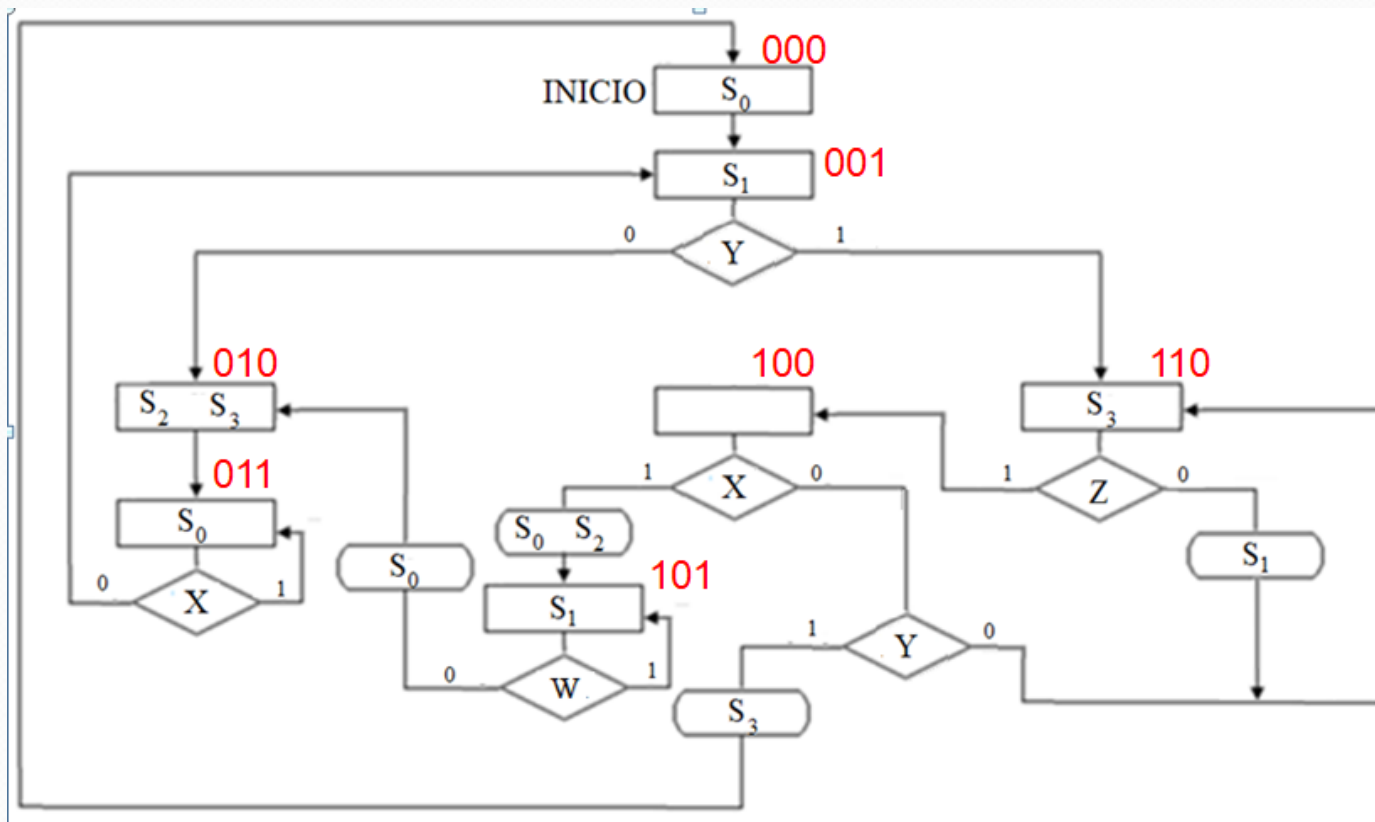


Introducción:

En el diagrama que se muestra se aprecia la estructura del circuito del método Direcccionamiento por Trayectoria. Está compuesto de 2 elementos de Hardware: Una Memoria ROM y un registro (Latch).



1) La carta ASM diseñada:



El reporte debe incluir:

2) La tabla de verdad completa de la memoria:

Edo_Pte + Entradas							Liga + Salidas						
P ₂	P ₁	P ₀	X	Y	Z	W	L ₂	L ₁	L ₀	S ₃	S ₂	S ₁	S ₀
0	0	0	*	*	*	*	0	0	1	0	0	0	1
0	0	1	*	0	*	*	0	1	0	0	0	1	0
0	0	1	*	1	*	*	1	1	0	0	0	1	0
0	1	0	*	*	*	*	0	1	1	1	1	0	0
0	1	1	0	*	*	*	0	0	1	0	0	0	1
0	1	1	1	*	*	*	0	1	1	0	0	0	1
1	0	0	0	0	*	*	1	1	0	0	0	0	0
1	0	0	0	1	*	*	0	0	0	1	0	0	0
1	0	0	1	*	*	*	1	0	1	0	1	0	1
1	0	1	*	*	*	0	0	1	0	0	0	1	1
1	0	1	*	*	*	1	1	0	1	0	0	1	0
1	1	0	*	*	0	*	1	1	0	1	0	1	0
1	1	0	*	*	1	*	1	0	0	1	0	0	0
1	1	1	*	*	*	*	0	0	0	0	0	0	0

El reporte debe incluir:

3) El código de cada módulo en VHDL y verilog.

```
1  library ieee;
2  use ieee.std_logic_1164.all;
3
4
5  entity contador3bits is
6
7      Port ( relog, reset : in  STD_LOGIC;
8            salcuenta: out STD_LOGIC_VECTOR(3 downto 0);
9            x : in  std_LOGIC);
10
11  end contador3bits;
12
13  architecture arqcontador3bits of contador3bits is
14
15      subtype estado is STD_LOGIC_VECTOR(3 downto 0);
16      signal q, qmas1: estado;
17
18      constant e0: estado:="0000";
19      constant e1: estado:="0001";
20      constant e2: estado:="0010";
21      constant e3: estado:="0011";
22      constant e4: estado:="0100";
23      constant e5: estado:="0101";
24      constant e6: estado:="0110";
25      constant e7: estado:="0111";
26      constant e8: estado:="1000";
27      constant e9: estado:="1001";
28      constant e10: estado:="1010";
29      constant e11: estado:="1011";
30      constant e12: estado:="1100";
31      constant e13: estado:="1101";
32      constant e14: estado:="1110";
33      constant e15: estado:="1111";
34  end architecture;
```

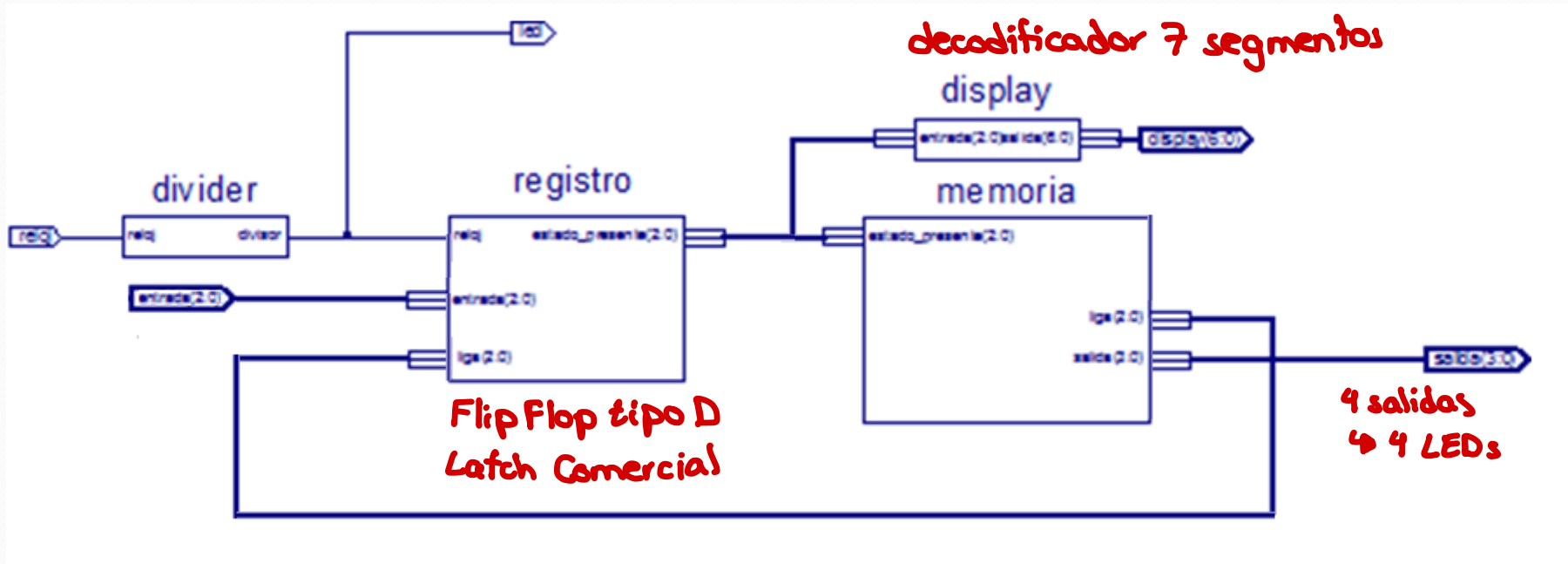
Bibliotecas estándar

Variables necesarias

Las constantes necesarias, en este caso es cada número de nuestro conteo de 4 bits

El reporte debe incluir:

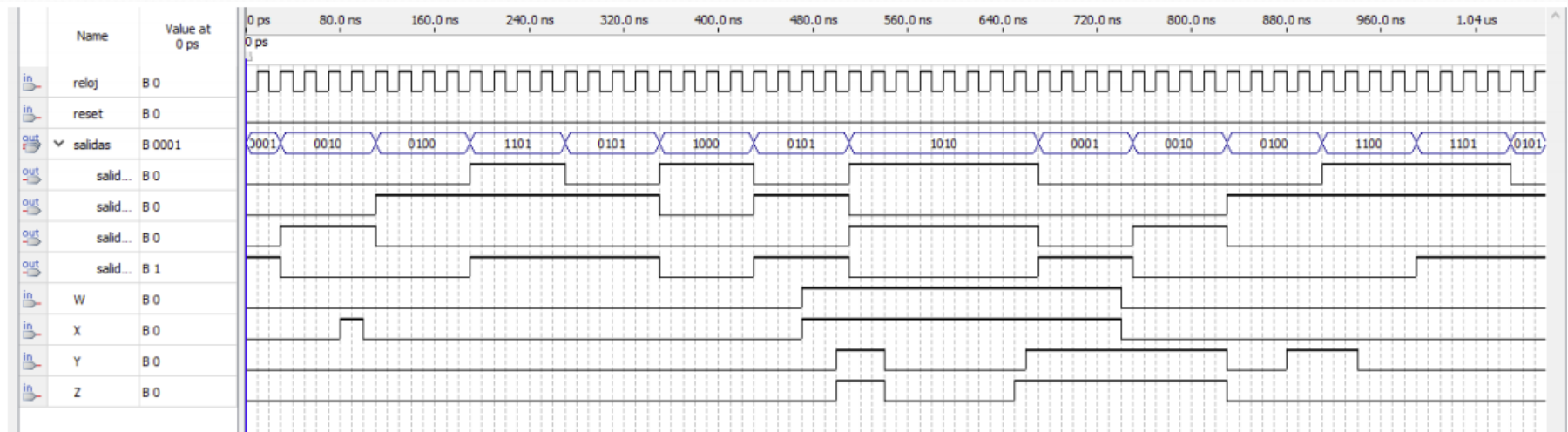
4) El diagrama esquemático del diseño



Recuerden que el divisor de tiempo no se usa al simular

El reporte debe incluir:

5) La simulación del diseño (diagrama de tiempos)



En la simulación se debe ver el estado presente y las salidas del sistema para una trayectoria particular de la carta ASM en función de las entradas.

Conclusiones individuales de cada integrante del equipo.



Bibliografía

- Dr. Jesús Savage Carmona, Ing. Gabriel Vázquez, M.I. Norma Elva Chávez Rodríguez, “Diseño de microprocesadores”, [En línea], Dirección URL: https://biorobotics.fi-p.unam.mx/wpcontent/uploads/2019/05/diseo_de_pr ocesadores.pdf, Fecha de consulta: 20 de Noviembre del 2019.