



1. INTRODUÇÃO

O PIC18F4550 possui múltiplas fontes de interrupção e a capacidade de atribuir prioridade alta ou baixa a cada uma delas. Quando uma interrupção ocorre, o programa é redirecionado para a posição de memória correspondente, sendo que, eventos de interrupção de alta prioridade se sobrepõem a qualquer interrupção de baixa prioridade que esteja sendo atendida.

- Interrupção de alta prioridade: 0008h
- Interrupção de baixa prioridade: 0018h

São fontes de interrupções geradas e suportadas pelo PIC18F4550:

- Interrupção por overflow do Timer0, cuja fonte pode ser o clock interno do microcontrolador ou a ocorrência de eventos externos no pino RA4/T0CKI.
- Interrupções externas INT0, INT1 e INT2, geradas pela ocorrência de uma mudança de estado válida nos pinos RB0/INT0, RB1/INT1 ou RB2/INT2.
- Interrupção por variação no PORTB, gerada pela mudança de estado na entrada de quaisquer dos pinos RB4 a RB7.
- Interrupções geradas pela conclusão de operações de periféricos internos do PIC18F4550 como: escrita ou leitura no módulo SPP, conversão A/D, transmissão ou recepção no módulo EUSART, transmissão ou recepção no módulo SSP, ocorrências geradas no módulo Compare/Capture/PWM, overflow do oscilador dedicado do Timer1 e Timer3, escrita na memória EEPROM, requisição do módulo USB, detecção de subtensão ou sobretensão, falha no oscilador interno.

Cada fonte de interrupção possui 3 bits associados:

- Flag bit: sinaliza a ocorrência da interrupção
- Enable bit: habilita a interrupção
- Priority bit: define a prioridade da interrupção (alta ou baixa)

2. REGISTRADORES

Existem 10 registradores que controlam o funcionamento das interrupções. São eles:

- INTCON, INTCON2, INTCON3: habilitação, configuração e sinalização de ocorrência das interrupções externas
- PIR1, PIR2: sinalização de ocorrência das interrupções dos periféricos
- PIE1, PIE2: habilitação das interrupções dos periféricos
- IPR1, IPR2: atribuição de níveis de prioridade às interrupções dos periféricos.
- RCON: habilita atribuição de níveis de prioridade às interrupções

2.1. Registrador INTCON

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF

GIE/GIEH	<u>Se a atribuição de prioridade às interrupções está inativa (IPEN = 0)</u> 1 = habilita todas as interrupções 0 = desabilita todas as interrupções <u>Se a atribuição de prioridade às interrupções está inativa (IPEN = 1)</u> 1 = habilita todas as interrupções de alta prioridade 0 = desabilita todas as interrupções de alta prioridade
PEIE/GIEL	<u>Se a IPEN = 0</u> 1 = habilita todas as interrupções geradas por periféricos 0 = desabilita todas as interrupções geradas por periféricos <u>Se IPEN = 1</u> 1 = habilita todas as interrupções de baixa prioridade 0 = desabilita todas as interrupções de baixa prioridade
TMR0IE	1 = habilita a interrupção por <i>overflow</i> do registrador TMR0 0 = desabilita a interrupção por <i>overflow</i> do registrador TMR0
INT0IE	1 = habilita a interrupção externa INT0 0 = desabilita a interrupção externa INT0
RBIE	1 = habilita a interrupção por variação do PORTB<7:4> 0 = desabilita a interrupção por variação do PORTB<7:4>
TMR0IF	1 = indica a ocorrência de <i>overflow</i> do registrador TMR0 0 = indica que não ocorreu <i>overflow</i> do registrador TMR0
INT0IF	1 = indica a ocorrência da interrupção externa INT0 0 = indica que não ocorreu a interrupção externa INT0
RBIF	1 = indica a ocorrência da interrupção por mudança no PORTB<7:4> 0 = indica que não ocorreu a interrupção por mudança no PORTB<7:4>

2.2. Registrador INTCON2

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RBPU	INTEDG0	INTEDG1	INTEDG2	-	TMR0IP	-	RBIP

RBPU	1 = desabilita os <i>pull-ups</i> de todo o PORTB 0 = habilita <i>pull-ups</i> do PORTB individualmente de acordo com os valores presentes nos pinos
INTEDG0	1 = configura interrupção externa INT0 para a borda de subida 0 = configura interrupção externa INT0 para a borda de descida
INTEDG1	1 = configura interrupção externa INT1 para a borda de subida 0 = configura interrupção externa INT1 para a borda de descida
INTEDG2	1 = configura interrupção externa INT2 para a borda de subida 0 = configura interrupção externa INT2 para a borda de descida
TMR0IP	1 = atribui prioridade alta para a interrupção por <i>overflow</i> do Timer0 0 = atribui prioridade baixa para a interrupção por <i>overflow</i> do Timer0
RBIP	1 = atribui prioridade alta para a interrupção por mudança no PORTB<7:4> 0 = atribui prioridade baixa para a interrupção por mudança no PORTB<7:4>

2.3. Registrador INTCON3

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INT2IP	INT1IP	-	INT2IE	INT1IE	-	INT2IF	INT1IF

INT2IP	1 = atribui prioridade alta para a interrupção externa INT2 0 = atribui prioridade baixa para a interrupção externa INT2
INT1IP	1 = atribui prioridade alta para a interrupção externa INT1 0 = atribui prioridade baixa para a interrupção externa INT1
INT2IE	1 = habilita a interrupção externa INT2 0 = desabilita a interrupção externa INT2
INT1IE	1 = habilita a interrupção externa INT1 0 = desabilita a interrupção externa INT1
INT2IF	1 = indica a ocorrência da interrupção externa INT2 0 = indica que não ocorreu a interrupção externa INT2
INT1IF	1 = indica a ocorrência da interrupção externa INT1 0 = indica que não ocorreu a interrupção externa INT1

2.4. Registrador PIR1

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPPIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF

SSPIF	<u>Sinalização de término de escrita ou leitura do módulo SPP</u> 1 = indica que ocorreu uma operação de leitura ou escrita 0 = nenhuma leitura ou escrita ocorreu
ADIF	<u>Sinalização de término de conversão A/D</u> 1 = conversão A/D completa 0 = conversão A/D não concluída
RCIF	<u>Sinalização de término de recepção EUSART</u> 1 = indica que o <i>buffer</i> de recepção EUSART, RCREG, está cheio 0 = indica que o <i>buffer</i> de recepção EUSART, RCREG, está vazio
TXIF	<u>Sinalização de término de transmissão EUSART</u> 1 = indica que o <i>buffer</i> de transmissão EUSART, TXREG, está vazio 0 = indica que o <i>buffer</i> de transmissão EUSART, TXREG, está cheio
SSPIF	<u>Sinalização de término de transmissão ou recepção no módulo SSP</u> 1 = transmissão ou recepção completa 0 = aguardando uma transmissão ou recepção
CCP1IF	<u>No modo captura</u> 1 = indica a ocorrência de uma captura do registrador TMR1 0 = indica que não ocorreu uma captura do registrador TMR1 <u>No modo compare</u> 1 = indica a ocorrência de uma comparação bem sucedida do registrador TMR1 0 = indica que não ocorreu uma comparação bem sucedida do registrador TMR1 <u>Não é usado no modo PWM</u>
TMR2IF	1 = indica a ocorrência de igualdade nos valores de TMR2 e PR2 0 = indica que não ocorreu igualdade nos valores de TMR2 e PR2
TMR1IF	1 = indica a ocorrência de <i>overflow</i> do registrador TMR1 0 = indica que não ocorreu <i>overflow</i> do registrador TMR1

2.5. Registrador PIR2

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OSCFIF	CMIF	USBIF	EEIF	BCLIF	LVDIF	TMR3IF	CCP2IF

OSCFIF	1 = falha no sistema oscilador, entrada de clock modificada para INTOSC 0 = sistema oscilador em operação
CMIF	1 = entrada do comparador alterada 0 = entrada do comparador não alterada
USBIF	1 = indica que houve requisição de interrupção USB 0 = não houve requisição de interrupção USB
EEIF	1 = operação de escrita na memória EEPROM/Flash completa 0 = operação de escrita na memória EEPROM/Flash em andamento ou não iniciada
BCLIF	1 = ocorrência de colisão de dados no canal de comunicação 0 = não ocorreu colisão de dados no canal de comunicação
LVDIF	1 = ocorrência de condição de subtensão ou sobretensão 0 = não ocorreu condição de subtensão ou sobretensão
TMR3IF	1 = indica a ocorrência de <i>overflow</i> do registrador TMR3 0 = indica que não ocorreu <i>overflow</i> do registrador TMR3
CCP2IF	<u>No modo captura</u> 1 = indica a ocorrência de uma captura do registrador TMR1 0 = indica que não ocorreu uma captura do registrador TMR1 <u>No modo compare</u> 1 = indica a ocorrência de uma comparação bem sucedida do registrador TMR1 0 = indica que não ocorreu uma comparação bem sucedida do registrador TMR1 <u>Não é usado no modo PWM</u>

2.6. Registrador PIE1

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPPIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE

SSPIE	1 = habilita interrupção por leitura ou escrita do módulo SPP 0 = desabilita interrupção por leitura ou escrita do módulo SPP
ADIE	1 = habilita interrupção do conversor A/D 0 = desabilita interrupção do conversor A/D
RCIE	1 = habilita interrupção de recepção EUSART 0 = desabilita interrupção de recepção EUSART
TXIE	1 = habilita interrupção de transmissão EUSART 0 = desabilita interrupção de transmissão EUSART
SSPIE	1 = habilita interrupção por transmissão ou recepção do módulo SSP 0 = desabilita interrupção por transmissão ou recepção do módulo SSP
CCP1IE	1 = habilita interrupção do módulo CCP1 0 = desabilita interrupção do módulo CCP1
TMR2IE	1 = habilita interrupção por igualdade nos valores de TMR2 e PR2 0 = desabilita interrupção por igualdade nos valores de TMR2 e PR2
TMR1IE	1 = habilita interrupção por <i>overflow</i> do registrador TMR1 0 = desabilita interrupção por <i>overflow</i> do registrador TMR1

2.7. Registrador PIE2

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OSCFIE	CMIE	USBIE	EEIE	BCLIE	LVDIE	TMR3IE	CCP2IE

OSCFIE	1 = habilita interrupção por falha no sistema oscilador 0 = desabilita interrupção por falha no sistema oscilador
CMIE	1 = habilita interrupção por alteração na entrada do comparador 0 = desabilita interrupção por alteração na entrada do comparador
USBIE	1 = habilita interrupção USB 0 = desabilita interrupção USB
EEIE	1 = habilita interrupção de escrita na memória EEPROM/Flash 0 = desabilita interrupção de escrita na memória EEPROM/Flash
BCLIE	1 = habilita interrupção por colisão de dados no canal de comunicação 0 = desabilita interrupção por colisão de dados no canal de comunicação
LVDIE	1 = habilita interrupção por ocorrência de condição de subtensão ou sobretensão 0 = desabilita interrupção por ocorrência de condição de subtensão ou sobretensão
TMR3IE	1 = habilita interrupção por <i>overflow</i> do registrador TMR3 0 = desabilita interrupção por <i>overflow</i> do registrador TMR3
CCP2IE	1 = habilita interrupção do módulo CCP2 0 = desabilita interrupção do módulo CCP2

2.8. Registrador IPR1

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPIIP	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP

SSPIP	1 = atribui prioridade alta para a interrupção por leitura ou escrita do módulo SPP 0 = atribui prioridade baixa para a interrupção por leitura ou escrita do módulo SPP
ADIP	1 = atribui prioridade alta para a interrupção do conversor A/D 0 = atribui prioridade baixa para a interrupção do conversor A/D
RCIP	1 = atribui prioridade alta para a interrupção de recepção EUSART 0 = atribui prioridade baixa para a interrupção de recepção EUSART
TXIP	1 = atribui prioridade alta para a interrupção de transmissão EUSART 0 = atribui prioridade baixa para a interrupção de transmissão EUSART
SSPIP	1 = atribui prioridade alta para a interrupção por transmissão ou recepção do módulo SSP 0 = atribui prioridade baixa para a interrupção por transmissão ou recepção do módulo SSP
CCP1IP	1 = atribui prioridade alta para a interrupção do módulo CCP1 0 = atribui prioridade baixa para a interrupção do módulo CCP1
TMR2IP	1 = atribui prioridade alta para a interrupção por igualdade nos valores de TMR2 e PR2 0 = atribui prioridade baixa para a interrupção por igualdade nos valores de TMR2 e PR2
TMR1IP	1 = atribui prioridade alta para a interrupção por <i>overflow</i> do registrador TMR1 0 = atribui prioridade baixa para a interrupção por <i>overflow</i> do registrador TMR1

2.9. Registrador IPR2

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OSCFIP	CMIP	USBIP	EEIP	BCLIP	LVDIP	TMR3IP	CCP2IP

OSCFIP	1 = atribui prioridade alta para a interrupção por falha no sistema oscilador 0 = atribui prioridade baixa para a interrupção por falha no sistema oscilador
CMIP	1 = atribui prioridade alta para a interrupção por alteração na entrada do comparador 0 = atribui prioridade baixa para a interrupção por alteração na entrada do comparador
USBIP	1 = atribui prioridade alta para a interrupção USB 0 = atribui prioridade baixa para a interrupção USB
EEIP	1 = atribui prioridade alta para a interrupção de escrita na memória EEPROM/Flash 0 = atribui prioridade baixa para a interrupção de escrita na memória EEPROM/Flash
BCLIP	1 = atribui prioridade alta para a interrupção por colisão de dados no canal de comunicação 0 = atribui prioridade baixa para a interrupção por colisão de dados no canal de comunicação
LVDIP	1 = atribui prioridade alta para a interrupção por ocorrência de subtensão ou sobretensão 0 = atribui prioridade baixa para a interrupção por ocorrência de subtensão ou sobretensão
TMR3IP	1 = atribui prioridade alta para a interrupção por <i>overflow</i> do registrador TMR3 0 = atribui prioridade baixa para a interrupção por <i>overflow</i> do registrador TMR3
CCP2IP	1 = atribui prioridade alta para a interrupção do módulo CCP2 0 = atribui prioridade baixa para a interrupção do módulo CCP2

2.10. Registrador RCON

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPEN	SBOREN	-	RI	TO	PD	POR	BOR

IPEN	1 = habilita atribuição de níveis de prioridade para as interrupções 0 = desabilita prioridades para as interrupções (modo de compatibilidade PIC16CXXX)
SBOREN	Relacionado às condições de <i>reset</i> do dispositivo
RI	Relacionado às condições de <i>reset</i> do dispositivo
TO	Relacionado às condições de <i>reset</i> do dispositivo
PD	Relacionado às condições de <i>reset</i> do dispositivo
POR	Relacionado às condições de <i>reset</i> do dispositivo
BOR	Relacionado às condições de <i>reset</i> do dispositivo

3. UTILIZAÇÃO DAS INTERRUPTÇÕES

A atribuição de prioridade para as interrupções pode ser habilitada ou desabilitada através do bit IPEN (RCON<7>). Se a prioridade de interrupções é habilitada, o bit GIEH (INTCON<7>) habilita todas as interrupções definidas como ALTA prioridade, enquanto que, o bit GIEL (INTCON<6>) habilita todas as interrupções definidas como BAIXA prioridade.

Quando o sinalizador de interrupção, o bit de habilitação e o habilitador global apropriado (GIEL ou GIEH) estão ativos, a interrupção será direcionada diretamente para o endereço do vetor de interrupções correspondente (0008h ou 0018h).

Quando o bit IPEN é desativado (*default*), a prioridade de interrupções é ignorada. Neste caso, o bit GIE (INTCON<7>) é o habilitador global de todas as interrupções e o bit PEIE (INTCON<6>) habilita as interrupções geradas por fontes periféricas do dispositivo. Neste caso, todas as interrupções são direcionadas para o endereço 00008h.

Ao entrar na rotina de tratamento de interrupções (ISR – Interrupt Service Routine), as interrupções são desabilitadas (exceto se IPEN=1 e a interrupção em processamento for de baixa prioridade). A instrução RETFIE finaliza a rotina de interrupção e reabilita as interrupções (GIE=1 ou GIEH=1 e GIEL=1).

3.1. Interrupções externas

Existem 3 interrupções externas independentes no PIC18F4550, associadas aos pinos RB0/INT0, RB1/INT1 e RB2/INT2. A habilitação destas interrupções é realizada individualmente através dos bits INTxIE (INTCON<4>, INTCON3<4:3>) e seus níveis de prioridade definidos através dos pinos INTxIP (INTCON3<7:6>). A interrupção INT0 é sempre de alta prioridade.

As interrupções externas são geradas a partir da ocorrência de uma borda de descida ou subida no pino, de acordo com a configuração dos bits INTEDGx (INTCON2<6:4>) e a sinalização de ocorrência de interrupção é detectada nos bits INTxIF (INTCON<1>, INTCON3<1:0>).

Todas as interrupções externas são capazes de tirar o processador do modo de economia de energia.

3.2. Interrupção do Timer0

A interrupção do Timer0 está associada ao pino RA4/T0CKI ou ao oscilador interno do PIC18F4550 e pode ser habilitada através do bit TMR0IE (INTCON<4>). A atribuição do nível de prioridade da interrupção é feita a partir do bit TMR0IP (INTCON2<2>).

O programa é desviado para a Rotina de Tratamento de Interrupções (ISR) sempre que ocorre o overflow do registrador TMR0 e a consequente ativação do bit de sinalização TMR0IF (INTCON<2>). Antes de sair da ISR o bit TMR0IF deve ser “limpo”.

No modo de economia de energia (Sleep mode) o Timer0 é desativado e, portanto, o processador não pode ser posto em pleno funcionamento a partir da interrupção do Timer0.

3.3. Interrupção por alteração no PORTB

A interrupção por alteração no PORTB está associada aos pinos RB7:RB4, pode ser habilitada por meio do bit RBIE (INTCON<3>) e ter o nível de prioridade definido pelo bit RBIP (INTCON2<0>). Qualquer mudança de estado nos pinos PORTB<7:4> configurados como entradas provoca a ativação do bit RBIF (INTCON<0>) e o desvio do programa para o vetor de interrupções correspondente.

Após acionada a interrupção, uma condição de incompatibilidade é gerada e impede que o sinalizador RBIF seja colocado em 0 novamente e a interrupção é ativada permanentemente. Para desfazer a condição de incompatibilidade e permitir que o valor 0 seja atribuído a RBIF, uma operação de leitura do PORTB deve ser efetuada.