

Arquitectura de las Computadoras II

Práctica Unidad N° 1

Ruta de datos y de control

Ing. Walter Lozano
Ing. Alejandro Rodríguez Costello

-
1. Si fallan las siguientes señales, *RegDest*, *FuenteALU*, *MemaReg* y *cero* (analice cada caso por separado) en la realización uniciclo fijándose en un valor lógico permanente igual a 0, ¿qué instrucciones continuarían funcionando, si lo hace alguna?
 2. Desea añadir la instrucción **addi** al camino de datos uniciclo. Indique las modificaciones necesarias a los diagramas estudiados en clase.
 3. Idem ejercicio 2 para **bne** ¿qué debe alterar en la especificación de la unidad de control?
 4. Un amigo le sugiere eliminar la señal de control *MemaReg*, utilizando como entrada en el multiplexor *LeerMem*. ¿qué le diría sobre el tema? ¿se puede extender la idea a otras señales?.
 5. En la estimación del rendimiento de la realización uniciclo hemos supuesto que ciertas unidades funcionales no poseen retardo o son despreciables. Suponga que se cambian los retardos especificados en la pág. 359 del libro de cátedra por los siguientes: ALU: 2ns, sum PC+4: X ns, sum jump: Y ns.
 - a) ¿Cuál sería el tiempo de ciclo si X e Y son 3?
 - b) ¿Cuál sería el tiempo de ciclo si X e Y son 5?
 - c) ¿Cuál sería el tiempo de ciclo si X=1 e Y=8?
 - d) ¿Qué puede decir sobre los valores calculados?
 6. Si fallan las siguientes señales, *RegDest*, *MemaReg*, *IoD* y *SelALUA* (analice cada caso por separado) en la realización multiciclo fijándose en un valor lógico permanente igual a 1, ¿qué instrucciones continuarían funcionando, si lo hace alguna?
 7. Realice las modificaciones necesarias al camino de datos multiciclo para implementar las instrucciones de los ejercicios 2 y 3. Adicionalmente realice las modificaciones necesarias a la FSM (máquina de estados finitos).
 8. Implemente una nueva instrucción llamada **wai** (where am i) que coloca la posición de la instrucción (el valor del PC cuando la instrucción fue cargada) en un registro especificado por el campo *rt* de la instrucción en lenguaje máquina. Suponga que el camino de datos no ha cambiado y, como es normal, el ciclo de reloj es tan corto que no permite una operación ALU y un acceso al banco de registros en un mismo ciclo de reloj si uno de ellos depende del resultado del otro. Relice las modificaciones necesarias a la FSM.

9. Utilizando los datos del *gcc* provistos por la figura 4.54, página 297 del libro de cátedra y suponiendo que dispone de las siguientes máquinas:

M1: camino de datos multiciclo con un reloj de 500 MHz

M2: M1 modificado tal que los registros se actualizan en el mismo ciclo de reloj que una lectura de memoria o una operación de ALU, por lo tanto se fusionan los estados 6 y 7, y también 3 y 4 de la FSM figura 5.42, página 381 del libro de cátedra. El reloj es de 400 MHz para compensar el incremento de la longitud del camino crítico.

M3: M2 modificado tal que los cálculos de la dirección efectiva se realizan en el mismo ciclo de reloj que un acceso a memoria, por lo tanto se combinan los estados 2, 3 y 4, como el 2 y 5, y también 6 y 7, con un reloj de 250 MHz para compensar.

¿Cuál es más rápida?