

Arquitectura de las Computadoras

Práctica Unidad N° 3

Gestión de la Memoria

Ing. Walter Lozano
Ing. Alejandro Rodríguez Costello

1. Dada una caché de correspondencia directa de 64 bloques y un tamaño de bloque de 16 bytes. ¿Qué número de bloque de la caché le corresponde a la dirección del byte 1200 de la memoria principal?
2. Dada una caché de tamaño 256 bytes y bloques de 32 bytes, en la que los bloques se ubican por correspondencia directa, ¿qué bloque de la caché le corresponde a la dirección del byte 280 de memoria principal?
3. Calcular la capacidad de almacenamiento total en bits que se necesita para implementar una memoria caché de correspondencia directa de 128 KBytes de datos, bloques de 4 palabras y direcciones de 32 bits. Considerar que cada bloque de la caché necesita un campo de etiqueta (del tamaño adecuado) y un campo de validez (de 1 bit).
4. Sea una memoria caché asociativa por conjunto de 2 vías de 64 KBytes de datos, bloques de 4 palabras y direcciones de 32 bits, con las mismas consideraciones que para el ejercicio anterior:
 - a) ¿Qué capacidad de almacenamiento total en bits es necesaria?
 - b) Si la caché fuera asociativa por conjuntos de 4 vías, ¿qué cantidad de almacenamiento se necesita?
 - c) ¿Qué conclusión extrae de los resultados?
5. Incrementar la asociatividad implica usar más comparadores y aumentar el tamaño de la etiqueta para cada bloque. Suponiendo una caché de 4K bloques, bloques de 2 palabras y una dirección de 32 bits, calcular el número total de conjuntos y el número total de bits de la etiqueta suponiendo que la caché es de correspondencia directa, asociativa por conjuntos de 2 y 4 vías y completamente asociativa.
6. Dada la siguiente secuencia de referencias a palabras de memoria:

1, 4, 8, 5, 20, 17, 19, 56, 9, 11, 4, 43, 5, 6, 9, 17

 - a) Si la caché es de correspondencia directa de 16 bloques y 4 bytes por bloque que inicialmente está vacía, etiquetar cada referencia de la lista como un acierto o fallo y mostrar el contenido final de la caché.
 - b) Si la organización de la caché cambia a correspondencia directa con 16 bytes por bloque (4 palabras) y un tamaño total de 16 palabras, ¿cómo son los aciertos y fallos si la caché estaba vacía? ¿Cómo queda luego?
 - c) ¿Cuál es la tasa de fallos para a) y b)? ¿Qué se puede concluir de los valores que obtuvo?

7. Sea una máquina con un tiempo de ciclo de reloj de 2ns y una penalización de fallo de 20 ciclos de reloj:
 - a) Si tiene una tasa de fallos de 0.05 fallos por instrucción y un tiempo de acceso a la caché de 1 ciclo de reloj (incluido el tiempo para detección del acierto). ¿Cuál es tiempo de acceso medio a la memoria?. Suponer que las penalizaciones de fallos en lectura y escritura son iguales.
 - b) Si mejoramos la tasa de fallos de 0.05 a 0.03 fallos por instrucción duplicando el tamaño de la caché, con la consecuencia de un aumento en el tiempo de acceso de la misma a 1.2 ciclos de reloj, en base al tiempo acceso medio a la memoria, ¿crees que es una buena solución?
8. Sea un jerarquía de memoria en donde se utilizan para la memoria principal una de las tres organizaciones típicas (simple, paralelo y entrelazada). Supongamos que el bloque de cache es de 16 palabras, que el ancho de la organización paralela es de 4 palabras y que el número de bancos de memoria es 4, para una organización entrelazada. Si el tiempo de ciclo de la memoria principal para un nuevo acceso es de 10 ciclos y el tiempo de acceso es de 1 ciclo:
 - a) ¿cuál es la penalización de fallos de caché medida en números de ciclos de reloj para cada una de las organizaciones?
 - b) Si a la caché se la ha medido una tasa de fallos de 0.05 por instrucción y suponemos que el CPI es 1.2 ¿cuánto más rápido es este procesador cuando usa una memoria paralela respecto a una entrelazada y respecto de una simple?
9. Sea una CPU con un CPI de 1.5 y una duración del ciclo de reloj de 20 ns. Supongamos que existen 1.3 referencias a memoria por instrucción y que el tamaño de ambas caches es 64 KB. Una cache es de correspondencia directa y la otra es asociativa por conjuntos de 2 vías. Como la velocidad de la CPU está ligada directamente a la velocidad de la caché, al pasar de una caché de correspondencia directa a una asociativa por conjuntos es necesario aumentar el tiempo de ciclo de reloj en 8.5% para tener en cuenta el tiempo adicional del multiplexor de selección de la caché asociativa. La penalización de fallos es de 200 ns para cualquier organización de la caché. Supongamos la siguiente tasa de fallos: para la caché de correspondencia directa y tamaño de 64 KB, 3.9% y para la caché asociativa por conjuntos de 2 vías de 64 KB un 3%. Con estos datos, calcular el tiempo medio de acceso a memoria y el rendimiento de CPU. ¿Qué organización de caché ofrece un mejor rendimiento?
10. Considere un sistema de memoria virtual que posee direcciones virtuales de 40 bits, páginas de 16 Kbytes y direcciones físicas de 36 bits. Si para cada página virtual la tabla de páginas poseé bit de validez, dirty bit y tres bits de protección, ¿cuál es el tamaño total de la tabla de páginas para cada proceso de esta máquina?
11. Un computador dispone de 4 GB de memoria virtual y 16 MB de memoria física. El número de páginas que cabe en memoria principal es de 4096. Se pide:
 - a) Formato de las direcciones virtuales y físicas.
 - b) Número máximo de páginas virtuales.
 - c) Si la CPU emite la dirección virtual 0x3F4AB76D, ¿a qué número de página virtual y a qué desplazamiento dentro de la página hace referencia?