

Synthese mit Vivado

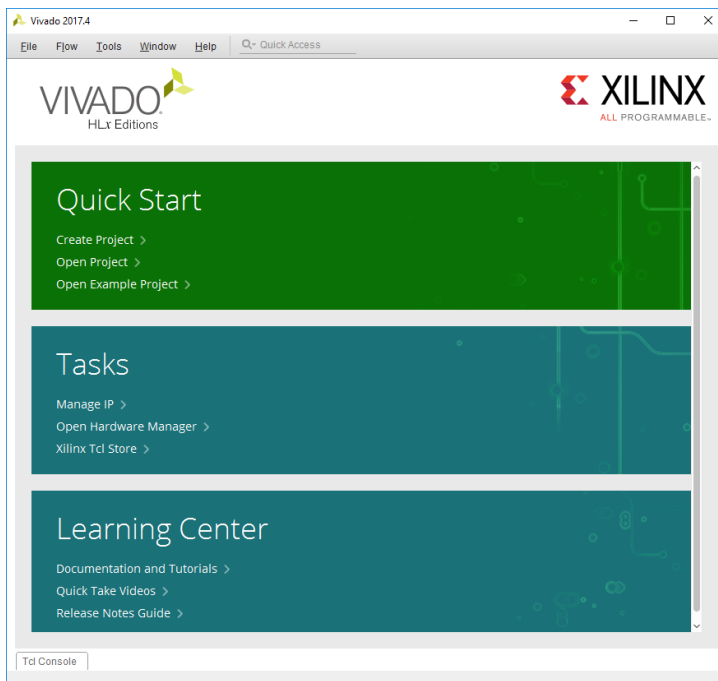


Rainer Höckmann, Hochschule Osnabrück

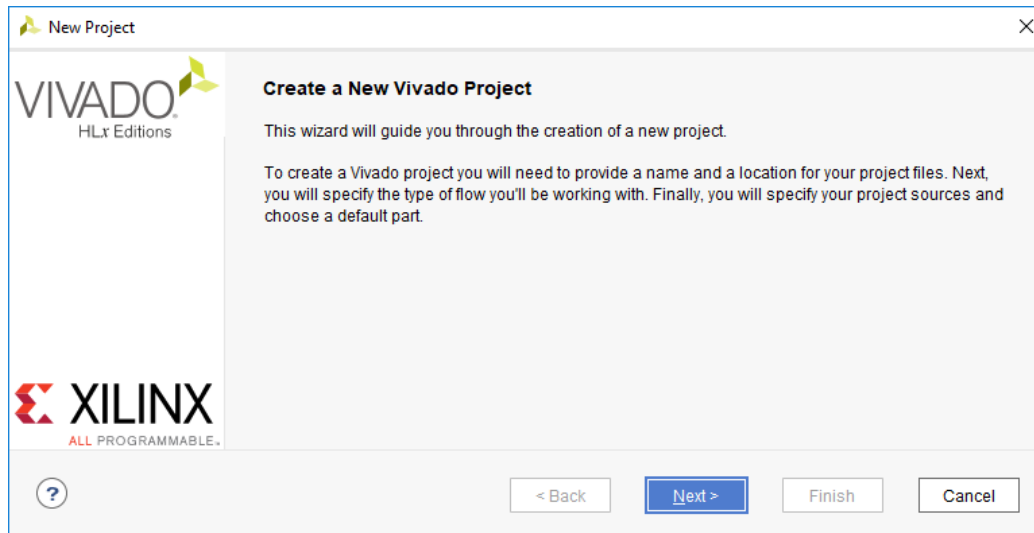
Bei der Arbeit mit verschiedenen Tools auf den gleichen Quelldateien ist es wichtig, den Überblick zu behalten. Ein häufiger Fehler ist es, für die Simulation und die Hardwaresynthese unterschiedliche Versionen der Quelldateien zu verwenden. Dies vermeidet man, in dem man beim Anlegen eines Vivado-Projektes die Dateien nur referenziert und nicht kopiert.

Erzeugung eines neuen Projektes

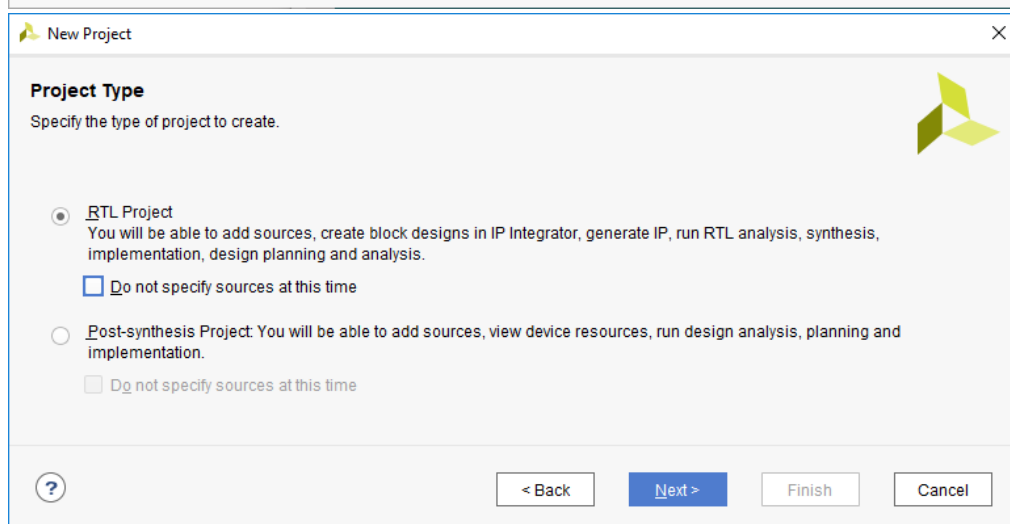
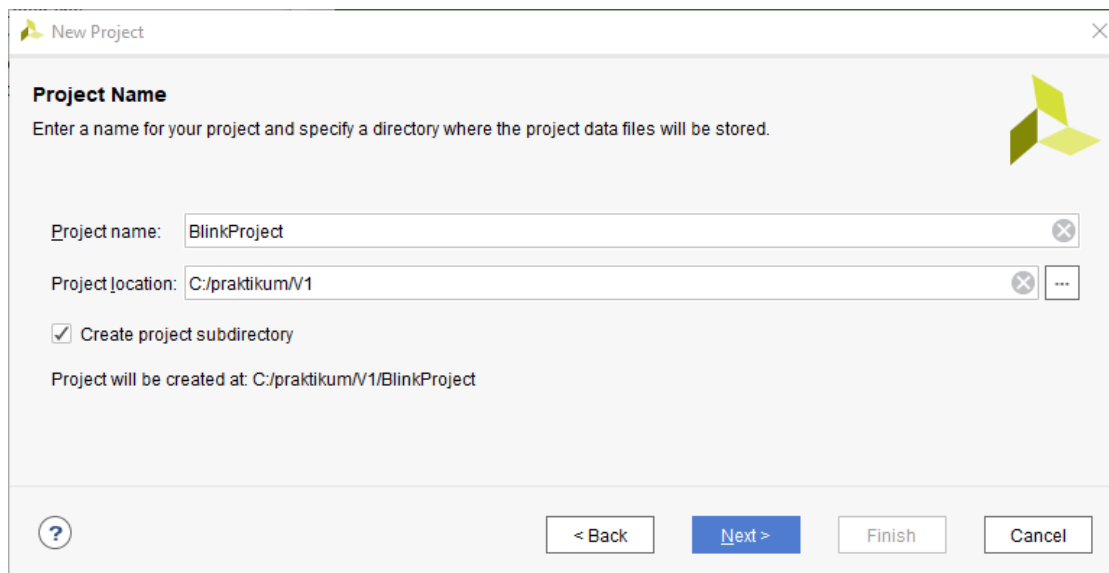
→ Starten Sie Vivado . Es erscheint das Startfenster.



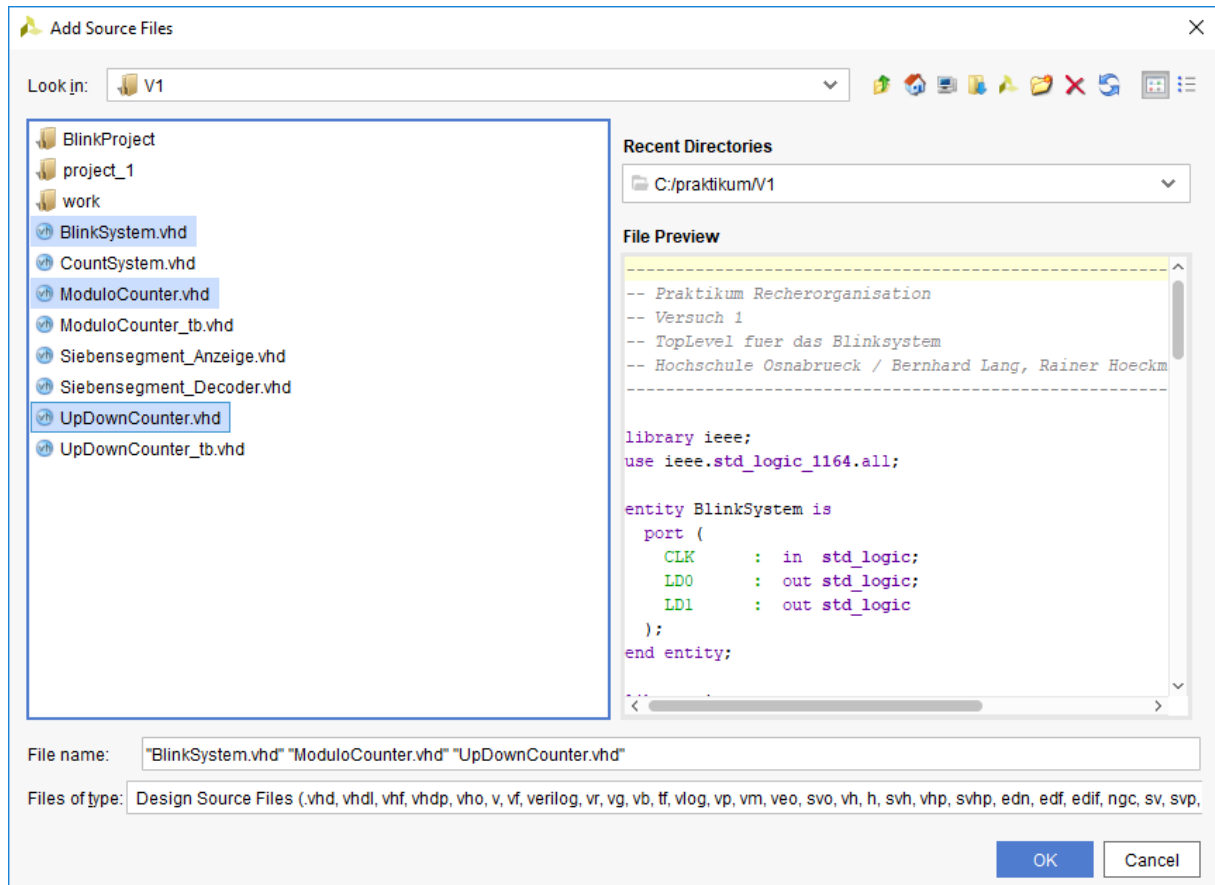
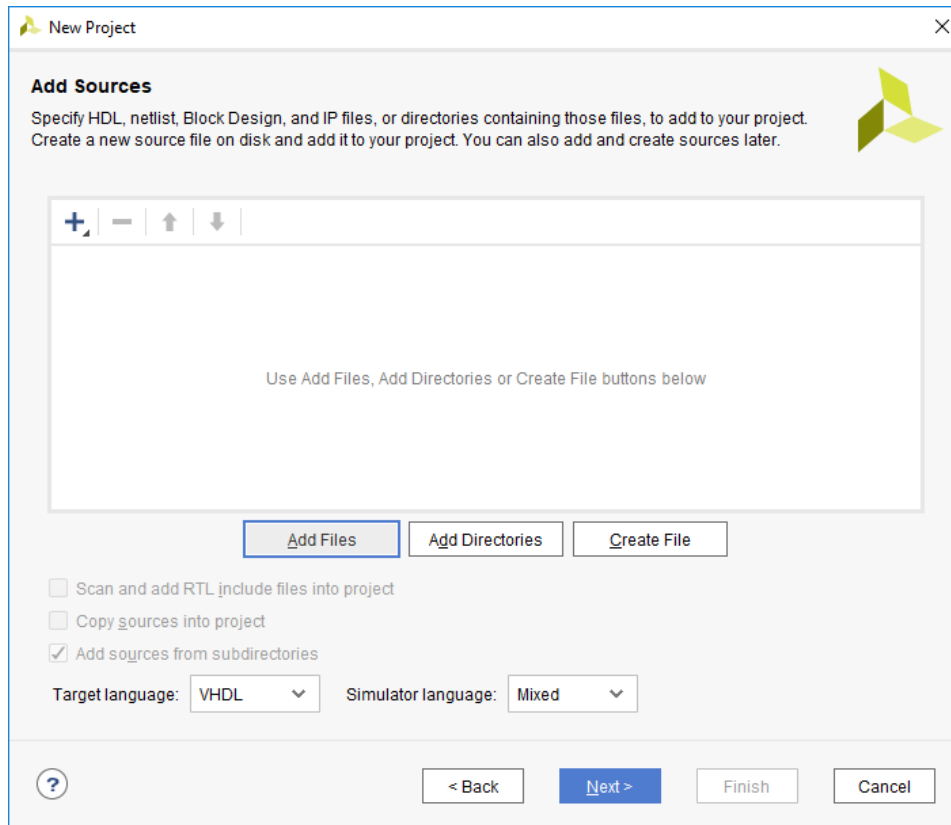
→ Erzeugen Sie ein neues Projekt (Create Project)



→ Tragen Sie den Projektnamen ein und wählen Sie ihr Arbeitsverzeichnis als „Project Location“ aus. Der Haken bei „Create project subdirectory“ sollte gesetzt sein, damit das Vivado-Projekt in einem Unterverzeichnis erstellt wird.



→ Fügen Sie die benötigten Quelldateien dem Projekt hinzu (Add Files)



→ Der Haken bei „Copy sources into project“ sollte **nicht** gesetzt sein, um die Erstellung von Kopien zu vermeiden

New Project

Add Sources

Specify HDL, netlist, Block Design, and IP files, or directories containing those files, to add to your project. Create a new source file on disk and add it to your project. You can also add and create sources later.

Index	Name	Library	HDL Source For	Location
1	BlinkSystem.vhd	xil_defaultlib	Synthesis & Simulation	C:/praktikum/V1
2	ModuloCounter.vhd	xil_defaultlib	Synthesis & Simulation	C:/praktikum/V1
3	UpDownCounter.vhd	xil_defaultlib	Synthesis & Simulation	C:/praktikum/V1

☐ Scan and add RTL include files into project

☐ **Copy sources into project**

☒ Add sources from subdirectories

Target language: VHDL Simulator language: Mixed

[Add Files](#) [Add Directories](#) [Create File](#)

[?>](#) [< Back](#) [Next >](#) [Finish](#) [Cancel](#)

→ Fügen Sie die benötigten Constraints-Dateien dem Projekt hinzu (Add Files)

New Project

Add Constraints (optional)

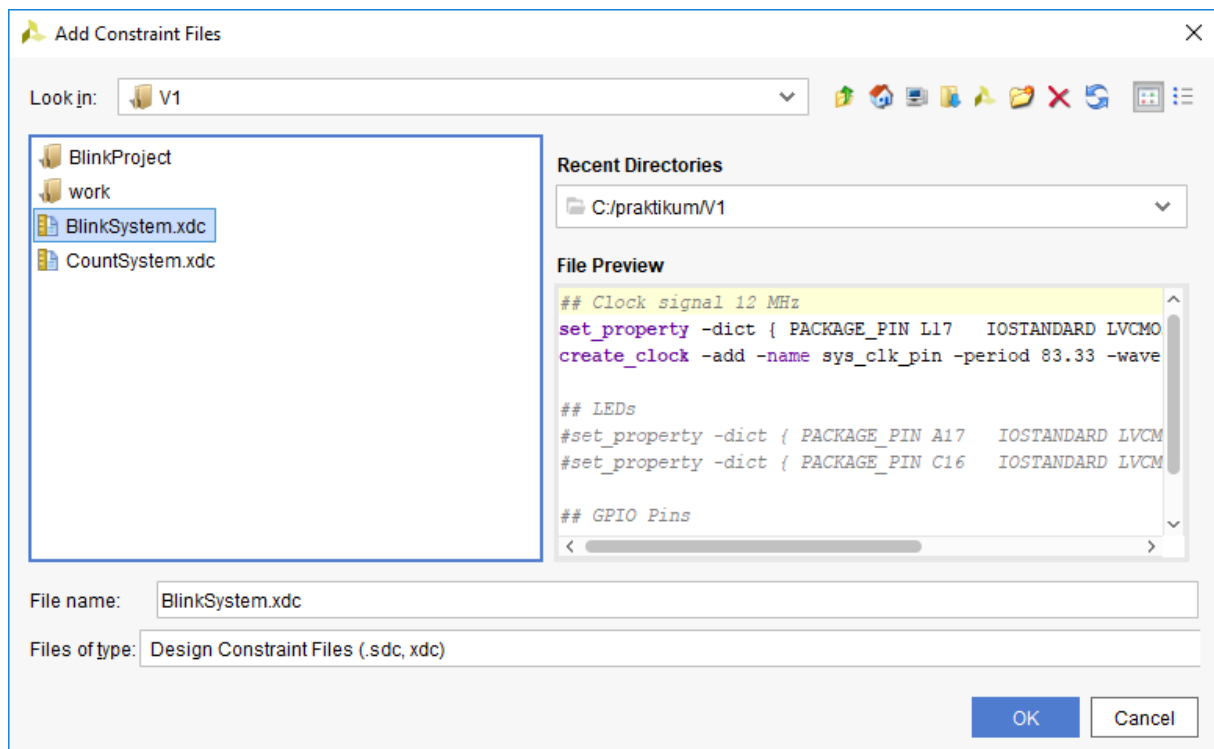
Specify or create constraint files for physical and timing constraints.

Use Add Files or Create File buttons below

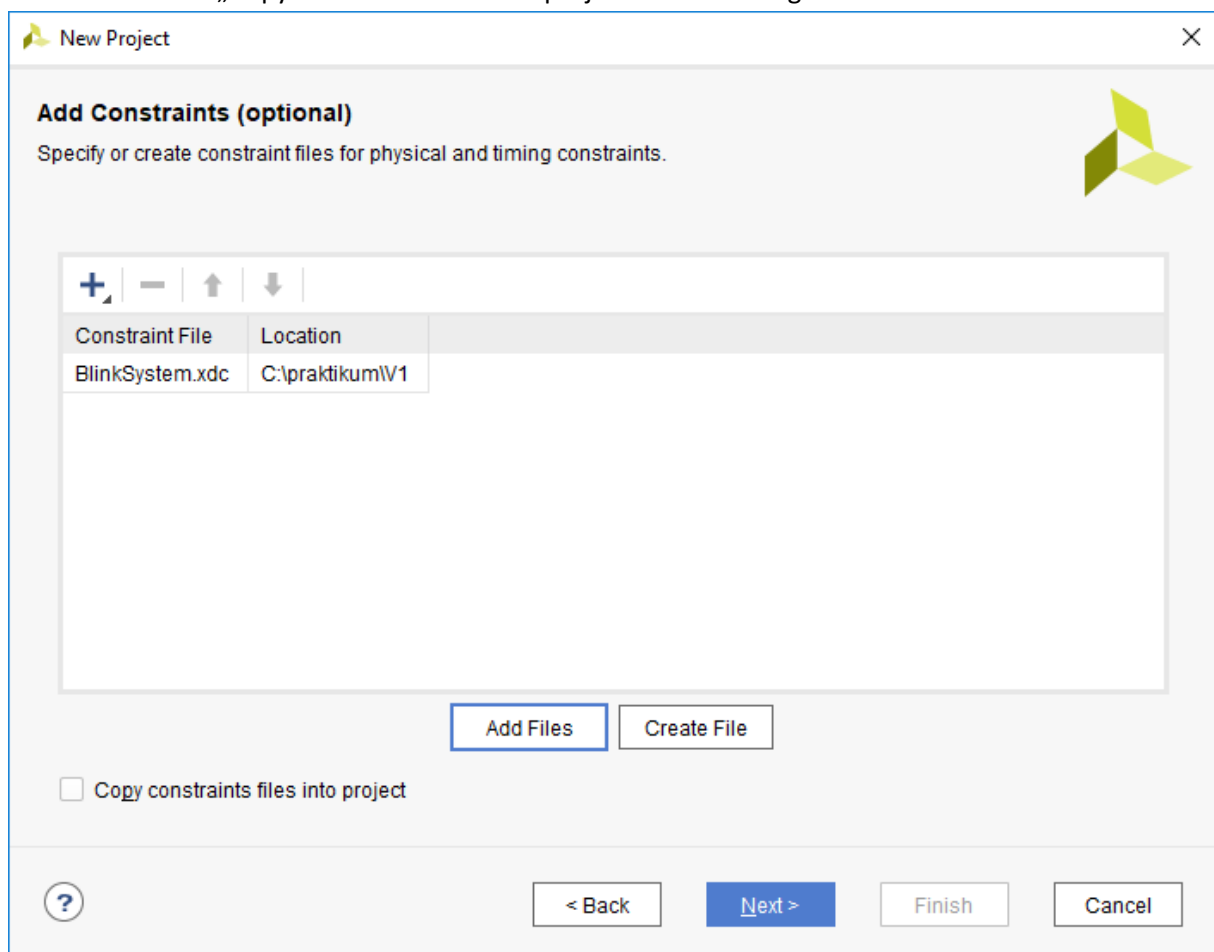
[Add Files](#) [Create File](#)

☐ Copy constraints files into project

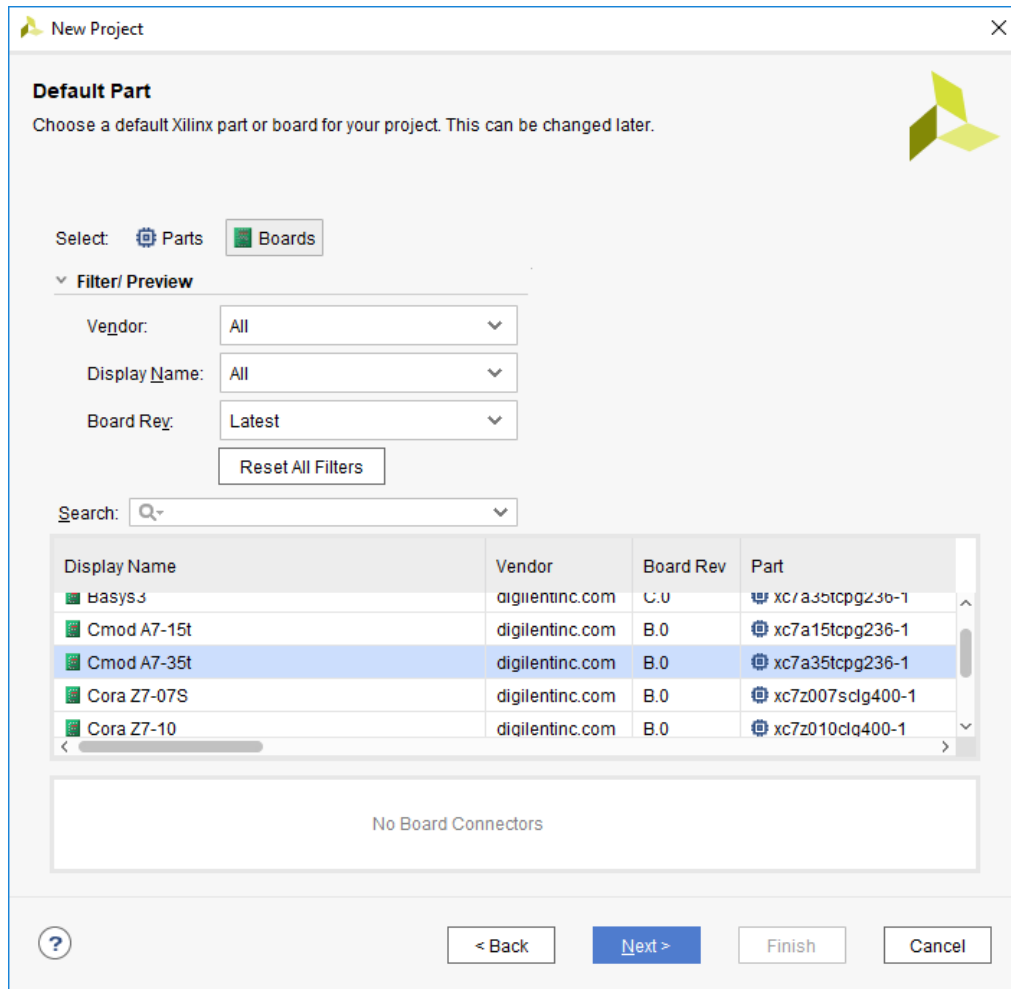
[?>](#) [< Back](#) [Next >](#) [Finish](#) [Cancel](#)



→ Der Haken bei „Copy constraints files into project“ sollte **nicht** gesetzt sein.



→ Wählen Sie das im Praktikum verwendete Board (Cmod A7-35t) aus.



New Project

Default Part
Choose a default Xilinx part or board for your project. This can be changed later.

Select: ☐ Parts ☒ Boards

Filter/Preview

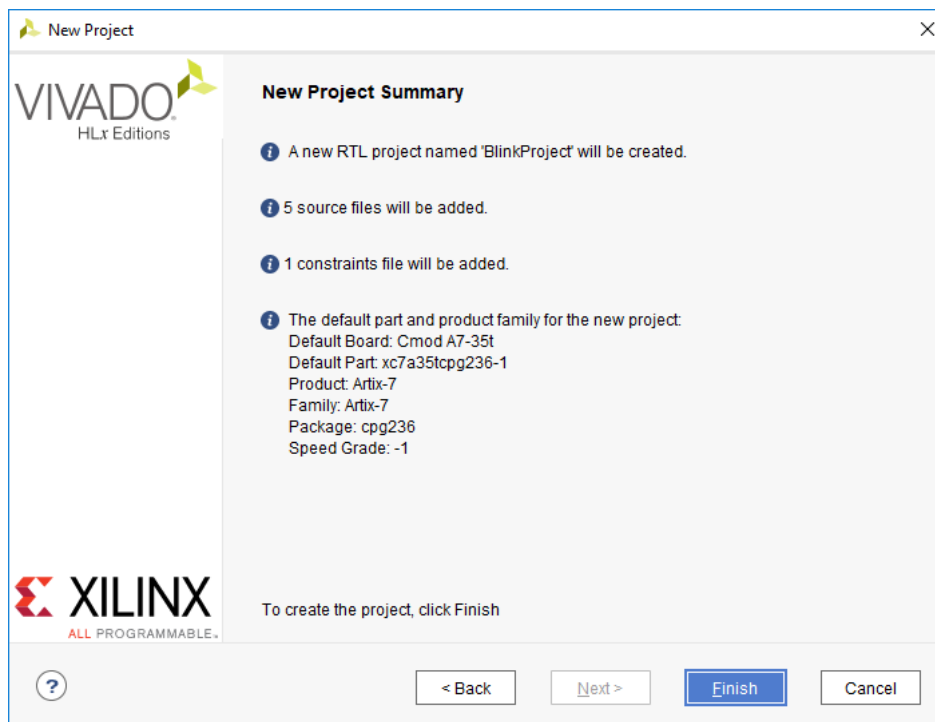
Vendor: All
Display Name: All
Board Rev: Latest
Reset All Filters

Search: Q

Display Name	Vendor	Board Rev	Part
Basys3	digilentinc.com	C.0	xc7a35tcpg236-1
Cmod A7-15t	digilentinc.com	B.0	xc7a15tcpg236-1
Cmod A7-35t	digilentinc.com	B.0	xc7a35tcpg236-1
Cora Z7-07S	digilentinc.com	B.0	xc7z007scdg400-1
Cora Z7-10	digilentinc.com	B.0	xc7z010clq400-1

No Board Connectors

? < Back Next > Finish Cancel



New Project

VIVADO
HLx Editions

New Project Summary

- A new RTL project named 'BlinkProject' will be created.
- 5 source files will be added.
- 1 constraints file will be added.
- The default part and product family for the new project:
Default Board: Cmod A7-35t
Default Part: xc7a35tcpg236-1
Product: Artix-7
Family: Artix-7
Package: cpg236
Speed Grade: -1

XILINX
ALL PROGRAMMABLE

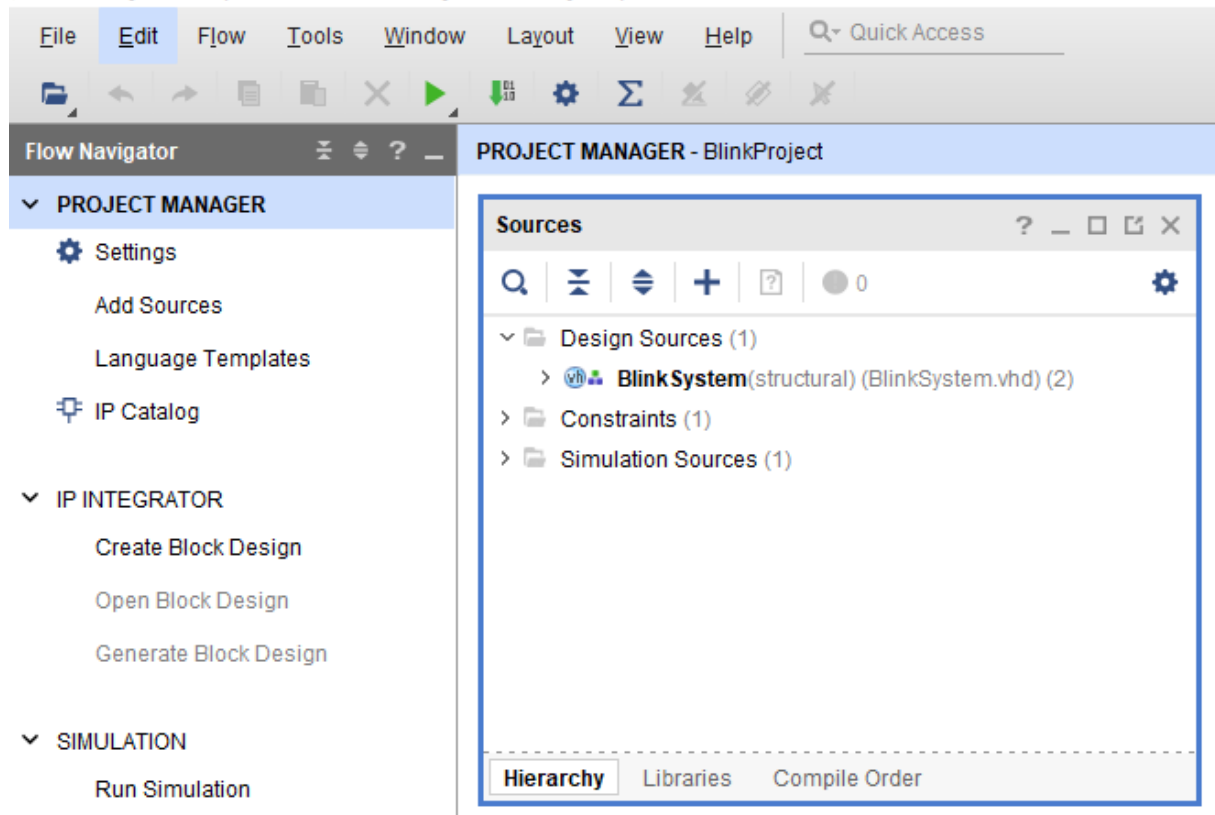
To create the project, click Finish

? < Back Next > Finish Cancel

Erzeugung einer Bitstream-Datei

→ Im „PROJECT MANAGER“ wird die Hierarchie des Systems dargestellt.

BlinkProject - [C:/praktikum/V1/BlinkProject/BlinkProject.xpr] - Vivado 2017.4



→ Lassen Sie Vivado eine Bitstream-Datei erzeugen (Generate Bitstream).

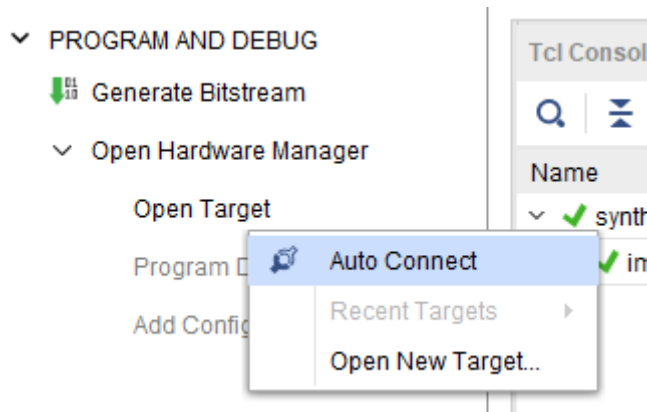
- ▼ PROGRAM AND DEBUG
 - Generate Bitstream
 - > Open Hardware Manager

→ Dieser Vorgang dauert ca. 2 Minuten. Sie können den Fortschritt in der rechten oberen Ecke des Fensters mitverfolgen.

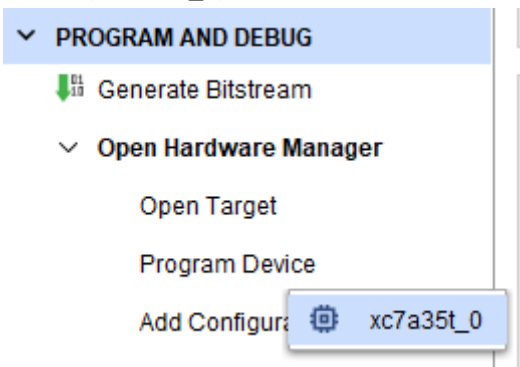
write_bitstream Complete ✓

Programmierung des FPGAs

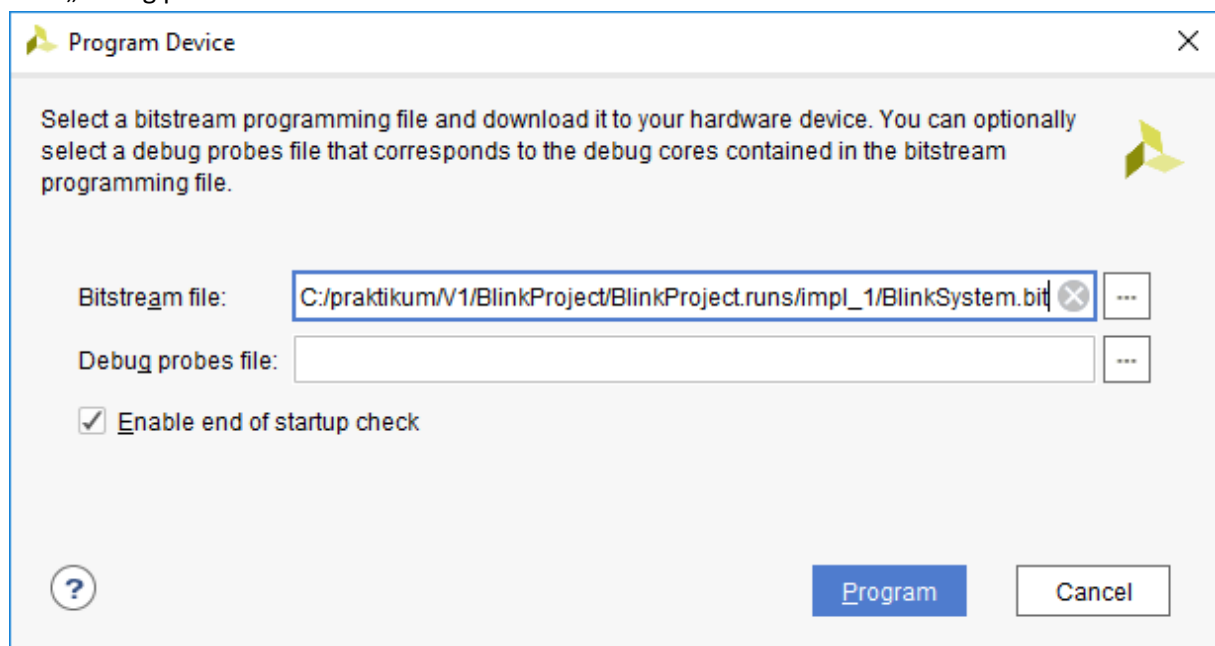
→ Um mit der Bitstream-Datei das FPGA auf dem Board zu programmieren, rufen Sie zunächst „Open Target“ und dann „Auto Connect“ auf.

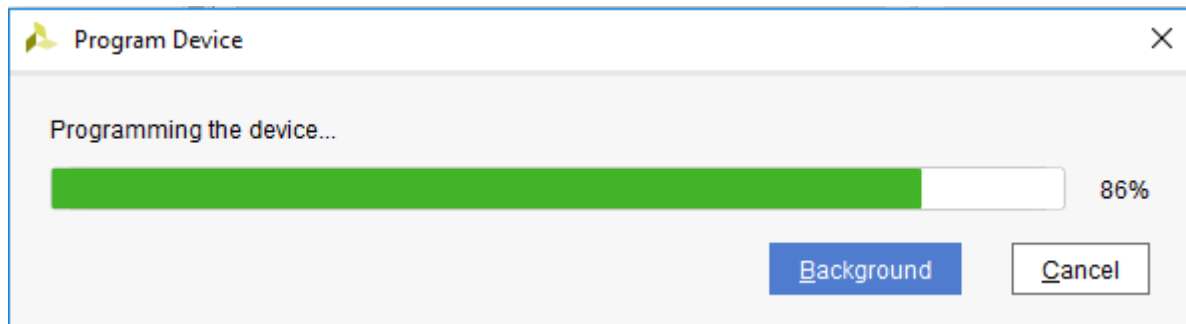


→ Zum Programmieren verwenden Sie nun „Program Device“ und wählen dann den Namen des FPGAs (xc7a35t_0) aus.



→ Als „Bitstream file“ ist bereits das soeben erstellte Bit-File mit dem Bitstream eingetragen. Das Feld „Debug probes file“ bleibt frei.





→ Die nun in der TCL Console angezeigte Warnung können Sie ignorieren

