

ESCOLA POLITÉCNICA DA UNIVERSIDADE DE SÃO PAULO

Graduação em Engenharia de Computação

PCS3635 - Laboratório Digital 1

Experiência 1 - Primeiro Circuito Digital

Bancada A3

Professor Reginaldo Arakaki



José Lucas de Melo Costa

NUSP: 07335100

Lucas de Menezes Cavalcante

NUSP: 10770180

São Paulo - SP

2019

Índice

1 Resumo	3
2 Objetivo	4
3 Planejamento	5
4 Perguntas	7
5 Parte Experimental	11
Atividade 2	11
Atividade 3	14
Atividade 4 – Desafio	17
6 Conclusão e Comentários Finais	18
7 Referências Bibliográficas	18

1 Resumo

O presente relatório apresenta as discussões e os resultados obtidos da experiência: Primeiro circuito digital. De modo geral, tal atividade proporcionou um primeiro contato com a dinâmica do laboratório, através da manipulação de um contador de 4 bits. Nesse contexto, a experiência envolveu a análise e a montagem do circuito, aferindo medições e realizando testes para confirmar o funcionamento lógico da implementação. A partir dos dados observados foi possível desenvolver discussões teóricas.

2 Objetivo

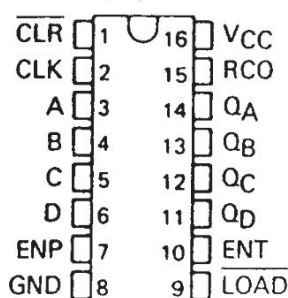
A atividade desenvolvida teve como objetivo a apresentação do funcionamento e da dinâmica do laboratório digital, assim como a introdução aos elementos de bancada e à manipulação de um circuito digital. Dessa forma, a experiência visa à familiarização com elementos de bancada como a fonte de tensão e o multímetro, além de componentes TTL: sua numeração de pinos, leitura e interpretação do datasheet e a implementação no painel de montagem.

3 Planejamento

A experiência tratou da manipulação de um contador módulo 16 da série 74163, de 4 bits. A consulta ao manual dos componentes foi a primeira atividade desenvolvida, como forma de preparação, e informações importantes foram obtidas. No datasheet somos apresentados à uma figura que representa o contador, indicando os nomes de cada pino, assim como sua numeração, sendo a primeira informação relevante.

Imagem 1: Esquema do circuito integrado

SERIES 54', 54LS', 54S' . . . J OR W PACKAGE
SERIES 74' . . . N PACKAGE
SERIES 74LS', 74S' . . . D OR N PACKAGE
(TOP VIEW)



NC—No internal connection

Após a leitura do datasheet, demais fatos puderam ser obtidos:

1. Diferenças entre as séries '160/'162 e '163/'161: os primeiros são contadores decimais e os segundos são hexadecimais (módulo 16);
2. As entradas do 74163 são: 4 bits para os dados do load, LOAD (ativo em baixo), CLR (ativo em baixo), CLK, ENP, ENT, GND e Vcc (5 Volts)
3. As saídas do 74163 são: 4 bits de dados e RCO
4. A função clear do '163 é síncrona
5. RCO é um sinal de ripple-carry-out é ativo quando o contador está em seu último estado

A análise da imagem dos sinais, contida no manual, também contribuiu para a compreensão do funcionamento do circuito integrado.

Tabela 1: identificação dos sinais do contador

Nome do sinal	Entrada ou saída	Descrição
CLK	Entrada	Sinal de clock do contador
CLR	Entrada	Sinal ativo em baixo para zerar a saída Q
A	Entrada	Dígito menos significativo que será usado para determinar a saída QA na operação de loading.
B	Entrada	Segundo dígito menos significativo que será usado para determinar a saída QB na operação de loading.
C	Entrada	Segundo dígito mais significativo que será usado para determinar a saída QC na operação de loading.
D	Entrada	Dígito mais significativo que será usado para determinar a saída QD na operação de loading.
ENP	Entrada	Sinal ativo alto de enable. Um dos sinais necessários para habilitar o contador.
GND	Entrada	Terra do circuito eletrônico
Vcc	Entrada	Alimentação do circuito eletrônico, nominalmente de 5 V.
RCO	Saída	Sinal ativo alto que detecta o estado terminal do contador.
QA	Saída	Dígito menos significativo da saída do contador
QB	Saída	Segundo dígito menos significativo da saída do contador
QC	Saída	Segundo dígito mais significativo da saída do contador

QD	Saída	Dígito menos significativo da saída do contador
ENT	Entrada	Sinal ativo alto de enable. Um dos sinais necessários para habilitar o contador, determinando também o RCO.
LOAD	Entrada	Sinal ativo em baixo que habilita a operação de load.

4 Perguntas

1. Qual é o intervalo de valores possíveis da saída Q (QdQcQbQa)?

Sabemos da teoria de sistemas digitais que uma representação binária sem sinal utilizando n bits abrange um intervalo que se estende de 0 até $2^n - 1$. Dessa forma, por possuir 4 bits, os valores possíveis vão de 0000_2 até 1111_2 que equivale à 15_{10} . Portanto, o contador é capaz de contar 16 números antes que retorne seu ciclo.

2. Explique se o sinal de CLEAR é síncrono ou assíncrono?

O sinal CLEAR do contador 74163, assim como da série '162, é síncrono pois para que a saída do contador seja zerada, o sinal ativo em baixo de CLEAR deve estar sincronizado com uma subida da borda do relógio.

3. Como um valor pode ser carregado no 74163? Mostre a sequência de sinais que devem ser ativados.

Como a operação CLEAR tem prioridade sobre o LOAD, devemos ter CLR desabilitado (em 1), enquanto a entrada LOAD deve estar habilitada em 0. Para que a operação seja bem sucedida devemos ter também estabilidade nos valores das entradas D, C, B, A, que serão passados para a saída na próxima borda de clock.

4. Este componente é sensível a qual borda do sinal de clock (subida ou descida)?

O componente é sensível à borda de subida.

5. Os sinais ENT e RCO devem ser usados para cascadeamento de contadores. Explique como deve estes sinais devem ser interligados no cascadeamento de 2 contadores.

A saída RCO do contador menos significativo deve ser ligada na entrada ENT do contador mais significativo. Os sinais de clock devem estar conectados, assim como o enable P e o sinal CLEAR.

6. Mostre em um diagrama esquemático como dois contadores devem ser cascadeados para formar um contador de 8 bits. Este circuito será montado na atividade 3 da experiência.

Imagem 2: Diagrama esquemático à mão

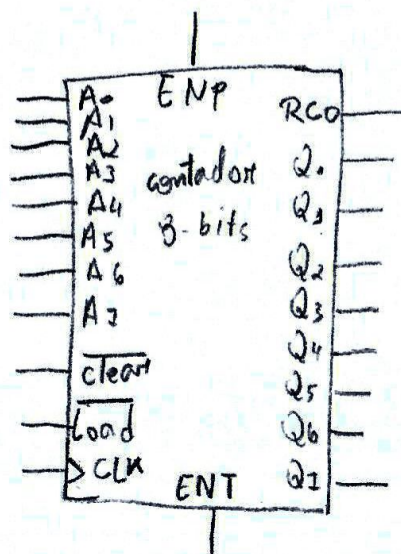
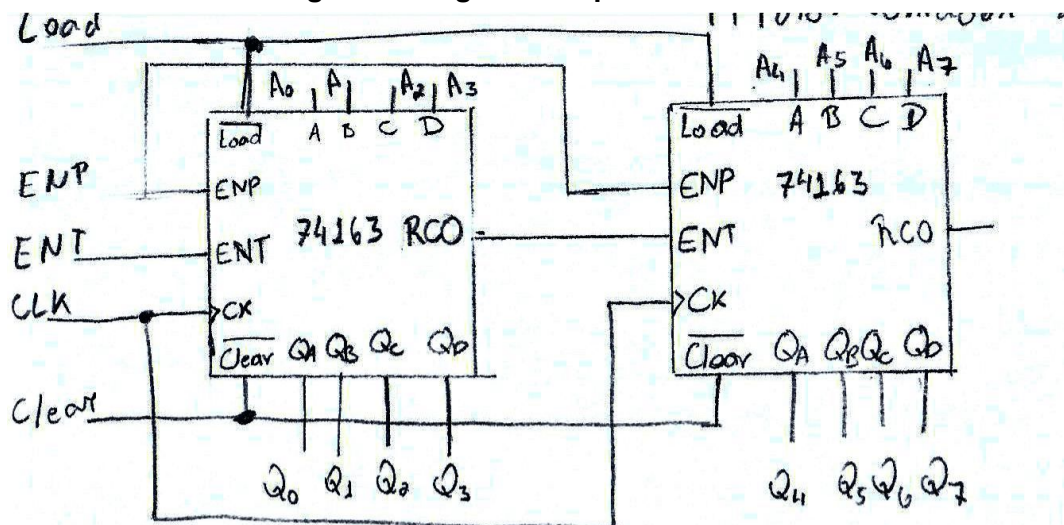
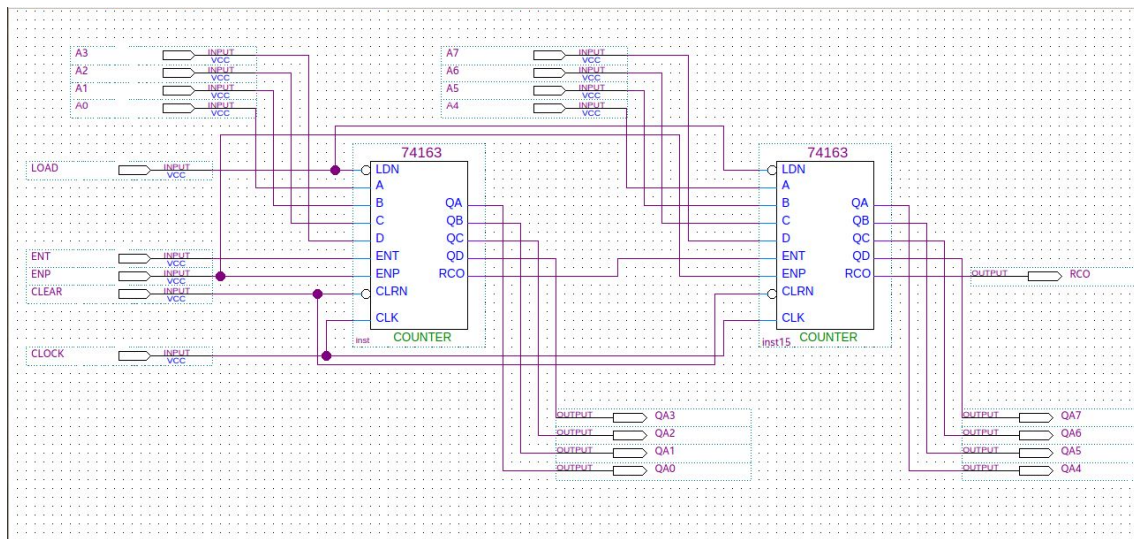


Imagem 3: Diagrama esquemático no quartus



5 Parte Experimental

Nesta seção, segue-se a apresentação das observações realizadas em aula. Os procedimentos envolveram montar um o contador de 4 bits e em seguida montar 2 contadores cascadeados.

Atividade 2

Contador de 4 bits - Primeira montagem

Na montagem do circuito dividimos as tarefas intercalando a montagem com teste com o multímetro. Quando ligamos o circuito, o display 0 mostrava F. As chaves estavam todas ativadas, ou seja, CLEAR e LOAD desativados, enquanto os enables estavam ativados. Os LEDs estavam apagados. A seguir apresentamos os testes de montagem.

Tabela 2: Testes da primeira montagem

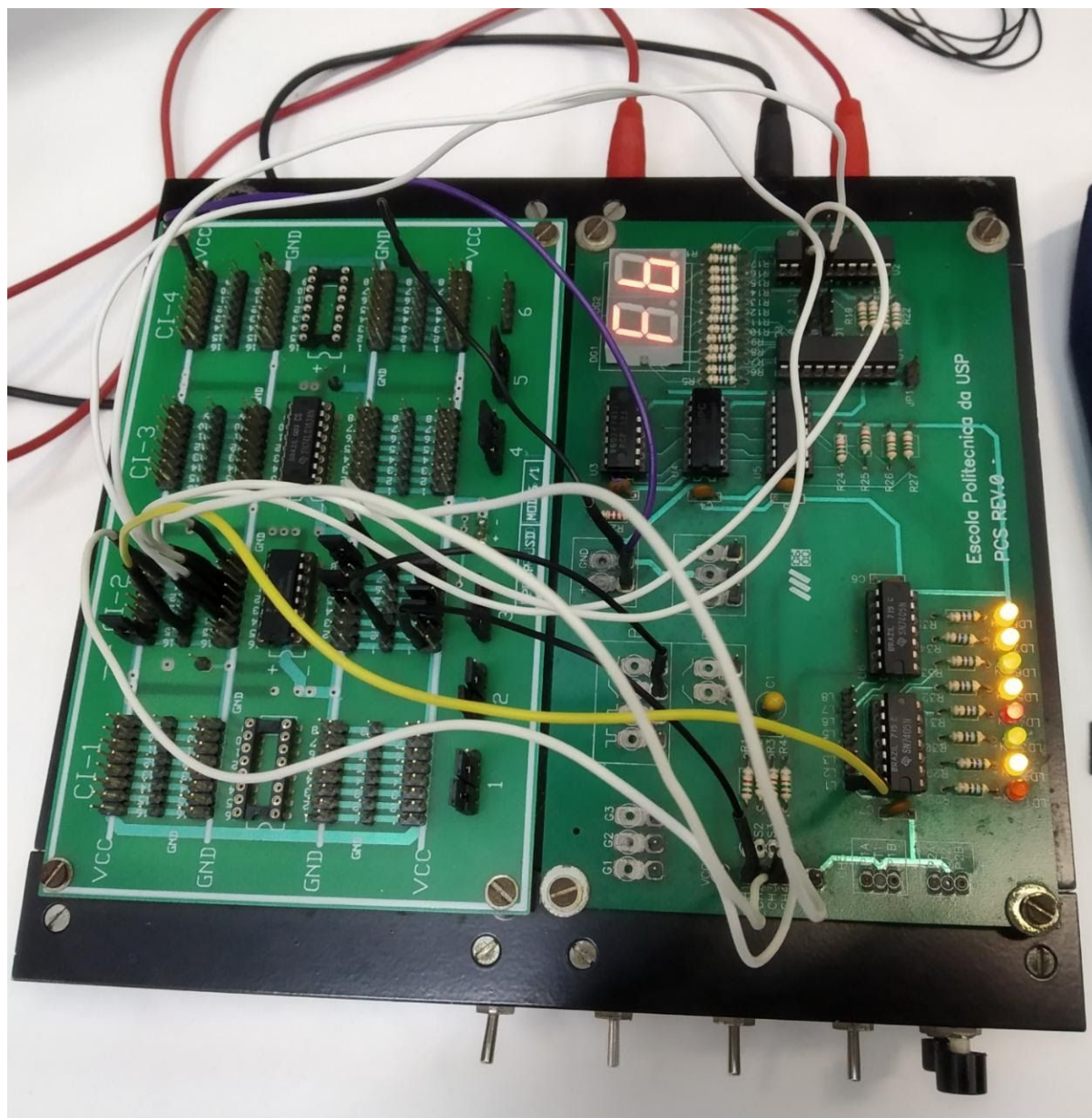
Função	Sequência de sinais	Resultado final
zerar saída Q	acionar CLR = 0 (Abaixar a chave CH1) uma vez	O display mostra 0.
contagem de 0 a 5	desativar CLR = 1 (levantar a chave CH1) e LOAD = 1 (manter a chave levantada) ativar ENT e ENP (manter as chaves levantadas) pressionar B1 5 vezes	Inicialmente, conectamos o display ao contrário, portanto o display inicialmente foi de 0 a 8. Invertendo a ordem dos fios, conseguimos fazer o display contar de 0 a 5.
carregar valor 11	desativar CLR = 1 ativar D = 1, B = 1 e A = 1 desativar C = 0 (fizemos as ligações utilizando jumpers conectados ao GND ou Vcc) ativar LOAD = 0 (Abaixar a chave) pressionar B1 1 vez	Para fazer o LOAD primeiramente notamos que seria melhor trocar os fios pelos conectores que fecha curtos. O valor foi carregado corretamente.
contar mais 4 vezes	desativar CLR = 1 e LOAD	As saída alteraram e o

	1 (manter a chave levantada) ativar ENT = 1 e ENP = 1 pressionar B1 4 vezes	display passou a mostrar F, indicando o número 15.
desativar ENP e acionar CLOCK	desativar ENP = 0 (abaixar a chave) pressionar B1 1 vez	O valor se manteve, permanecendo em F.
ativar ENP, desativar ENT e acionar CLOCK	desativar ENT (0) pressionar B1 1 vez	O valor se manteve, permanecendo em F.
carregar 9 e contar até RCO=1	desativar CLR (1) ativar ENT (1) ativar D (1), B (0) e A (1) desativar C (0) ativar LOAD (0) pressionar B1 1 vez	O display mostrou 9, e após pressionar B1 6 vezes, o display mostrou F e o led LD1 acendeu, indicando que o RCO está ativado.

Análise dos resultados

Os dados obtidos com a experiência, como o LED controlado pelo RCO e os valores de tensões nas medições com o multímetro indicam que o circuito funciona de fato como um contador de 4 bits. A cada vez que o botão B1 é pressionado, o número indicado pelo contador aumenta em 1, até que atinja o valor F, acendendo o Led e voltando para o 0. Tal contador é programável na medida em que pode ser controlado por chaves. Possui uma chave que, ao apertar o botão, reinicia o contador com o valor 0 (CLEAR); outra que carrega um valor pré-definido no contador (LOAD); outros dois que devem estar ativos para o funcionamento do circuito (Enables).

Imagem 4: Circuito da Atividade 2 montado



Atividade 3

Contador de 8 bits - Segunda montagem

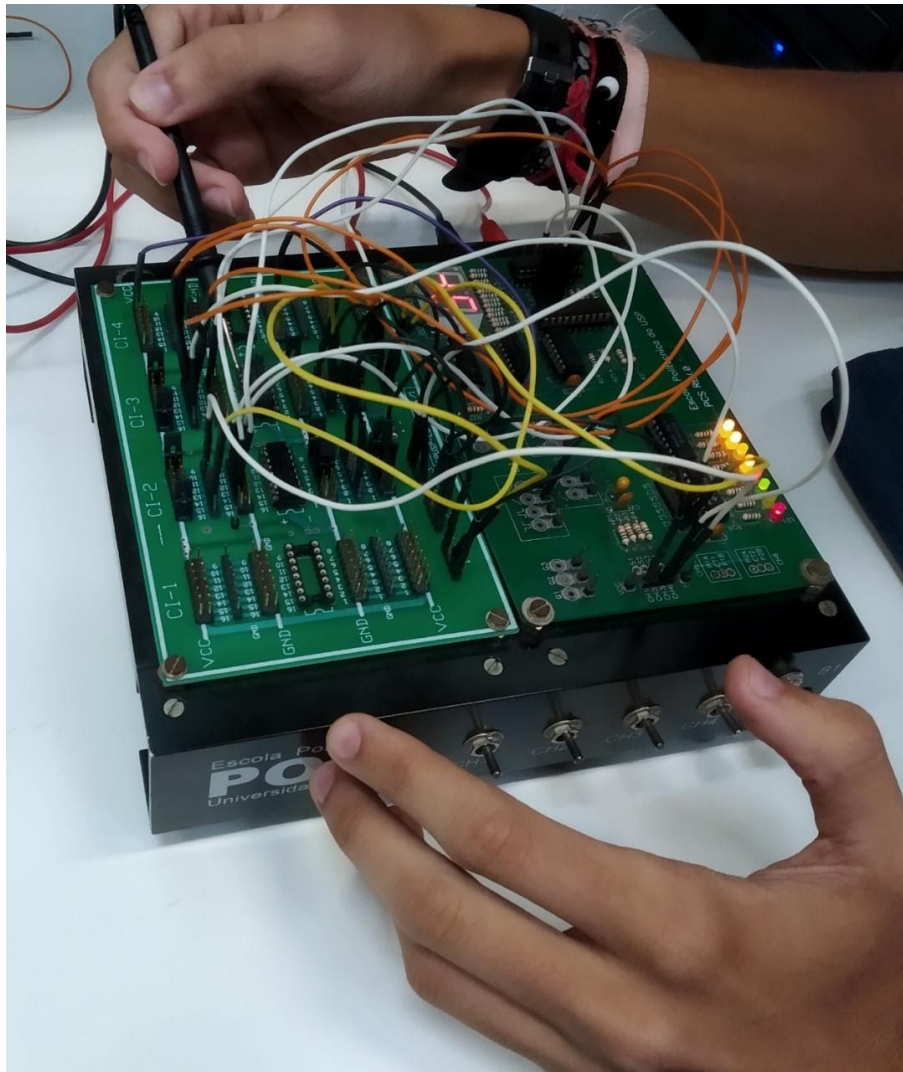
Para completar a tarefa de construir um contador de 8 bits, seguimos o diagrama desenvolvido na seção de perguntas. Para tanto, utilizamos as ilhas disponíveis no painel para conectar sinais à mesma chave ou botão . Quando ligamos o circuito, o display mostrava 3F. As chaves estavam todas ativadas, ou seja, CLEAR e LOAD desativados, enquanto os enables estavam ativados. Os LEDs estavam apagados. A seguir apresentamos os testes de montagem.

Tabela 3: Testes da segunda montagem

Função	Sequência de sinais	Resultado final
zerar saída Q	acionar CLR = 0 (Abaixar a chave CH1) uma vez Apertar o botão B1	Display mostrou 00, indicando que o sinais estão zerados
contagem de 0 a 11	desativar CLR = 1 (levantar a chave CH1) e LOAD = 1 (manter a chave levantada) ativar ENT (1) e ENP (1) pressionar B1 11 vezes	Apenas o display zero mudou, parando em 0B. Isso indica que os valores foram de 0 até 11
contar mais 4 vezes	desativar CLR (1) e LOAD (1) ativar ENT (1) e ENP (1) pressionar B1 4 vezes	O LED1, indica o RCO1, acendeu. Apenas o display 1 mudou, parando em 0F.
observar valores de RCO (CI1) e RCO (CI2)	medir tensões de RCO1 e RCO2 com o multímetro	O RCO1 está com uma tensão de 3.6 V e o RCO2 está com uma tensão de 0.1 V. Assim, o RCO1 está ligado
desativar ENP e acionar CLOCK 5 vezes	desativar ENP (0) pressionar B1 5 vezes	Nada mudou.
ativar ENP e acionar CLOCK 5 vezes	ativar ENP (1) pressionar B1 5 vezes	Ambos os displays mudaram, parando em 14. LEDs apagaram.

acionar CLR e acionar CLOCK 5 vezes	ativar CLR (0) pressionar B1 5 vezes	Display voltou a exibir 00.
contar até RCO (CI2) =1	desativar CLR (1) pressionar B1 255 vezes	DISPLAY em FF e ambos os LEDs acenderam.

Imagem 5: Circuito da Atividade 3 sendo testado



Análise dos resultados

A montagem desta parte da experiência se mostrou mais complexa que a anterior, devido à grande quantidade de fios. Percebemos, portanto, a escalabilidade da dificuldade de uma montagem. Após realizar os testes com um multímetro, alguns erros foram encontrados e corrigidos. O circuito integrado funciona como um contador módulo 256 de 8 bits, ou seja, é capaz de contar de 00000000_2 até 11111111_2 ou 256_{10} . A interface do circuito

consiste no sinal gerado pelo botão B1, representando o clock. O contador também pode ser controlado por chaves CH1, que representa a função de limpar (CLR), CH2 que ativa a função de carregamento (LOAD), ambos os sinais ativos em baixo; CH3 (ENP) e CH4 (ENT) que representam os enables. Os sinais apresentados acima estão em ordem de prioridade.

Problemas encontrados:

- Ligação invertida no display: A primeira vez que apertamos B1, o contador foi de 0 para 8. Isso indica que na primeira montagem invertemos os bits mais significativos para menos significativos.
- Muitos fios: Uma das soluções foi trocar as ligações do Load de fios para jumpers, para reduzir a quantidade de fios e simplificar o circuito.
- Ilha: Usamos a ilha, o que é menos eficiente do que simplesmente utilizar os 3 pinos disponíveis para cada conexão.
- Troca de ligações: Ligamos o fio que iria no pino 10 no pino 11. Descobrimos a conexão errada usando o multímetro.

Atividade 4 – Desafio

Realizamos o desafio no Quartus, criando um novo projeto seguindo as instruções e utilizando o arquivo .bdf. Após compilá-lo, criamos a simulação de onda no modo University Program VWF seguindo o modelo proposto, e obtivemos os resultados esperados.

Imagem 6: Simulação do circuito com base no modelo fornecido

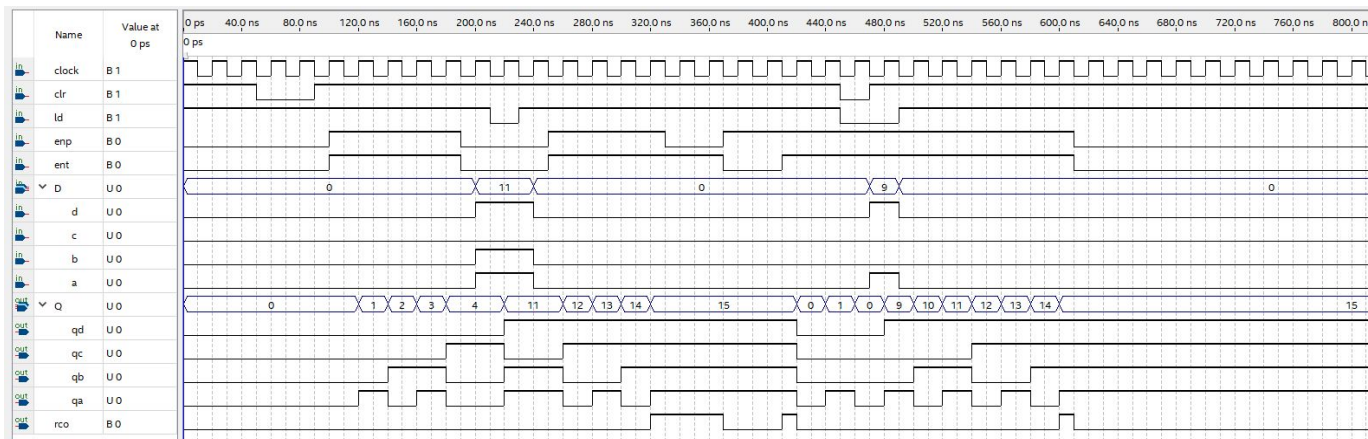
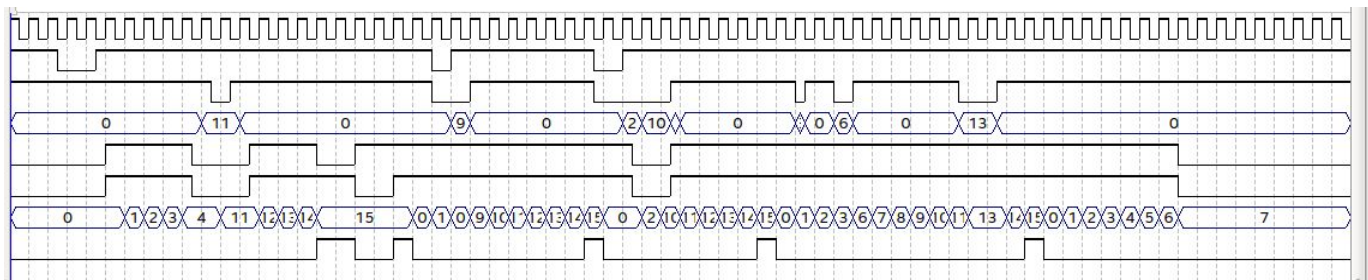


Imagem 7: Simulação do circuito com diferentes entradas



Análise dos resultados

A partir da comparação dos dados do software Quartus com a tabela 2, percebemos que o teste implementado não realiza a contagem de zero a 5, parando no 4. Tirando este detalhe, os resultados estão iguais. Dessa forma, os dados corroboram com a funcionalidade descrita para o contador de 4 bits.

6 Conclusão e Comentários Finais

A experiência foi uma ótima introdução às diferenças que existem entre trabalhar com descrições de hardware em VHDL e de fato conectar os fios e ver o circuito realizar seu trabalho. No caminho, enfrentamos alguns empecilhos. Entre eles, invertemos os fios do display, de modo que a contagem inicial foi de 0 a 8; e ligamos o fio destinado ao pino 10 no pino 11, o que percebemos ao usar o multímetro e identificar tensões diferentes do esperado.

Também tivemos algumas observações sobre otimização e organização de fios: por exemplo, utilizamos a ilha, o que é menos eficiente do que simplesmente utilizar os 3 pinos disponíveis para cada conexão; e trocamos as ligações do Load de fios para jumpers, para reduzir a quantidade de fios e simplificar o circuito.

O desafio também nos proporcionou maior entendimento dos circuitos, e nos ensinou a realizar os testes de onda do Quartus, que serão muito úteis para futuros testes e simulações.

7 Referências Bibliográficas

- ALMEIDA, F.V. de; SATO, L.M.; MIDORIKAWA, E.T. Tutorial para criação de circuitos digitais utilizando diagrama esquemático no Quartus Prime 16.1. Apostila de Laboratório Digital. Departamento de Engenharia de Computação e Sistemas Digitais, Escola Politécnica da USP. Edição de 2017.

- TEXAS INSTRUMENTS. Digital Logic Pocket Data Book. 2006.

- TOCCI, R. J.; WIDMER, N.S.; MOSS, G.L. Sistemas Digitais: Princípios e Aplicações. Prentice-Hall, 11ª ed., 2011.

- John F. Digital Design Principles & Practices. 4 th edition, Prentice Hall, 2006