

**INSTITUTO TECNOLÓGICO DE COSTA RICA**  
**ÁREA ACADÉMICA DE INGENIERÍA MECATRÓNICA**

**MT 4001 - Electrónica Digital**

**Tarea de diseño 2:**

**Contador de milisegundos**

Jose Fabio Navarro Naranjo – 2019049626

Adrián Dittel Retana – 2019007945

Gabriel González Rodríguez - 2019057548

**Profesora:** Ana María Murillo Morgan

Semestre II – 2021

## ***Descripción de la Solución***

### **1. Diagrama de segundo nivel:**

Dicho diagrama se muestra en la lámina 1 del documento adjunto al final de este escrito. En el diagrama se muestran todos los módulos utilizados, desde módulos estandarizados como los comparadores y contadores, hasta módulos más específicos, como el módulo de reset, de control, y el verificador de 99.

El funcionamiento de este circuito sigue el siguiente orden. Primero se debe activar y desactivar el reset del sistema, con lo que todos los elementos de lógica secuencial toman sus valores iniciales y el sistema está listo para funcionar. Luego de esto, el módulo de control recibe la señal de START, con lo que este módulo emite una señal que activa al divisor de frecuencia y a los contadores de 4 bits encargados de registrar las unidades y decenas.

Seguidamente, las salidas de contadores forman juntas la salida final del sistema. Sin embargo, estos valores también ingresan a un comparador, el cual se encarga de comparar los valores de los contadores con el número 10 decimal, ya que como el reset funciona de manera asíncrona, apenas se detecte un valor de 10, el comparador se activa y envía una señal al módulo de reset, el cual provoca que el conteo vuelva a 0 en cada contador.

Asimismo, el verificador de 99 se activa cuando ambos comparadores emiten una señal, lo cual solo ocurre cuando ambas señales están en transición de un 9 a un 0, de manera que el verificador de 99 envía una señal al módulo de reset, el cual a su vez, envía una señal al módulo de control de modo que todos los elementos secuenciales del circuito quedan en sus estados iniciales, a la espera de que se active de nuevo la señal de START.

### **2. Diagramas de segundo nivel**

#### **a. Divisor de Frecuencia**

Para este caso, el módulo divisor de frecuencia anida 2 divisores de frecuencia normales, los cuales se pueden observar en el diagrama que se muestra en la lámina 2 del documento que se adjunta al final. Cada uno de estos divisores tiene un contador de una cantidad determinada de bits, que conecta su salida con un comparador, el cual emite una señal cuando el contador llegar al valor deseado, y esta señal, además de resetear el contador, también ingresa a un FF T, la cual al ser un 1, provoca que el estado del FF T se invierta, y de esta manera se genere la nueva señal de reloj.

Para el caso del divisor de frecuencia destinado a establecer la señal de reloj de las unidades, se utiliza un contador de 16 bits, ya que se debe alcanzar una frecuencia de 1000Hz, a partir de la frecuencia original de 100MHz, lo cual significa contar hasta un valor de 100000. Sin embargo, en este caso, cada vez que el contador llega a su límite provoca que haya un cambio de estado en la señal de reloj, por lo que como en cada ciclo de reloj hay 2

cambios de estado (flanco positivo y negativo), el contador debe alcanzar la mitad del valor propuesto anteriormente, con lo que sería de 50000, pero debido a que el contador empieza desde el valor 0, entonces el valor del comparador pasa a ser de 49999, que se puede contar con 16 bits.

De manera similar, para el divisor de frecuencia de las decenas, la frecuencia que se debe alcanzar es de 100Hz, por lo que partiendo de una frecuencia inicial de 100MHz, se deben contar 1000000 ciclos de reloj. Debido a los cambios o flancos (2 por ciclo), este valor se reduce a la mitad, con lo que se obtiene un valor de 500000, que al iniciar la cuenta desde 0 pasa a ser de 499999.

Por último, es importante mencionar que para este caso, se toman las salidas negadas de los FF T, ya que como la lógica secuencial de este sistema se activa con flanco positivo, los relojes que se obtienen como salida de este módulo deben iniciar en alto, ya que este valor corresponde al inicio del ciclo.

#### **b. Verificador de 99**

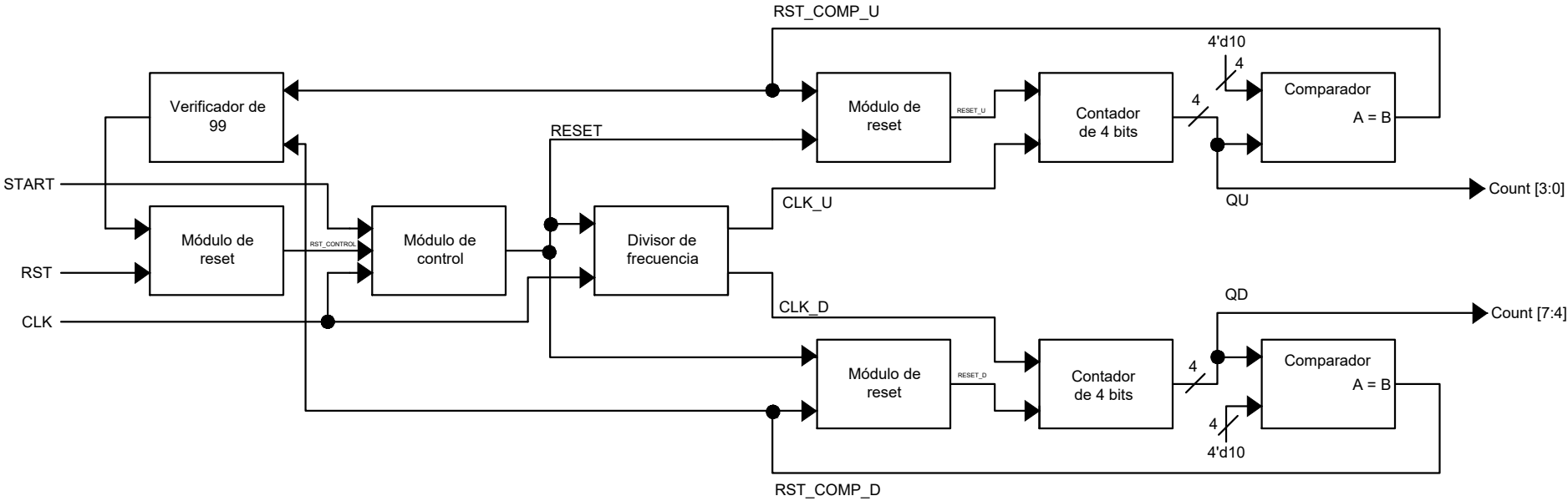
Este módulo se compone únicamente de una compuerta AND, la cual recibe 2 señales, que corresponden a la salida de los comparadores de decenas y unidades, por lo que dicha compuerta se activa únicamente cuando ambas señales (unidades y decenas) son 9, y de esta manera, la salida de este módulo activa el reset del sistema, y provoca que el sistema se quede en el estado inicial, listo para comenzar de nuevo. Este módulo se puede observar en la lámina 3 del documento adjunto.

#### **c. Módulo de reset**

Este módulo se compone por una compuerta OR, la cual toma 2 señales que pueden servir para reiniciar un componente secuencial, de modo que, en caso de que al menos una de ellas se active, se provoca el reseteo en el componente o módulo deseado. En resumen, este módulo proporciona una forma de resetear de más de una manera diferente un módulo o componente. Este módulo se puede observar en la lámina 3 del documento adjunto.

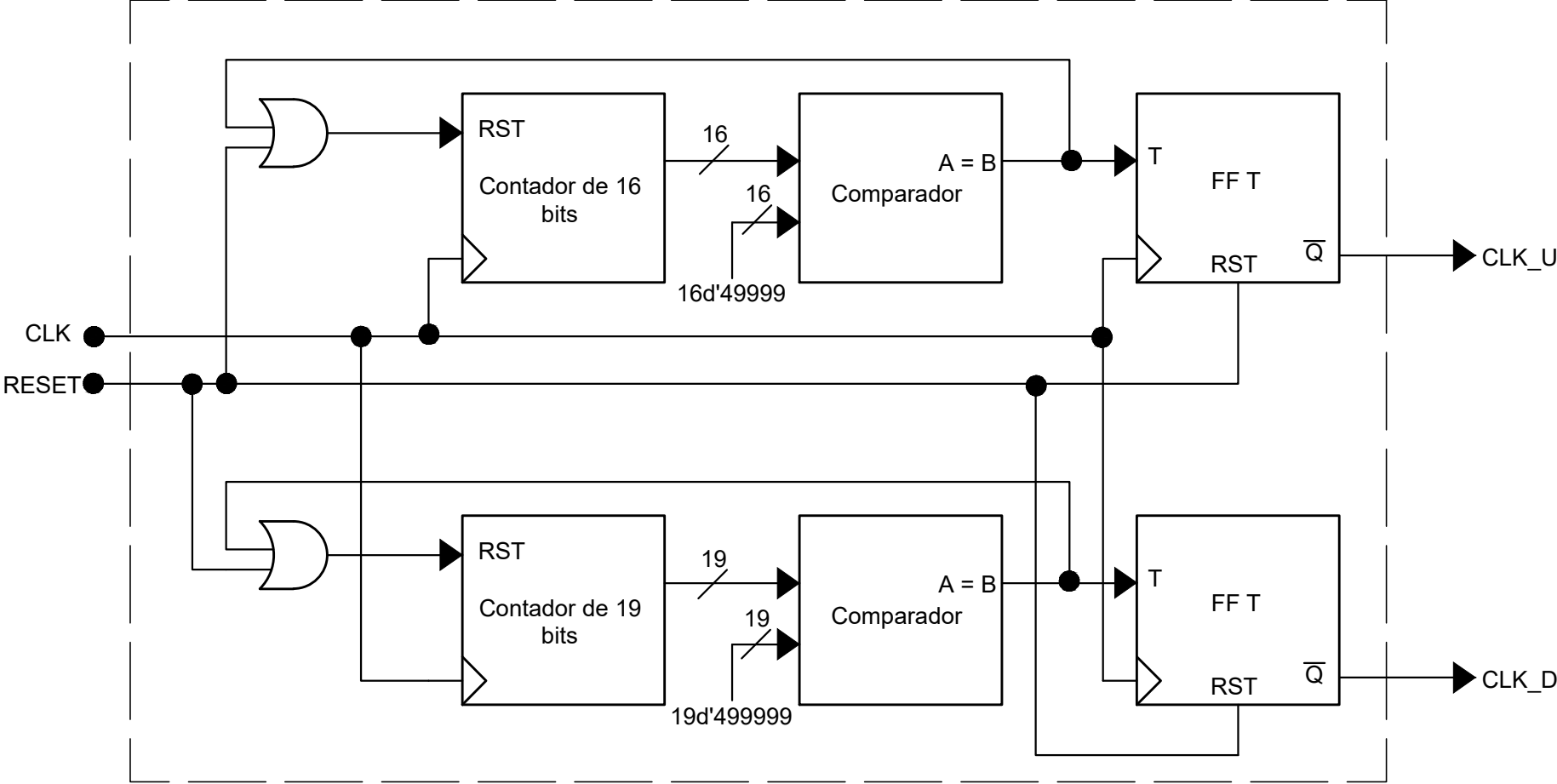
#### **d. Módulo de control**

Finalmente, este módulo está formado por un FF JK, el cual se encarga de controlar las señales de START y RST. Para este caso, la señal de START se colocó en la entrada J, de modo que cuando esta está activa provoca que la salida se torne en 0, ya que se toma la salida negada del FF JK, y la entrada K siempre está en 0. Luego, la señal RST, se conecta al reset del FF JK, y opera de manera asíncrona de modo que cuando se activa esta señal, el estado del FF JK pasa a ser un 1, ya que se toma la salida negada, y con esto se controla el inicio y el final de la operación del sistema. Este módulo se puede observar en la lámina 3 del documento adjunto



	<b>TEC</b> Tecnológico de Costa Rica	ÁREA ACADÉMICA DE INGENIERÍA MECATRÓNICA	
		CURSO: MT4001 - ELECTRÓNICA DIGITAL	
		TAREA DE DISEÑO 2	
		PROFESORA: ANA MARÍA MURILLO MORGAN	
	PROYECTO: CONTADOR DE MILLISEGUNDOS	INTEGRANTES:	LÁMINA
	DIAGRAMA DE SEGUNDO NIVEL: CONTADOR DE MILLISEGUNDOS	JOSE FABIO NAVARRO NARANJO	1 3

Divisor de frecuencia



PRODUCED BY AN AUTODESK STUDENT VERSION

PRODUCED BY AN AUTODESK STUDENT VERSION

**TEC** | Tecnológico de Costa Rica

ÁREA ACADÉMICA DE INGENIERÍA MECATRÓNICA

CURSO: MT4001 - ELECTRÓNICA DIGITAL

TAREA DE DISEÑO 2

PROFESORA: ANA MARÍA MURILLO MORGAN

PROYECTO: CONTADOR DE MILLISEGUNDOS

INTEGRANTES:

LÁMINA

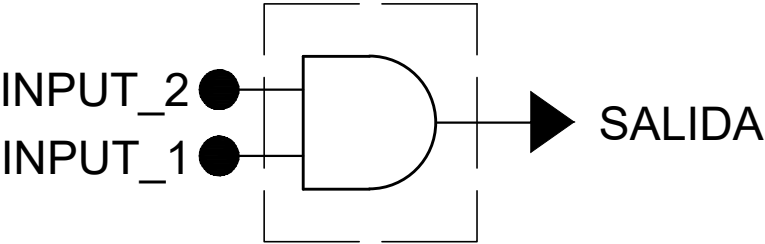
DIAGRAMA DE SEGUNDO NIVEL:  
DIVISOR DE FRECUENCIA

JOSE FABIO NAVARRO NARANJO

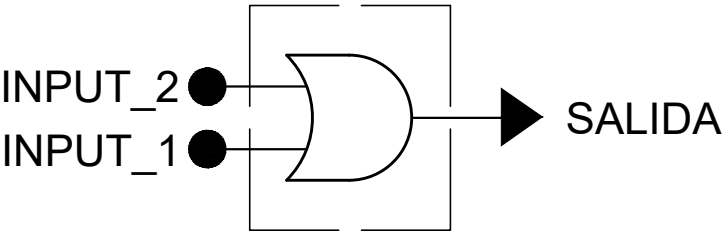
2

3

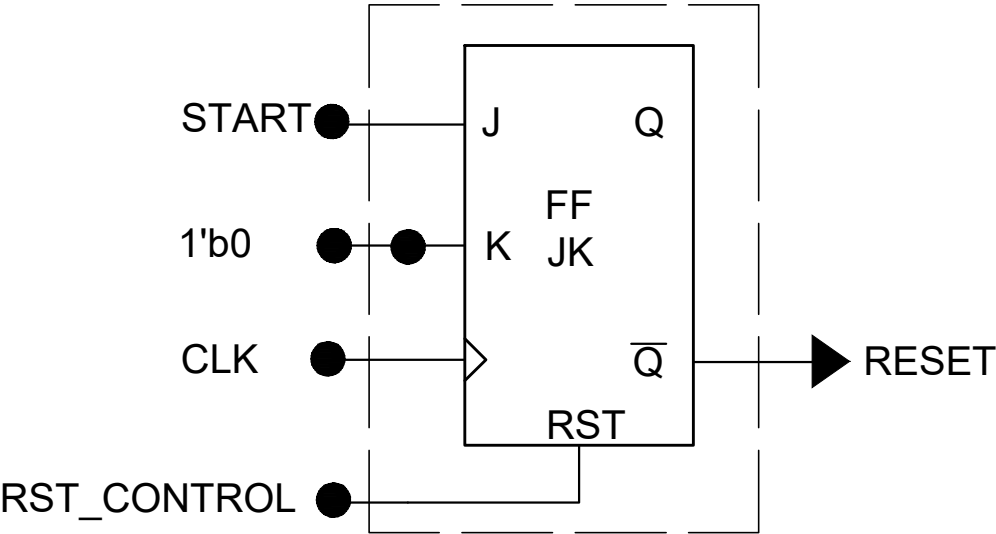
Verificador de 99



Módulo de reset



Módulo de control



**TEC** | Tecnológico  
de Costa Rica

PROYECTO: CONTADOR DE MILLISEGUNDOS

DIAGRAMA DE TERCER NIVEL:  
MODULOS RESET, CONTROL, Y  
VERIFICADOR DE 99

ÁREA ACADÉMICA DE INGENIERÍA MECATRÓNICA

CURSO: MT4001 - ELECTRÓNICA DIGITAL

TAREA DE DISEÑO 2

PROFESORA: ANA MARÍA MURILLO MORGAN

INTEGRANTES:

JOSE FABIO NAVARRO NARANJO

LÁMINA

3

3