

INSTITUTO TECNOLÓGICO DE COSTA RICA
ÁREA ACADÉMICA DE INGENIERÍA MECATRÓNICA

MT 4001 - Electrónica Digital

Tarea de diseño 3:

Contador de Pulsos

Adrián Dittel Retana – 2019007945

Gabriel González Rodríguez – 2019057548

Jose Fabio Navarro Naranjo – 2019049626

Profesora: Ana María Murillo Morgan

Semestre II – 2021

Tabla de contenido

1) Diseño propuesto	3
1.1. Primer nivel.....	3
1.2. Segundo nivel	3
1.3. Tercer nivel	4
1.3.1. Detector de 4 arriba.....	4
1.3.2. Control de Reset.....	7
1.3.3. Contador.....	8
1.3.4. Traductor BCD.....	11
2. Anexos	14

1) Diseño propuesto

1.1. Primer nivel

A continuación, en la Figura 1, se presenta el diagrama de primer nivel para el contador de pulsos.

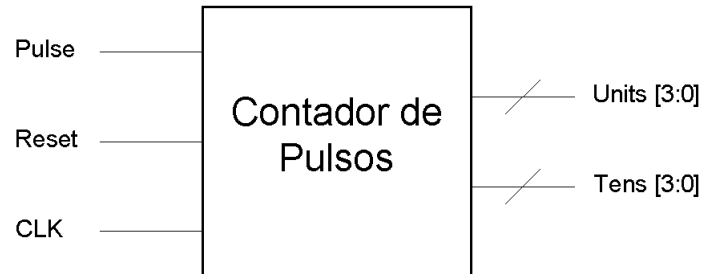


Figura 1. Diagrama de primer nivel para un contador de pulsos.

1.2. Segundo nivel

A continuación, en la Figura 2, se presenta el diagrama de segundo nivel para el contador de pulsos.

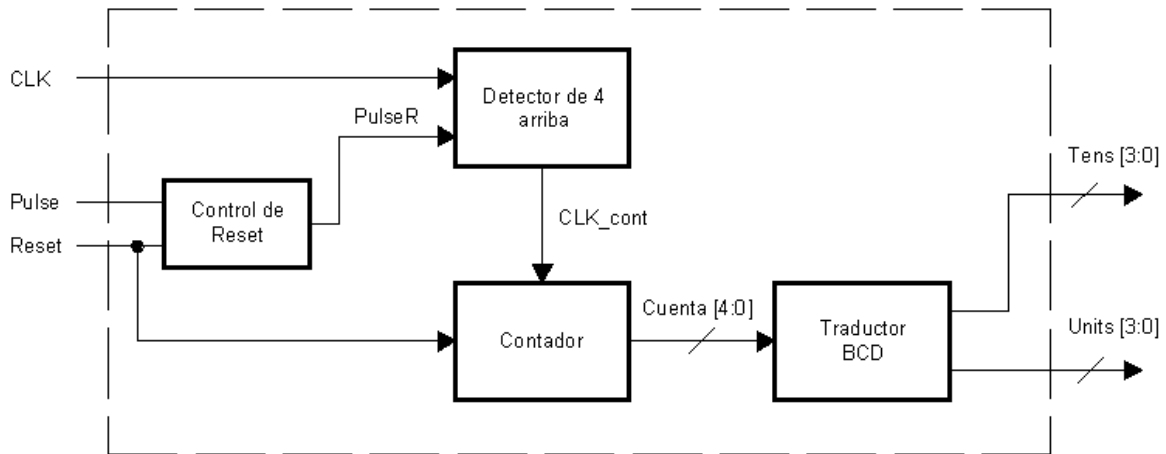


Figura 2. Diagrama de segundo nivel para un contador de pulsos.

Para el diseño de este diagrama se pensó en una división en 4 módulos, una máquina de estados que detecta si un pulso es válido, un módulo que controla el reset de la máquina de estados, un contador de pulsos válidos, y finalmente, un traductor que convierte los datos del contador al tipo de salida solicitada. El diseño de cada módulo se especifica en la siguiente sección.

1.3. Tercer nivel

1.3.1. Detector de 4 arriba

Este módulo es una máquina de estados que verifica si un pulso es válido, es decir, si se mantiene mínimo por 4 periodos de reloj completos arriba, y si este es el caso, envía un pulso que es tomado por el contador, a manera de clock, de modo que provoca que el contador aumente su número. Es importante mencionar que se tuvo que añadir un estado inicial por el cual la máquina pasa una sola vez, el cual tiene como salida un valor en alto, que tiene como funcionalidad activar el contador, y definir su valor inicial en 0, para que éste esté listo para contabilizar los pulsos que llegarán después. El proceso de diseño e implementación de esta máquina se detalla a continuación.

- A) Primero se creó el diagrama de estados que se muestra en la Figura 3, haciendo una transición de estados siempre que el pulso se mantenga en alto, de modo que la máquina pueda verificar la validez del pulso.

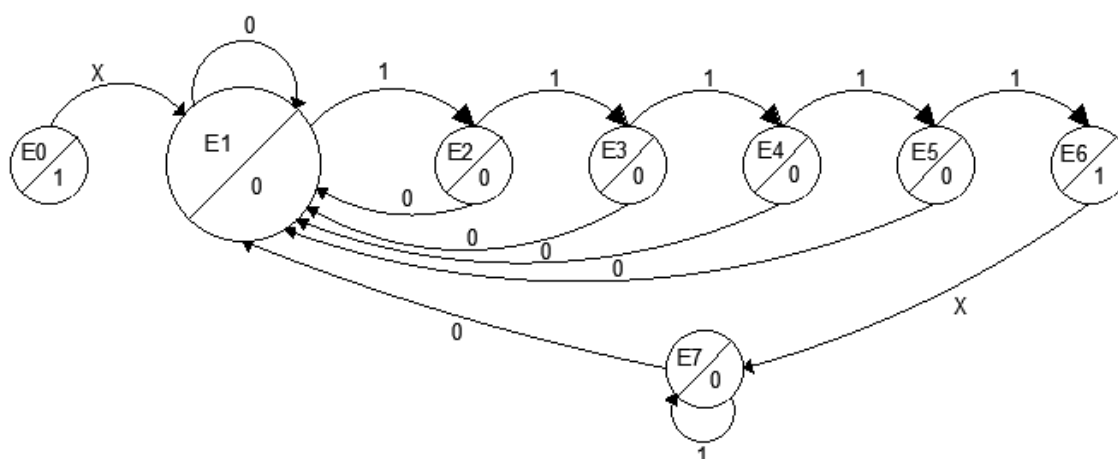


Figura 3. Diagrama de estados para el detector de 4 pulsos arriba.

- B) Ahora bien, siguiendo el diagrama de estados anterior, se creó la tabla de estados (Tabla 1) con la finalidad de implementar dicha máquina de estados en un circuito digital. Es importante mencionar que para la implementación de dicha máquina de estados se decidió utilizar flip flops del tipo T.

Tabla 1. Tabla de estados para implementación de la máquina de estados.

Estado	QA	QB	QC	P	QA+	QB+	QC+	A	B	C	TA	TB	TC
0	0	0	0	0	0	0	1	0	0	α	0	0	1
	0	0	0	1	0	0	1	0	0	α	0	0	1
1	0	0	1	0	0	0	1	0	0	1	0	0	0
	0	0	1	1	0	1	0	0	α	β	0	1	1
2	0	1	0	0	0	0	1	0	β	α	0	1	1
	0	1	0	1	0	1	1	0	1	α	0	0	1
3	0	1	1	0	0	0	1	0	β	1	0	1	0
	0	1	1	1	1	0	0	α	β	β	1	1	1
4	1	0	0	0	0	0	1	β	0	α	1	0	1
	1	0	0	1	1	0	1	1	0	α	0	0	1
5	1	0	1	0	0	0	1	β	0	1	1	0	0
	1	0	1	1	1	1	0	1	α	β	0	1	1
6	1	1	0	0	1	1	1	1	1	α	0	0	1
	1	1	0	1	1	1	1	1	1	α	0	0	1
7	1	1	1	0	0	0	1	β	β	1	1	1	0
	1	1	1	1	1	1	1	1	1	1	0	0	0

C) Luego, con la tabla anterior se realizaron los mapas K que se muestran en las siguientes figuras, con el fin de obtener las ecuaciones para la entrada de cada flip flops, donde la variable D representa al Pulso, y las variables A, B y C la salida de cada flip flop.

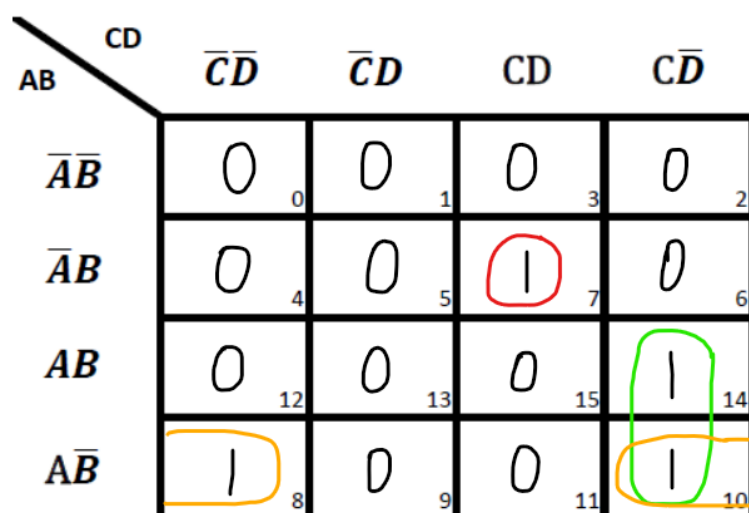


Figura 4. Mapa K para la entrada del flip flop A.

$$TA = (\sim C)(D)(A) + (\sim D)(A)(\sim B) + (C)(D)(\sim A)(B) \quad (1)$$

		CD			
		$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
AB	$\bar{A}\bar{B}$	0	1	3	2
	$\bar{A}B$	4	5	7	6
	AB	12	13	15	14
	$A\bar{B}$	8	9	11	10

Figura 5. Mapa K para la entrada del flip flop B.

$$TB = (C)(D)(\sim A) + (C)(D)(\sim B) + (C)(\sim D)(B) + (\sim A)(B)(\sim D) \quad (2)$$

		CD			
		$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
AB	$\bar{A}\bar{B}$	0	1	3	2
	$\bar{A}B$	4	5	7	6
	AB	12	13	15	14
	$A\bar{B}$	8	9	11	10

Figura 6. Mapa K para la entrada del flip flop C.

$$TC = \sim C + (D)(\sim A) + (D)(\sim B) \quad (3)$$

D) Luego de esto, para la lógica de salida de la máquina de estados, se creó la Tabla 2, para la cual se tomaron únicamente en cuenta las salidas de cada flip flop, ya que la máquina diseñada corresponde a una máquina de Moore. Al observar la tabla, se puede notar que la función lógica para la salida se puede obtener sumando únicamente los minterminos 0 y 6, ya que dichos minterminos no producen ninguna simplificación a la hora de implementar un mapa K. Con esto, se obtuvo la ecuación 4, para configurar la salida de la máquina de estados.

$$S = (\sim A)(\sim B)(\sim C) + (A)(B)(\sim C) \quad (4)$$

Tabla 2. Tabla de verdad para la lógica de salida de la máquina de estados.

QA	QB	QC	S
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

E) Finalmente, con todo lo anterior, se obtuvo el circuito lógico que se muestra en la Figura 7. Es importante mencionar que todas las figuras se muestran con mayor detalle en los Anexos.

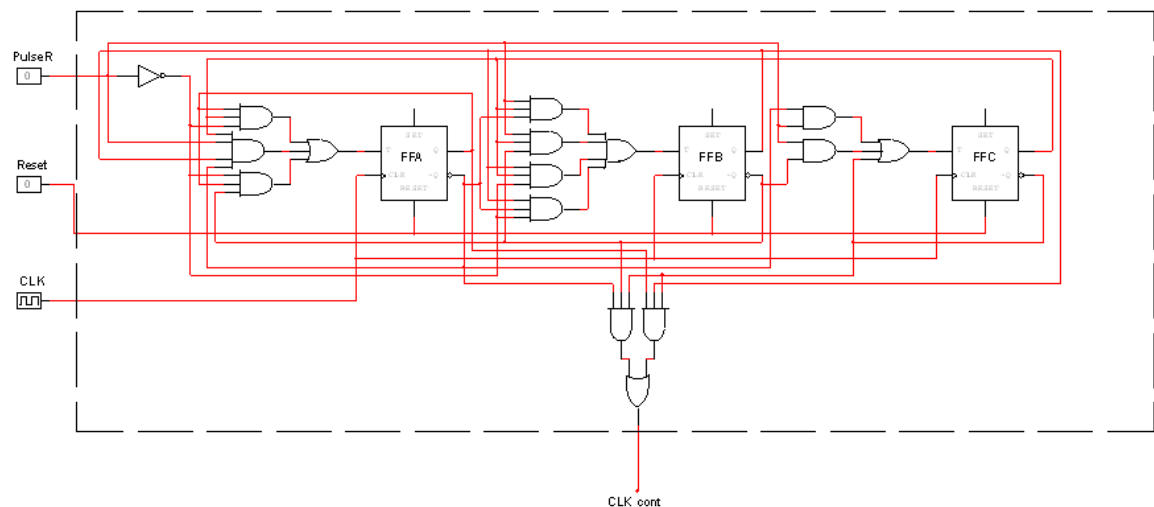


Figura 7. Circuito lógico para la implementación de la máquina de estados para la detección de un pulso válido.

1.3.2. Control de Reset

Este módulo lo que hace es resetear el pulso que ingresa al circuito de modo, que cuando se aplica el reset, el pulso de entrada también se fija en cero. Para esto, se utiliza una compuerta AND con la entrada del reset negada.

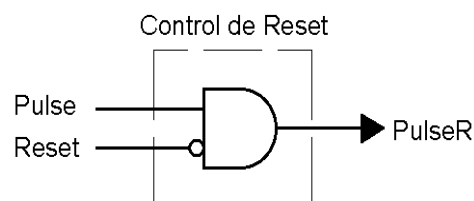


Figura 8. Módulo de circuito para el control de reset.

1.3.3. Contador

Este contador lo que va a hacer es que va a llevar la cuenta hasta 20 de los pulsos que se registren con el detector, una vez llegue a 20 este se reinicia a 0. Para la confección de este módulo se realizaron los pasos que se detallan a continuación.

A) Lo primero que se hace es la tabla de los estados, descrita en la Tabla 3, para averiguar qué ecuación se ocupa en cada Flip-Flop. Para este caso se usaron flip flops T.

Tabla 3. Tabla de estados para el contador.

<i>Mintérmino</i>	<i>Estados Actuales</i>					<i>Estados Siguientes</i>					<i>Flip-Flop</i>				
	<i>Q5</i>	<i>Q4</i>	<i>Q3</i>	<i>Q2</i>	<i>Q1</i>	<i>Q'5</i>	<i>Q'4</i>	<i>Q'3</i>	<i>Q'2</i>	<i>Q'1</i>	<i>T5</i>	<i>T4</i>	<i>T3</i>	<i>T2</i>	<i>T1</i>
0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1
1	0	0	0	0	1	0	0	0	1	0	0	0	0	1	1
2	0	0	0	1	0	0	0	0	1	1	0	0	0	0	1
3	0	0	0	1	1	0	0	1	0	0	0	0	1	1	1
4	0	0	1	0	0	0	0	1	0	1	0	0	0	0	1
5	0	0	1	0	1	0	0	1	1	0	0	0	0	1	1
6	0	0	1	1	0	0	0	1	1	1	0	0	0	0	1
7	0	0	1	1	1	0	1	0	0	0	0	1	1	1	1
8	0	1	0	0	0	0	1	0	0	1	0	0	0	0	1
9	0	1	0	0	1	0	1	0	1	0	0	0	0	1	1
10	0	1	0	1	0	0	1	0	1	1	0	0	0	0	1
11	0	1	0	1	1	0	1	1	0	0	0	0	1	1	1
12	0	1	1	0	0	0	1	1	0	1	0	0	0	0	1
13	0	1	1	0	1	0	1	1	1	0	0	0	0	1	1
14	0	1	1	1	0	0	1	1	1	1	0	0	0	0	1
15	0	1	1	1	1	1	0	0	0	0	1	1	1	1	1
16	1	0	0	0	0	1	0	0	0	1	0	0	0	0	1
17	1	0	0	0	1	1	0	0	1	0	0	0	0	1	1
18	1	0	0	1	0	1	0	0	1	1	0	0	0	0	1
19	1	0	0	1	1	1	0	1	0	0	0	0	1	1	1
20	1	0	1	0	0	0	0	0	0	0	1	0	1	0	0

B) Una vez realizada la tabla anterior, se obtienen los mapas K, y su correspondiente ecuación, los cuales se muestran en las figuras siguientes. Se debe considerar que:

$$E = Q1$$

$$D = Q2$$

$$C = Q3$$

$$B = Q4$$

$$A = Q5$$

ADE		$\bar{A}\bar{D}\bar{E}$	$\bar{A}\bar{D}\bar{E}$	$\bar{A}\bar{D}\bar{E}$	$\bar{A}\bar{D}\bar{E}$	$A\bar{D}\bar{E}$	$A\bar{D}\bar{E}$	$A\bar{D}\bar{E}$	$A\bar{D}\bar{E}$
BC	$\bar{B}\bar{C}$	0	1	3	2	18	19	17	16
	$\bar{B}C$	4	5	7	6	22	23	21	20
	BC	12	13	15	14	30	31	29	28
	$B\bar{C}$	8	9	11	10	26	27	25	24

Figura 9. Mapa K para T1.

$$T1 = \sim Q5 + (\sim Q4)(\sim Q3) \quad (5)$$

ADE		$\bar{A}\bar{D}\bar{E}$	$\bar{A}\bar{D}\bar{E}$	$\bar{A}\bar{D}\bar{E}$	$\bar{A}\bar{D}\bar{E}$	$A\bar{D}\bar{E}$	$A\bar{D}\bar{E}$	$A\bar{D}\bar{E}$	$A\bar{D}\bar{E}$
BC	$\bar{B}\bar{C}$	0	1	3	2	18	19	17	16
	$\bar{B}C$	4	5	7	6	22	23	21	20
	BC	12	13	15	14	30	31	29	28
	$B\bar{C}$	8	9	11	10	26	27	25	24

Figura 10. Mapa K para T2.

$$T2 = Q1 \quad (6)$$

ADE		$\bar{A}\bar{D}\bar{E}$	$\bar{A}\bar{D}\bar{E}$	$\bar{A}\bar{D}\bar{E}$	$\bar{A}\bar{D}\bar{E}$	$A\bar{D}\bar{E}$	$A\bar{D}\bar{E}$	$A\bar{D}\bar{E}$	$A\bar{D}\bar{E}$
BC	$\bar{B}\bar{C}$	0	1	3	2	18	19	17	16
	$\bar{B}C$	4	5	7	6	22	23	21	20
	BC	12	13	15	14	30	31	29	28
	$B\bar{C}$	8	9	11	10	26	27	25	24

Figura 11. Mapa K para T3.

$$T3 = (Q2)(Q1) + (Q5)(Q3) \quad (7)$$

BC \ ADE		$\overline{A}\overline{D}\overline{E}$	$\overline{A}D\overline{E}$	$\overline{A}DE$	$A\overline{D}\overline{E}$	$AD\overline{E}$	ADE	$A\overline{D}E$	$A\overline{D}\overline{E}$
		$\overline{B}\overline{C}$	$\overline{B}C$	BC	$B\overline{C}$	$\overline{B}\overline{C}$	$\overline{B}C$	BC	$B\overline{C}$
$\overline{B}\overline{C}$	0	0	0	0	0	0	0	0	0
$\overline{B}C$	4	0	0	1	0	X	X	X	0
BC	12	0	0	1	0	X	X	X	X
$B\overline{C}$	8	0	0	0	0	X	X	X	X

Figura 12. Mapa K para T4.

$$T4 = (\sim Q5)(Q3)(Q2)(Q1) \quad (8)$$

BC \ ADE		$\overline{A}\overline{D}\overline{E}$	$\overline{A}D\overline{E}$	$\overline{A}DE$	$A\overline{D}\overline{E}$	$AD\overline{E}$	ADE	$A\overline{D}E$	$A\overline{D}\overline{E}$
		$\overline{B}\overline{C}$	$\overline{B}C$	BC	$B\overline{C}$	$\overline{B}\overline{C}$	$\overline{B}C$	BC	$B\overline{C}$
$\overline{B}\overline{C}$	0	0	0	0	0	0	0	0	0
$\overline{B}C$	4	0	0	0	0	X	X	X	1
BC	12	0	0	1	0	X	X	X	X
$B\overline{C}$	8	0	0	0	0	X	X	X	X

Figura 13. Mapa K para T5.

$$T5 = (\sim Q5)(Q4)(Q3)(Q2)(Q1) + (Q5)(Q3) \quad (9)$$

C) Por último, de acuerdo a la ecuaciones se planteó el diagrama que se muestra en la Figura 14.

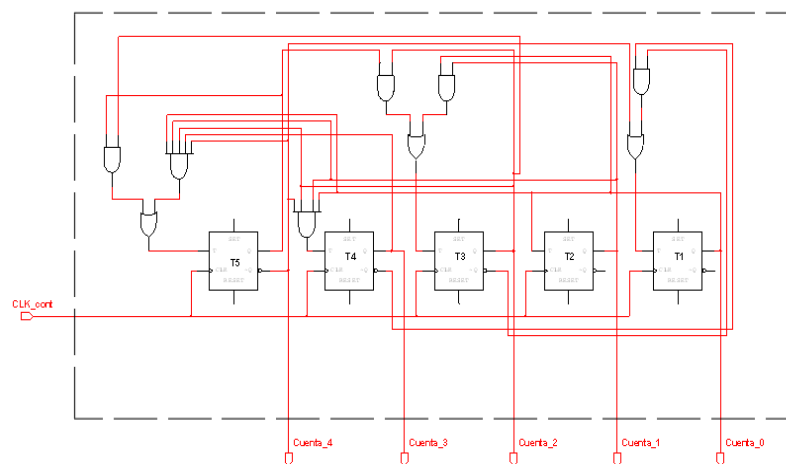


Figura 14. Circuito lógico para la implementación del contador.

1.3.4. Traductor BCD

Para convertir el número binario dado por el contador a código BCD se siguió el procedimiento que se muestra a continuación.

- A) Se realizó la tabla de comportamiento del sistema (Tabla 4), donde Q representa la Cuenta, T las decenas (Tens) y U las unidades (Units), además, A representa el bit más significativo y D (o E, a como corresponda) el menos significativo.

Tabla 4. Tabla de comportamiento del Traductor BCD.

<i>Entradas</i>					<i>Salidas (Tens)</i>				<i>Salidas (Units)</i>			
<i>QA</i>	<i>QB</i>	<i>QC</i>	<i>QD</i>	<i>QE</i>	<i>TA</i>	<i>TB</i>	<i>TC</i>	<i>TD</i>	<i>UA</i>	<i>UB</i>	<i>UC</i>	<i>UD</i>
0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0	0	0	0	1	0
0	0	0	1	1	0	0	0	0	0	0	1	1
0	0	1	0	0	0	0	0	0	0	1	0	0
0	0	1	0	1	0	0	0	0	0	1	0	1
0	0	1	1	0	0	0	0	0	0	1	1	0
0	0	1	1	1	0	0	0	0	0	1	1	1
0	1	0	0	0	0	0	0	0	1	0	0	0
0	1	0	0	1	0	0	0	0	1	0	0	1
0	1	0	1	0	0	0	0	1	0	0	0	0
0	1	0	1	1	0	0	0	1	0	0	0	1
0	1	1	0	0	0	0	0	1	0	0	1	0
0	1	1	0	1	0	0	0	1	0	0	1	1
0	1	1	1	0	0	0	0	1	0	1	0	0
0	1	1	1	1	0	0	0	1	0	1	0	1
1	0	0	0	0	0	0	0	1	0	1	1	0
1	0	0	0	1	0	0	0	1	0	1	1	1
1	0	0	1	0	0	0	0	1	1	0	0	0
1	0	0	1	1	0	0	0	1	1	0	0	1
1	0	1	0	0	0	0	1	0	0	0	0	0

- B) Luego, se realizaron los mapas K necesarios para determinar las ecuaciones de cada uno de los dígitos/bits tanto de las unidades como de las decenas, los cuales se muestran a continuación.

$$TA = 0 \quad (10)$$

$$TB = 0 \quad (11)$$

$$TC = AC \quad (12)$$

Tabla 5. Mapa K para TD.

	TD									
	$\sim A$						A			
	$\sim D \sim E$	$\sim DE$	DE	D $\sim E$			$\sim D \sim E$	$\sim DE$	DE	D $\sim E$
$\sim B \sim C$	0	0	0	0		$\sim B \sim C$	1	1	1	1
$\sim BC$	0	0	0	0		$\sim BC$	0	X	X	X
BC	1	1	1	1		BC	X	X	X	X
B $\sim C$	0	0	1	1		B $\sim C$	X	X	X	X

$$TD = BC + BD + (A)(\sim B)(\sim C) \quad (13)$$

Tabla 6. Mapa K para UA.

	UA									
	$\sim A$						A			
	$\sim D \sim E$	$\sim DE$	DE	D $\sim E$			$\sim D \sim E$	$\sim DE$	DE	D $\sim E$
$\sim B \sim C$	0	0	0	0		$\sim B \sim C$	0	0	1	1
$\sim BC$	0	0	0	0		$\sim BC$	0	X	X	X
BC	0	0	0	0		BC	X	X	X	X
B $\sim C$	1	1	0	0		B $\sim C$	X	X	X	X

$$UA = (B)(\sim C)(\sim D) + AD \quad (14)$$

Tabla 7. Mapa K para UB.

	UB									
	$\sim A$						A			
	$\sim D \sim E$	$\sim DE$	DE	D $\sim E$			$\sim D \sim E$	$\sim DE$	DE	D $\sim E$
$\sim B \sim C$	0	0	0	0		$\sim B \sim C$	1	1	0	0
$\sim BC$	1	1	1	1		$\sim BC$	0	X	X	X
BC	0	0	1	1		BC	X	X	X	X
B $\sim C$	0	0	0	0		B $\sim C$	X	X	X	X

$$UB = (\sim A)(\sim B)(C) + CD + (A)(\sim B)(\sim C)(\sim D)$$

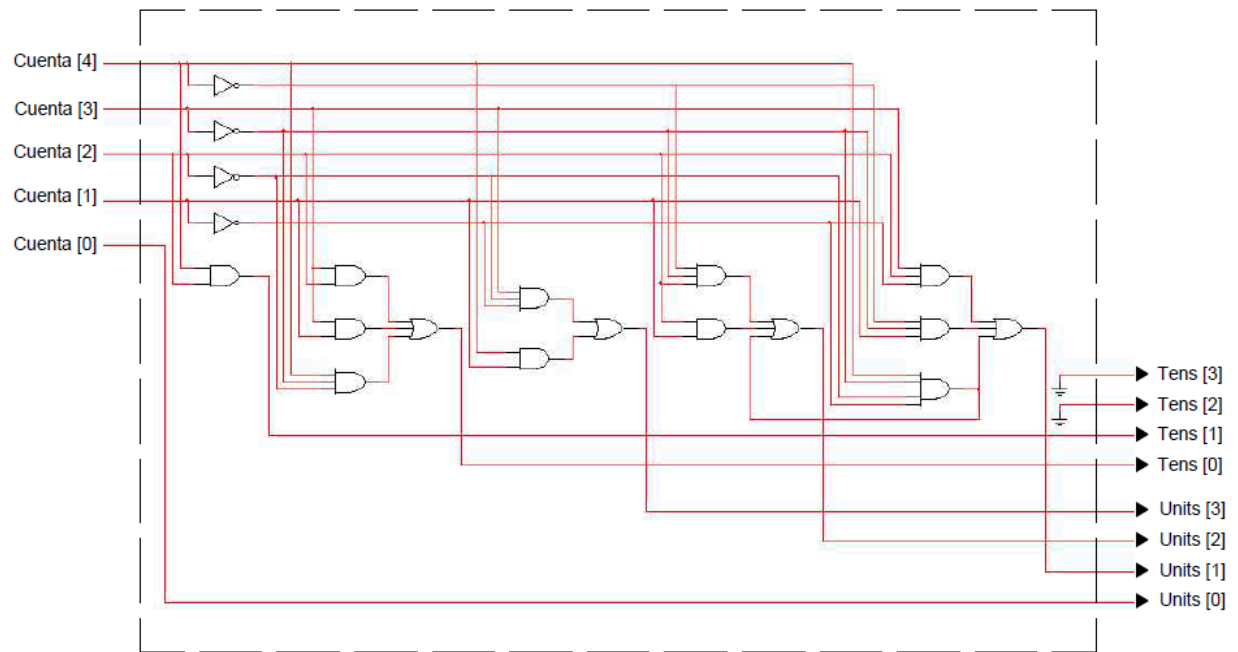
Tabla 8. Mapa K para UC

	UC									
	$\sim A$						A			
	$\sim D \sim E$	$\sim DE$	DE	D $\sim E$			$\sim D \sim E$	$\sim DE$	DE	D $\sim E$
$\sim B \sim C$	0	0	1	1		$\sim B \sim C$	1	1	0	0
$\sim BC$	0	0	1	1		$\sim BC$	0	X	X	X
BC	1	1	0	0		BC	X	X	X	X
B $\sim C$	0	0	0	0		B $\sim C$	X	X	X	X

$$UC = (B)(C)(\sim D) + (\sim A)(\sim B)(D) + (A)(\sim B)(\sim C)(\sim D)$$

$$UD = E$$

C) Finalmente, según las ecuaciones anteriores, el diagrama de tercer nivel del Traductor BCD se muestra en la Figura 15.

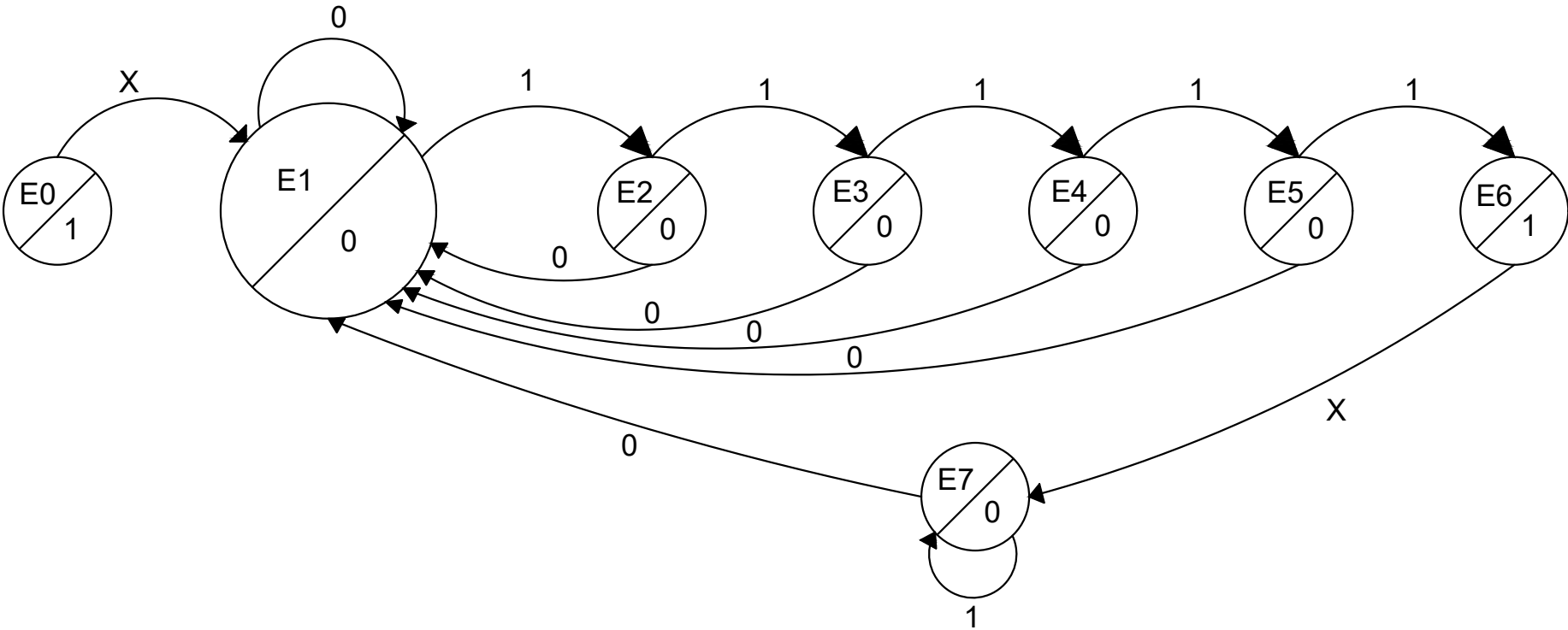


2. Anexos

Los anexos se presentan en las siguientes páginas.

PRODUCED BY AN AUTODESK STUDENT VERSION

PRODUCED BY AN AUTODESK STUDENT VERSION



TEC | Tecnológico
de Costa Rica

ÁREA ACADÉMICA DE INGENIERÍA MECATRÓNICA

CURSO: MT4001 - ELECTRÓNICA DIGITAL

TAREA DE DISEÑO 3

PROFESORA: ANA MARÍA MURILLO MORGAN

PROYECTO: CONTADOR DE PULSOS

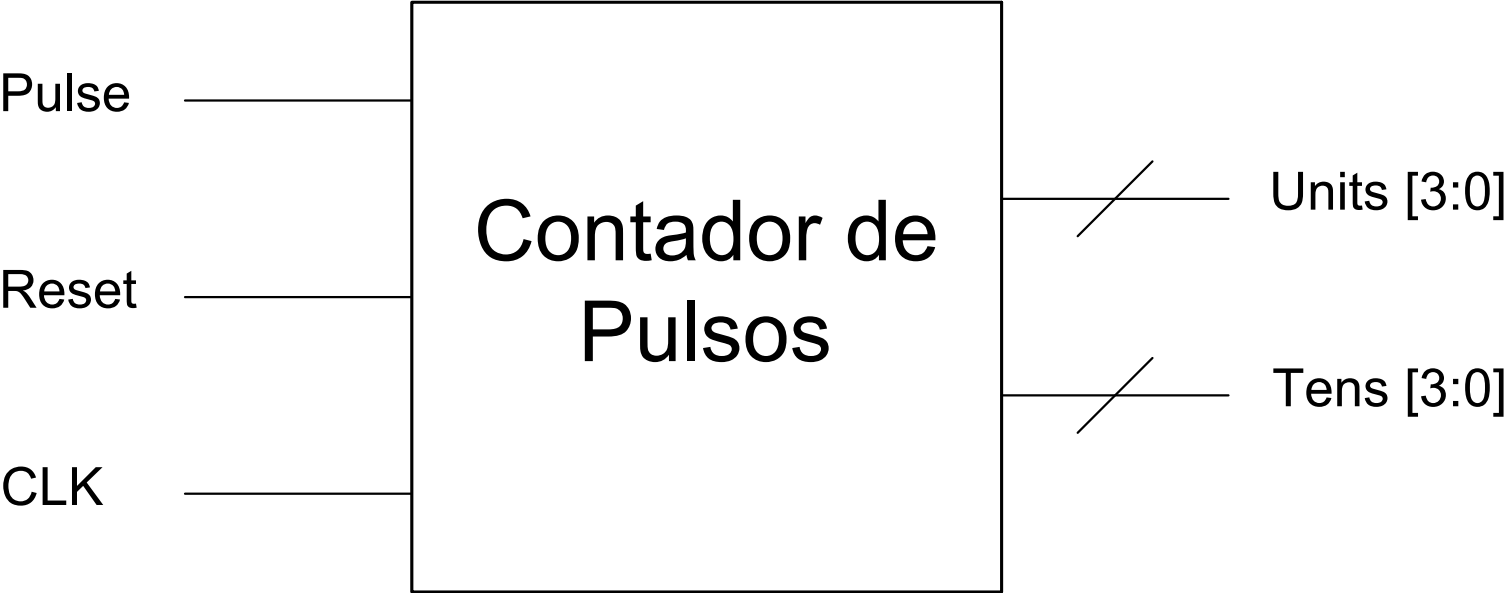
INTEGRANTES:

LÁMINA

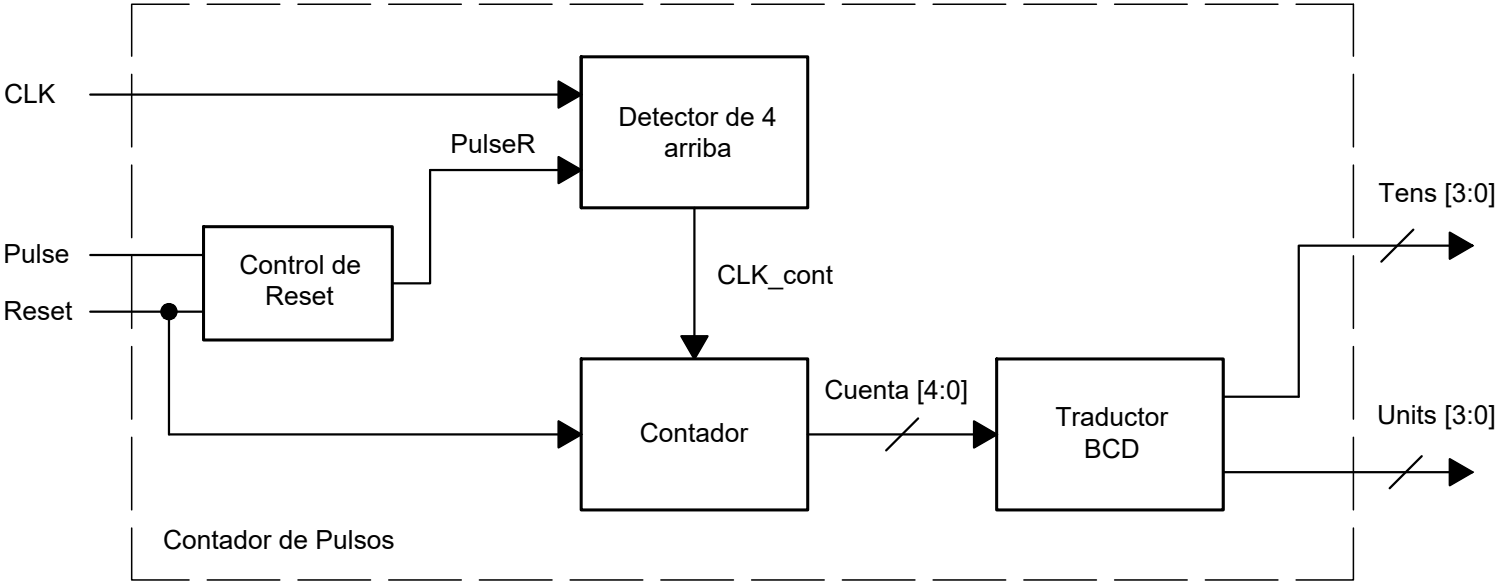
CONTADOR DE PULSOS:
DIAGRAMA DE ESTADOS

ADRIÁN DITTEL RETANA
GABRIEL GONZÁLEZ RODRÍGUEZ
JOSÉ FABIO NAVARRO NARANJO

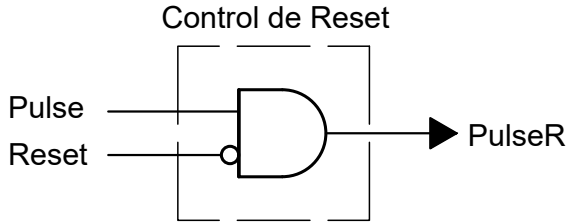
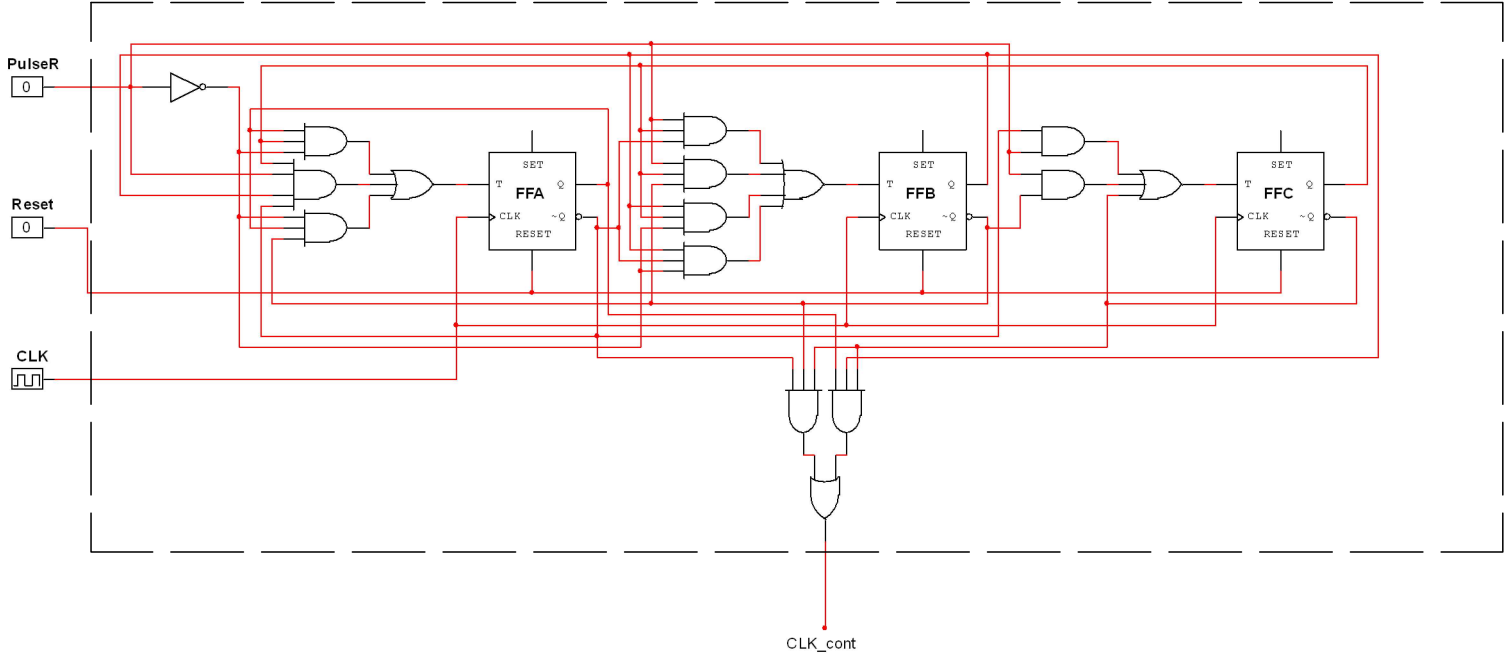
1
6



	TEC Tecnológico de Costa Rica	ÁREA ACADÉMICA DE INGENIERÍA MECATRÓNICA	
		CURSO: MT4001 - ELECTRÓNICA DIGITAL	
		TAREA DE DISEÑO 3	
		PROFESORA: ANA MARÍA MURILLO MORGAN	
	PROYECTO: CONTADOR DE PULSOS	INTEGRANTES:	LÁMINA
	CONTADOR DE PULSOS: DIAGRAMA DE PRIMER NIVEL	ADRIÁN DITTEL RETANA GABRIEL GONZÁLEZ RODRÍGUEZ JOSÉ FABIO NAVARRO NARANJO	2 / 6



	<div>TEC</div> <div>Tecnológico de Costa Rica</div>	ÁREA ACADÉMICA DE INGENIERÍA MECATRÓNICA	
		CURSO: MT4001 - ELECTRÓNICA DIGITAL	
		TAREA DE DISEÑO 3	
		PROFESORA: ANA MARÍA MURILLO MORGAN	
	PROYECTO: CONTADOR DE PULSOS	INTEGRANTES:	LÁMINA
	CONTADOR DE PULSOS: DIAGRAMA DE SEGUNDO NIVEL	ADRIÁN DITTEL RETANA GABRIEL GONZÁLEZ RODRÍGUEZ JOSÉ FABIO NAVARRO NARANJO	3 6



TEC | Tecnológico
de Costa Rica

PROYECTO: CONTADOR DE PULSOS

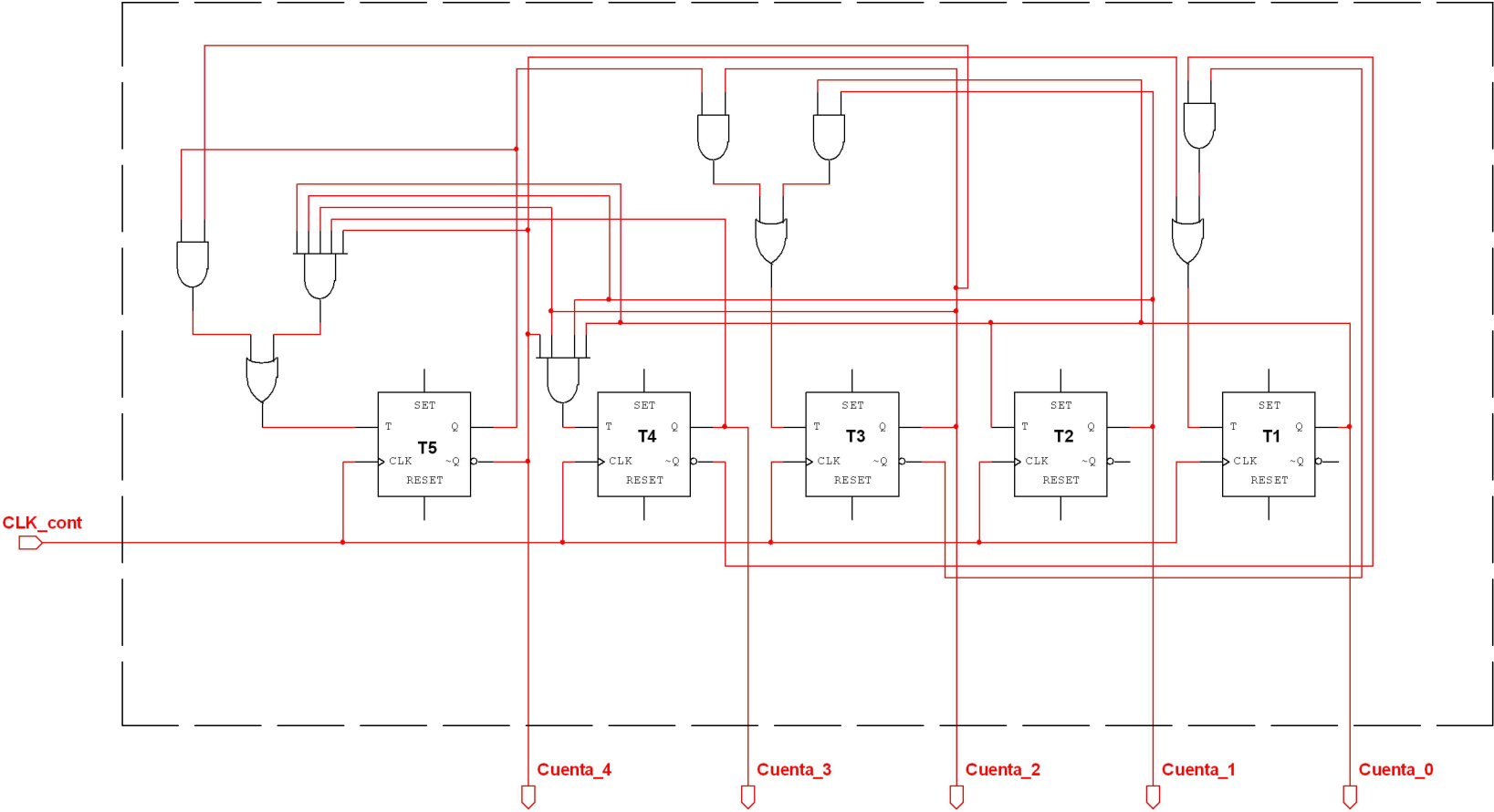
CONTROL DE RESET Y DETECTOR DE 4 ARRIBA:
DIAGRAMA DE TERCER NIVEL

ÁREA ACADÉMICA DE INGENIERÍA MECATRÓNICA
CURSO: MT4001 - ELECTRÓNICA DIGITAL
TAREA DE DISEÑO 3
PROFESORA: ANA MARÍA MURILLO MORGAN

INTEGRANTES:
ADRIÁN DITTEL RETANA
GABRIEL GONZÁLEZ RODRÍGUEZ
JOSÉ FABIO NAVARRO NARANJO

LÁMINA

4
6



TEC | Tecnológico
de Costa Rica

PROYECTO: CONTADOR DE PULSOS

CONTADOR:
DIAGRAMA DE TERCER NIVEL

ÁREA ACADÉMICA DE INGENIERÍA MECATRÓNICA

CURSO: MT4001 - ELECTRÓNICA DIGITAL

TAREA DE DISEÑO 3

PROFESORA: ANA MARÍA MURILLO MORGAN

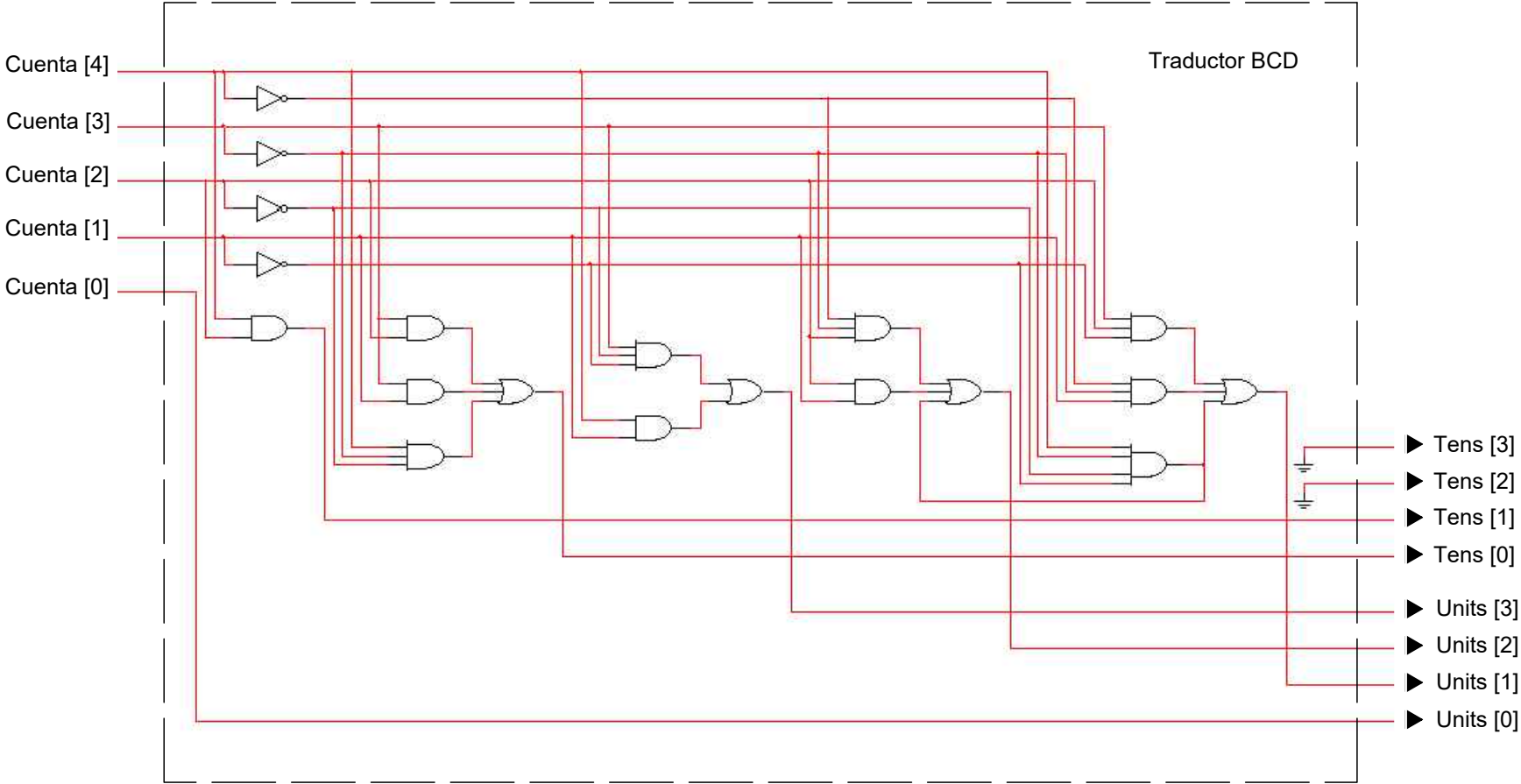
INTEGRANTES:

ADRIÁN DITTEL RETANA
GABRIEL GONZÁLEZ RODRÍGUEZ
JOSÉ FABIO NAVARRO NARANJO

LÁMINA

5

6



TEC | Tecnológico
de Costa Rica

PROYECTO: CONTADOR DE PULSOS

TRADUCTOR BCD:
DIAGRAMA DE TERCER NIVEL

ÁREA ACADÉMICA DE INGENIERÍA MECATRÓNICA

CURSO: MT4001 - ELECTRÓNICA DIGITAL

TAREA DE DISEÑO 3

PROFESORA: ANA MARÍA MURILLO MORGAN

INTEGRANTES:

ADRIÁN DITTEL RETANA
GABRIEL GONZÁLEZ RODRÍGUEZ
JOSÉ FABIO NAVARRO NARANJO

LÁMINA

6

6