



Universidad  
de Alcalá

## Práctica 3

### Sistemas de Adquisición de Datos

# Electrónica

## Grado en Ingeniería de Computadores

### Departamento de Electrónica

Alumno1	Jose Fernández	Alumno 2	Óscar Guerra
Grupo Laboratorio	A2	Puesto laboratorio	13

# Contenido

---

1	OBJETIVOS .....	3
2	ESPECIFICACIONES.....	3
3	MATERIAL NECESARIO.....	3
4	DESARROLLO Y PLANIFICACIÓN DE LA PRÁCTICA .....	4
4.1	DISEÑO, MONTAJE Y PRUEBA DEL SUBSISTEMA DE CONVERSIÓN A/D.....	4
4.2	DISEÑO, MONTAJE Y PRUEBA DEL SUBSISTEMA DE CONVERSIÓN D/A.....	9
4.3	MONTAJE Y PRUEBA DEL SISTEMA COMPLETO DE CONVERSIÓN A/D - D/A.....	11
4.4	PARTE OPCIONAL. INCLUSIÓN DEL CIRCUITO DE MUESTREO Y RETENCIÓN. MONTAJE Y PRUEBA DEL SISTEMA COMPLETO DE CONVERSIÓN A/D - D/A.....	12

## 1 Objetivos

Se plantea el diseño, montaje y prueba de un circuito de digitalización y posterior reconversión de señales analógicas con el objetivo de comprender los diferentes parámetros de los circuitos de conversión A/D y D/A. El diagrama de bloques del circuito que se montará en esta práctica se muestra en la siguiente figura:

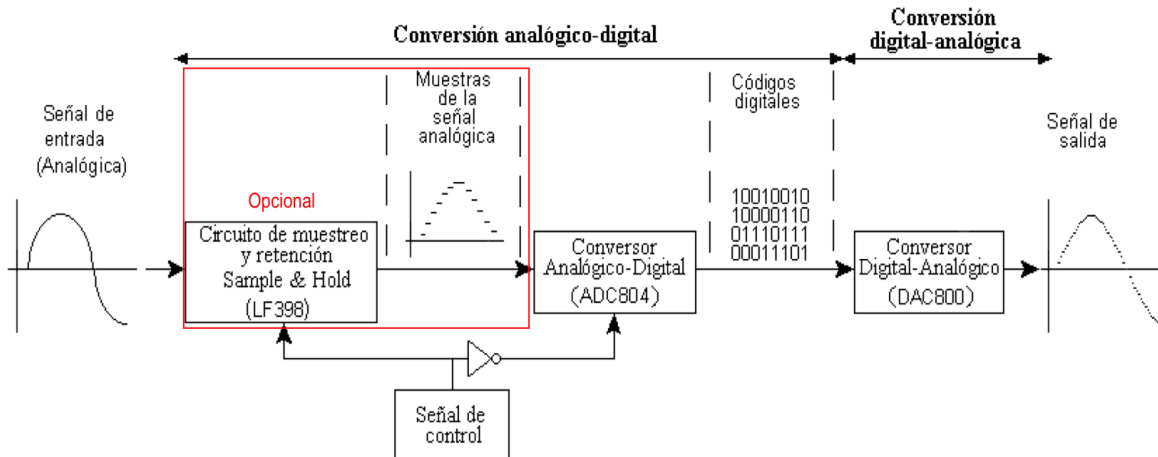


Figura 1. Esquema general del circuito propuesto.

## 2 Especificaciones

El diseño deberá cumplir con las siguientes especificaciones:

- Resolución de 8 bits.
- Tensión de alimentación de  $\pm 5V$ .
- Rango de tensiones de entrada  $\pm 1V$ .
- Frecuencia máxima de la señal de entrada 100Hz.
- Rango de tensiones de salida de  $\pm 1V$ .

## 3 Material necesario

- Conversor Analógico - Digital: ADC0804.
- Conversor Digital - Analógico: DAC0800.
- Sample and Hold (S/H): LF398
- Amplificador Operacional: LM741 (4).
- Inversor o puerta NAND: 74LS04 o 74LS00.
- Resistencias: 1kW (6), 2kW (2), 5kW (2), 10kW (10), potenciómetro 10k.
- Condensadores: 100nF(5), 150pF(1), 10nF(2).

A lo largo del guión encontrará diversas cuestiones sobre el montaje, que deberán ser respondidas y entregadas al profesor al final de la práctica.

## 4 Desarrollo y planificación de la práctica

La práctica se subdivide en las tareas que se describen a continuación, que se deben realizar en las dos semanas de las que se dispone para la realización de este trabajo según la planificación del curso. Esta planificación está orientada a la consecución del circuito final, por lo cual es acumulativa, y de una semana a la siguiente NO habrá que desmontar el bloque diseñado (al menos no entero), porque será necesario durante esa sesión, o se integrará en el diseño en semanas posteriores.

En cada apartado se realizan una serie de cuestiones, marcadas en rojo y numeradas, que serán los resultados del análisis correspondiente. Esas cuestiones se contestarán en el espacio asignado de este guión con los comentarios y aclaraciones debidas a la realización de esa parte.

### 4.1 Diseño, montaje y prueba del subsistema de conversión A/D

Para el diseño de esta etapa, es necesario tener en cuenta, en primer lugar, que el rango de la tensión de entrada estará, tal y como exigen las especificaciones de la práctica entre  $-1V$  y  $1V$  y el conversor analógico-digital que se va a utilizar, ADC0804, tiene un rango de tensión de entrada entre  $0$  y  $5V$  (véanse hojas de características). Es necesario por tanto desplazar la tensión de entrada de nuestro sistema para satisfacer la restricción impuesta con el ADC. El circuito necesario se muestra en Figura 2.

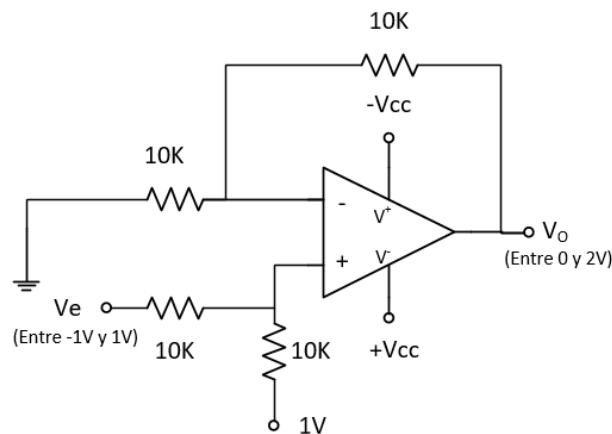


Figura 2. Desplazador de nivel.

Como puede observarse en dicha figura, el circuito es un desplazador de nivel implementado con un amplificador operacional en configuración de sumador que añade  $1V$  a la tensión de entrada. Esta tensión, que según las especificaciones del diseño estará entre  $-1V$  y  $+1V$ , quedará desplazada, obteniéndose en la salida una tensión entre  $0$  y  $2V$ .

En diversos puntos del circuito es necesario disponer de una tensión continua de  $1V$ , que no podrá obtenerse a partir de la fuente de alimentación por necesitar sus salidas para generar las tensiones de alimentación. Para generar la tensión de  $1V$  debe utilizarse un circuito similar al mostrado en la Figura 3.

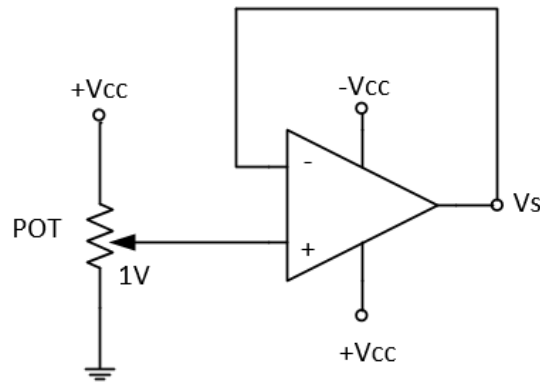
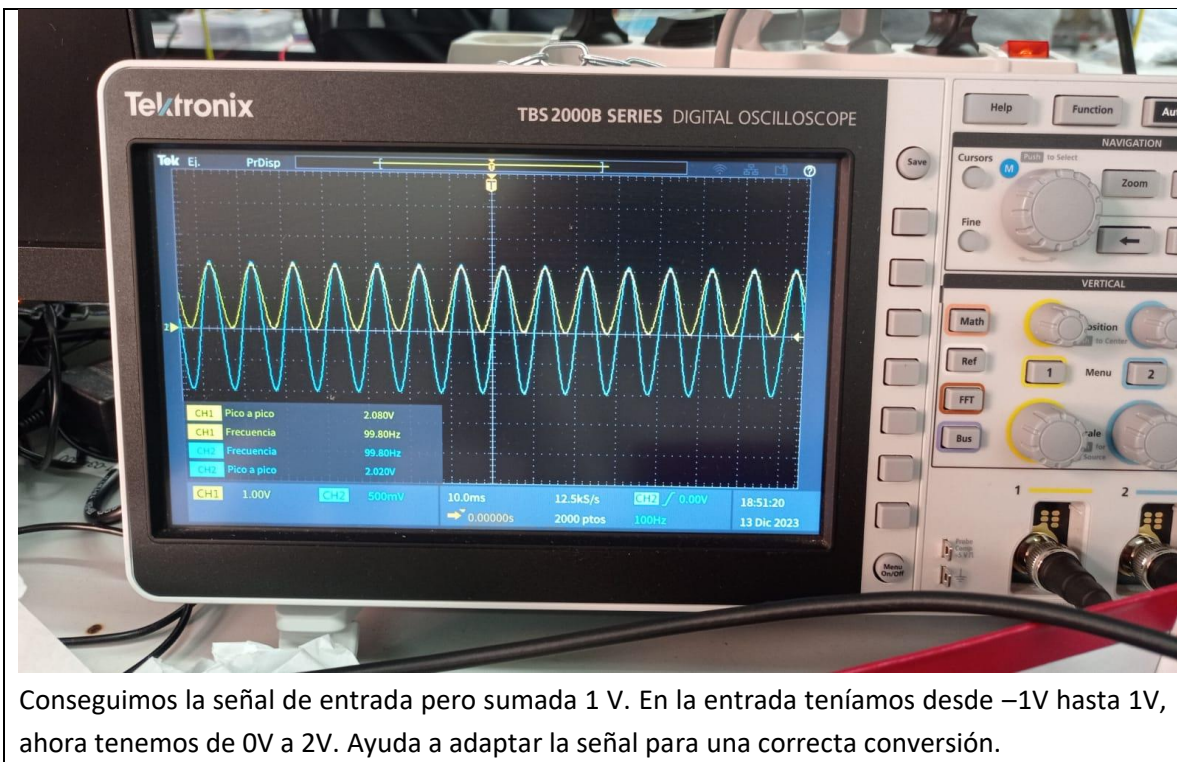


Figura 3. Tensión de referencia.

**CUESTIÓN 1.**

En primer lugar, monte el desplazador de nivel. Verifique cuidadosamente su funcionamiento, ya que una tensión negativa a su salida puede dañar los circuitos que se van a conectar a continuación. **Adjunte una captura de la pantalla del osciloscopio, con las señales de entrada y salida del desplazador.** Indique las escalas y las medidas realizadas y explique la utilidad de este circuito.



Una vez estudiado el montaje del primer bloque, se describe a continuación el montaje del ADC mostrado en la Figura 4.

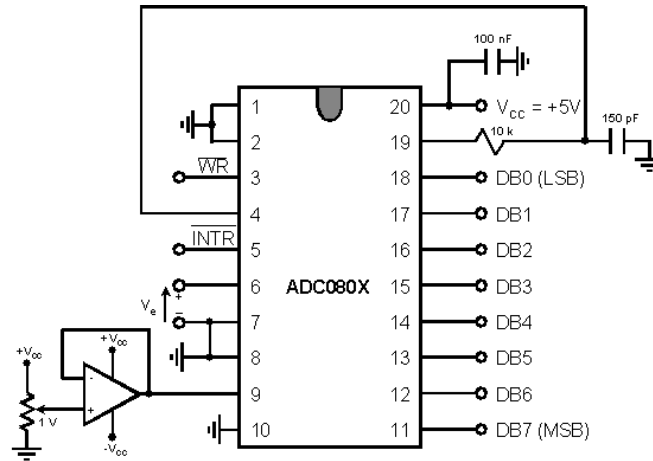


Figura 4. Montaje del conversor analógico-digital.

A continuación, se realiza un análisis que justifica las conexiones realizadas en la figura, explicando la función de cada uno de los terminales:

- En primer lugar, es especialmente interesante la utilidad del terminal 9. Este terminal permite configurar en el ADC el rango de tensiones de entrada que se van a introducir para asignar a esos valores los límites de la salida. De esta forma se utiliza toda la resolución del circuito en el rango de entrada de interés, obteniéndose la máxima precisión posible. Para ello hay que situar en el terminal 9 la tensión:

$$\frac{V_{REF}}{2} = \frac{V_{e\max} - V_{e\min}}{2} = \frac{2 - 0}{2} = 1V$$

Para generar esta tensión se utiliza un amplificador operacional en configuración de seguidor tal y como indica el montaje de la Figura 3.

- Con el circuito generador de la tensión de referencia de la Figura 3 situado en el terminal 9 y conectando el terminal 7 a masa, es decir,  $V_{IN}^- = 0V$ , el conversor asigna el mínimo código digital a la tensión de entrada  $0V$  y el máximo a  $V_{\max} = V_9 * 2 + V_7 = 2V$ , que es, efectivamente, la tensión máxima de entrada que se presentará en este caso.
- La señal de entrada, es decir la tensión de entrada del ADC, se conecta al terminal 6 (si se monta la parte opcional ésta será la salida del circuito de muestreo y retención). La señal de este terminal corresponde a la señal desplazada anterior con una frecuencia baja (para asegurar el cumplimiento del teorema de muestreo de Nyquist y dado que la de referencia es de 1kHz).
- Además, es necesario generar una señal que indique al conversor en qué momento están disponibles a su entrada las muestras analógicas que deben ser cuantificadas y decodificadas.

Esta señal,  $\overline{WR}$ , se introduce en el terminal 3.

Para comprobar el funcionamiento de la conversión analógico-digital, introdúzcase una tensión de entrada continua próxima a 2V y, posteriormente, a 0V. Si se observan las salidas del ADC, los códigos de estas dos tensiones deberían presentar '1' en todas las salidas para el primer caso y '0' en el segundo. Puesto que se están observando tensiones continuas, no es necesario utilizar el circuito de muestreo y retención. En cualquier caso, sí será necesaria la utilización de una señal de

control,  $\overline{WR}$ , que gobierne la generación de los códigos digitales. Ésta será una señal cuadrada entre 0V y 5V con frecuencia igual a 1 kHz entregada por el oscilador proporcionado en el laboratorio (circuito LM555).

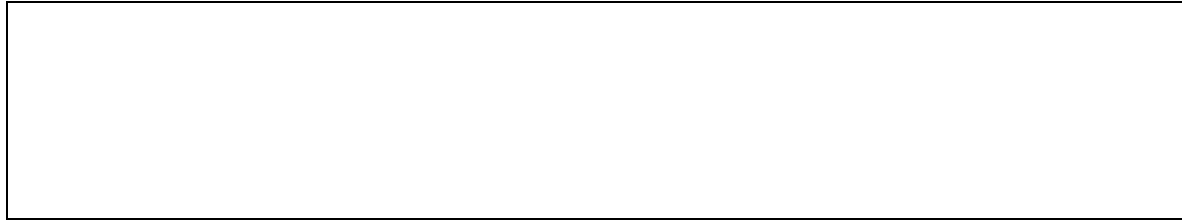
**CUESTIÓN 2.** Adjunte una captura de la pantalla del osciloscopio con la señal de entrada al sistema, y explique de forma razonada los valores de tensión observados en las salidas del ADC.



Escogimos el valor de la señal de entrada de 0V DC (Se indica que se puede elegir cualquier valor entre 0V y 2V), mostrado en amarillo por el canal 1. Este valor en el voltaje provoca una salida de 0V en todas las salidas del ADC

**CUESTIÓN 3.** Adjunte una captura de la pantalla del osciloscopio con la señal utilizada  $\overline{WR}$ . Indique las escalas del osciloscopio y explique para qué sirve esta señal.

No hacer apartado (Indicado por el profesor)



- Por último, el ADC genera una señal,  $\overline{INTR}$  (terminal 5), que permite saber en qué momento se ha realizado la conversión de una muestra con éxito. En la Figura 5 se muestra cómo, transcurrido el tiempo de conversión a partir de un flanco de  $\overline{WR}$ , el ADC indica el fin de la conversión con un pulso a nivel bajo en  $\overline{INTR}$ . En caso de que el tiempo de conversión fuese mayor que el tiempo que  $\overline{WR}$  se mantiene a nivel alto y que el ADC no pudiera generar por tanto el código digital, desaparecerían los pulsos de  $\overline{INTR}$ . Obsérvese la señal  $\overline{INTR}$  y compruébese que se está realizando la conversión correctamente.

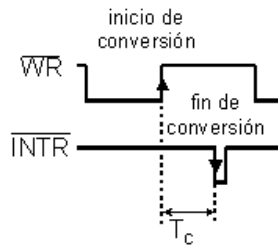
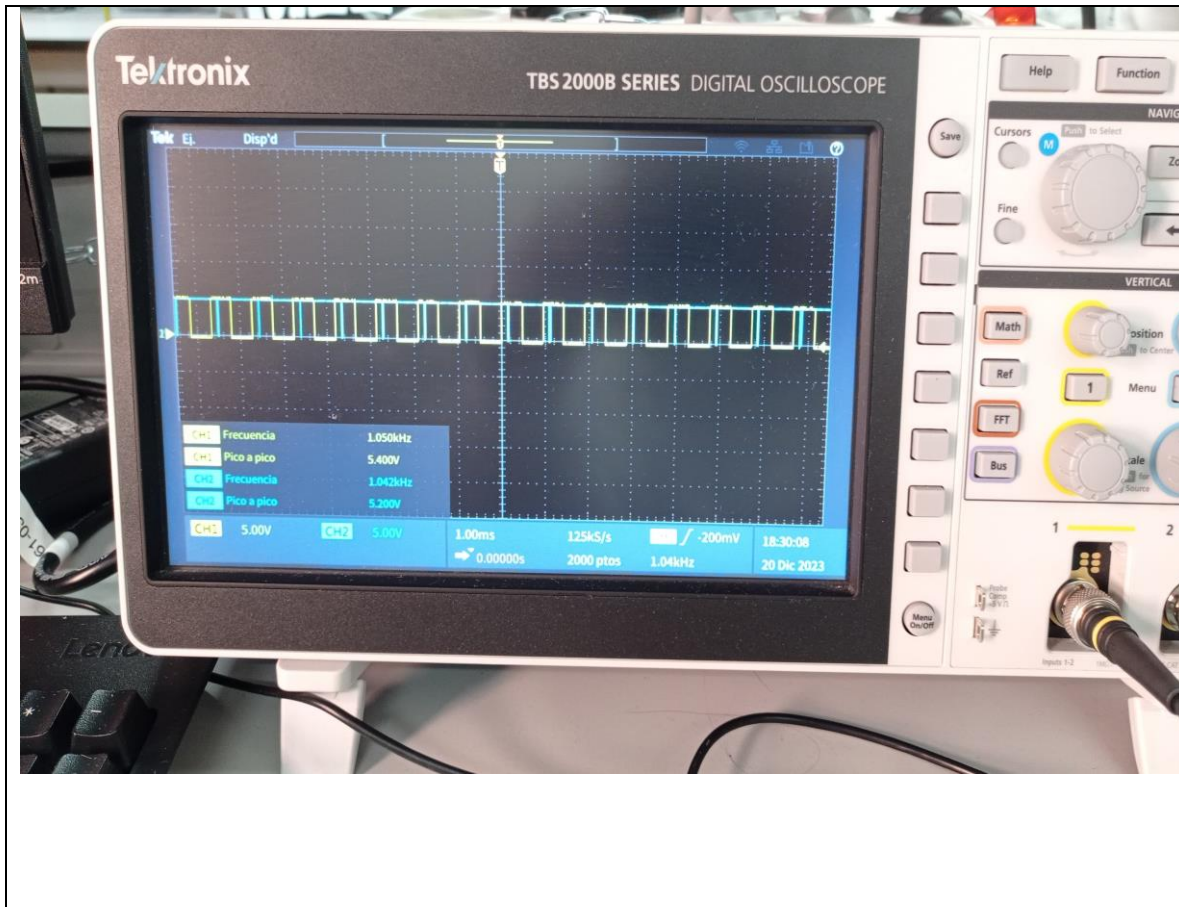


Figura 5. Señal  $\overline{INTR}$ .

**CUESTIÓN 4.** Adjunte una captura de la pantalla del osciloscopio con la señal  $\overline{INTR}$  indicando la escala del osciloscopio.





En la imagen aparecen la señal INTR y WR.

#### 4.2 Diseño, montaje y prueba del subsistema de conversión D/A

Llevamos a cabo el diseño, montaje y prueba del DAC como subsistema independiente de acuerdo al esquema mostrado en la Figura 6.

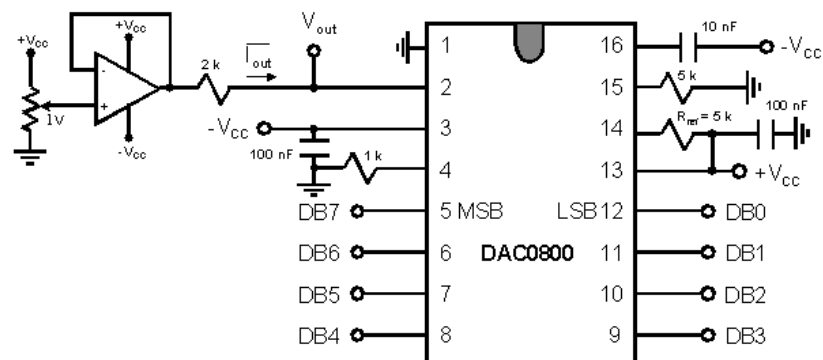


Figura 6. Montaje del DAC.

En primer lugar, es necesario destacar que este conversor proporciona la salida en corriente lo que hace necesario un montaje especial para recuperar, a partir de esa corriente, la tensión original.

Para diseñar este montaje es necesario conocer la relación entre la corriente de salida,  $\overline{I_{OUT}}$  (terminal 2), y el código digital que se presenta a la entrada del conversor. Esta relación, que podemos encontrar en las hojas de características, viene dada por la siguiente ecuación:

$$\overline{I_{out}} = \frac{I_{ref}}{2^n} (255 - v_{dc})$$

Siendo:

- $v_{dc}$ : valor decimal del código digital de entrada.  $v_{dc}(00001001) = 9$
- $\overline{I_{out}}$ : corriente de salida generada por el DAC.
- $I_{ref}$ : corriente de referencia que se fija mediante la colocación de una tensión y una resistencia  $R_{ref}$  adecuadas en cada uno de los terminales 14 y 15. Según se puede observar en las hojas características, responde a la ecuación:  $I_{ref} = V_{ref} / R_{ref}$ .

Concretando para el caso de esta práctica, se tendrá que diseñar un montaje que permita:

- Para  $v_{dc} = 0$ ,  $\overline{I_{out}} = I_{ref}$ , regenerar a la salida  $-1V$ , que es el nivel de tensión original que dio lugar al código cuya  $v_{dc} = 0$ .
- Para  $v_{dc} = 255$ ,  $\overline{I_{out}} = 0$ , regenerar a la salida  $1V$ , que es el nivel de tensión original que dio lugar al código cuya  $v_{dc} = 255$ .

El diseño de este montaje implica dos tareas claramente diferenciadas en las cuales el diseñador tiene varios grados de libertad:

- En primer lugar, se debe fijar el valor de  $I_{ref}$ .
- Una vez fijado éste, se debe implementar el circuito que genere las tensiones de salida a partir de la corriente  $\overline{I_{out}}$  generada por el DAC.

En cuanto a  $I_{ref}$ , en este caso se han fijado los valores de resistencias y tensiones adecuados para que el valor máximo de la corriente de salida sea 1mA como puede verse en la Figura 7.

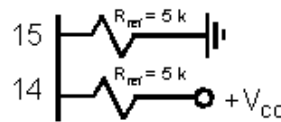


Figura 7. Generación de  $I_{ref}$ .

Los valores se han elegido atendiendo a la siguiente ecuación:

$$I_{ref} = \frac{V_{ref}}{R_{ref}} = \frac{V_{CC}}{R_{ref}} = \frac{5V}{5K} = 1mA$$

Fijada  $I_{ref}$ , el segundo paso es la conversión de  $\overline{I_{out}}$  en la tensión adecuada. El objetivo del diseño que hay que colocar en el terminal de salida 2 es, como ya se ha explicado anteriormente, obtener una tensión de -1V cuando  $v_{dc} = 0 \Rightarrow \overline{I_{out}} = I_{ref}$  y una tensión de 1V cuando  $v_{dc} = 255 \Rightarrow \overline{I_{out}} = 0$ . De esta forma, se estará regenerando la señal original. La solución final, que puede verse en la Figura 8, pasa por colocar una resistencia de  $2K\Omega$  en el terminal de salida 2 y una tensión fija de 1V en esta resistencia (puesto que en el laboratorio no se dispondrá de fuentes de alimentación suficientes para la generación de esta tensión, se ha optado por utilizar un operacional en configuración de seguidor con un potenciómetro, que a partir de la tensión de alimentación genere 1V de acuerdo a la Figura 3).

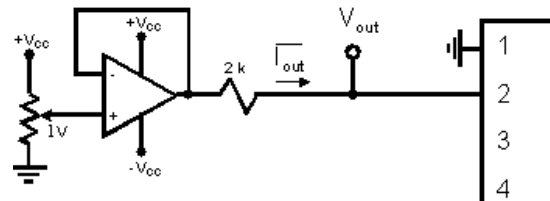


Figura 8. Obtención de la tensión de salida.

De esta forma, la tensión de salida, que se toma del terminal 2 es:

$$V_{out} = 1 \cdot V - \overline{I_{out}} \cdot 2K\Omega$$

**CUESTIÓN 5.** Monte el circuito de la Figura 6 con los datos de los componentes indicados en el diseño explicado anteriormente. Introduzca en las entradas digitales del conversor los valores indicados en la tabla y compruebe que los valores de la tensión de salida se corresponden con los valores esperados calculados de forma teórica.

DB[7..0]	$V_{out}$ esperado	$V_{out}$ medido
00000000	-1 V	-1 V
01000000	-0.4 V	-0.4 V
10000000	0 V	0 V
11000000	0.6 V	0.6 V
11111111	1 V	1 V

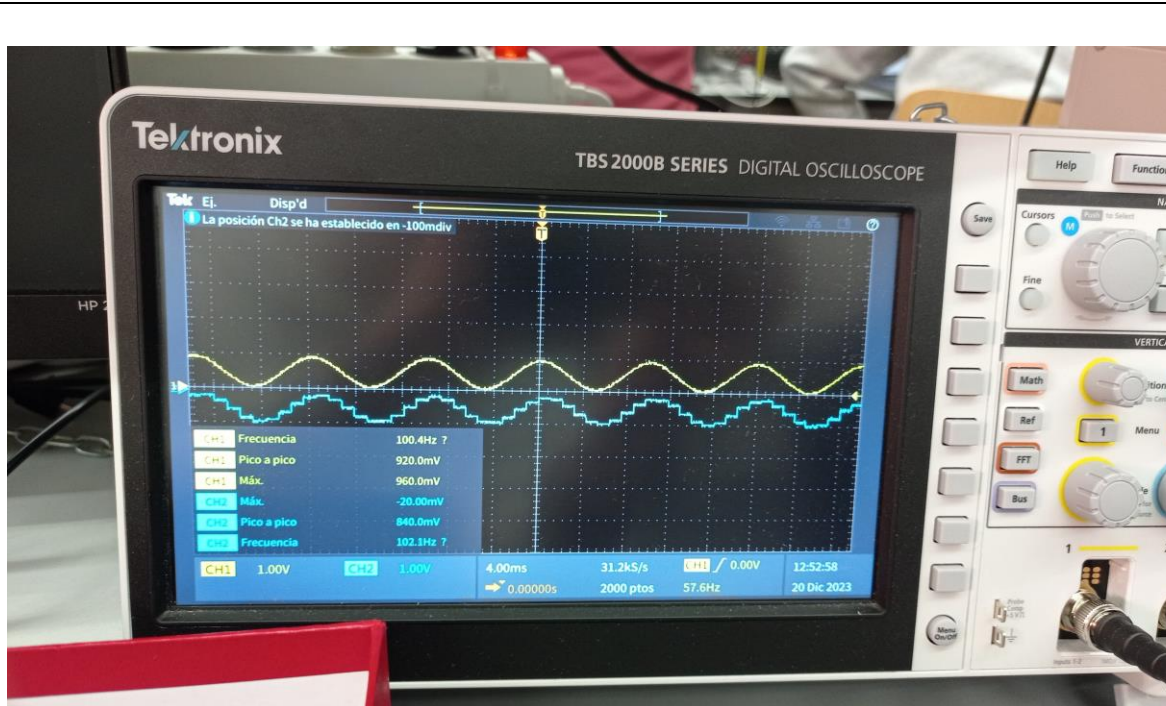
#### 4.3 Montaje y prueba del sistema completo de conversión A/D - D/A

Para completar el montaje del sistema completo y probar su funcionamiento, realice las siguientes tareas:

- Conecte las salidas digitales del subsistema de conversión A/D a las entradas del subsistema D/A.

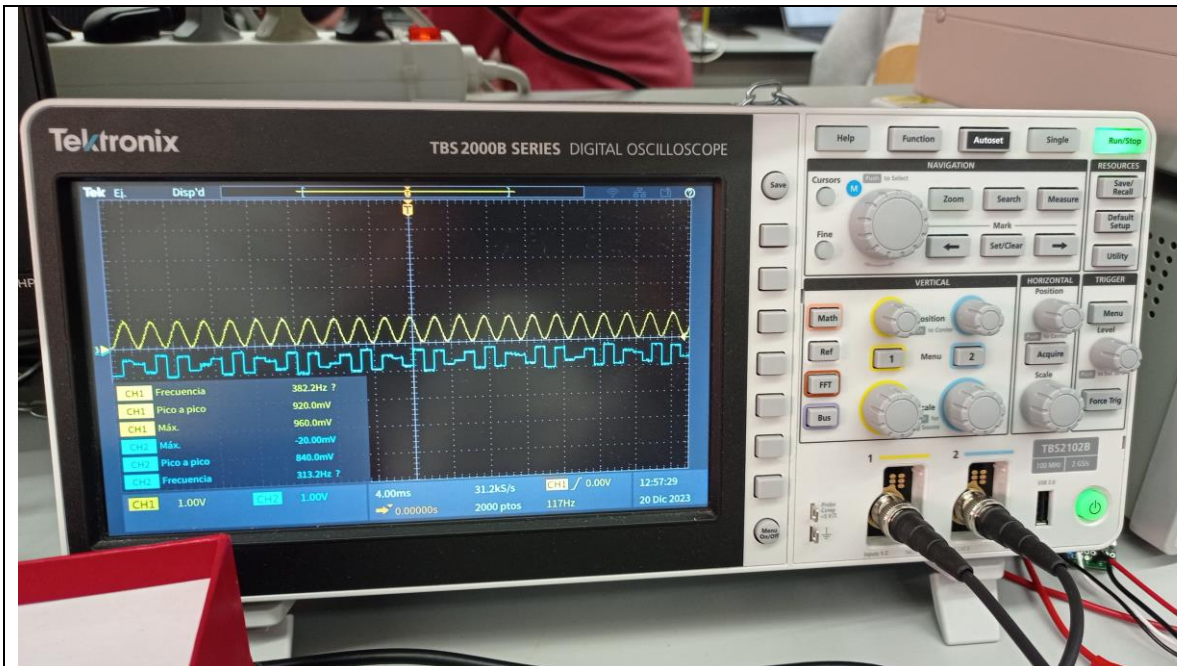
- b) Introduzca una señal de entrada con amplitud = 0.8V, sin offset (Ve del desplazador) y frecuencia = 100Hz. Manteniendo una señal  $\overline{WR}$  igual a la utilizada en las pruebas anteriores y observando la señal  $\overline{INTR}$  compruébese que la conversión se realiza correctamente.

**CUESTIÓN 6.** Observe simultáneamente en el osciloscopio, las señales de entrada y salida del sistema completo y adjunte una captura de la pantalla del osciloscopio con las señales, indicando la escala de los canales del osciloscopio. ¿Son iguales? Explique sus resultados.



Es la misma señal pero producida de forma discreta y desplazada por -1V. Esto ocurre debido a que el DAC tiene una resolución definida por "q" saltos de tensión que puede producir el conversor digital a analógico.

**CUESTIÓN 7.** Con la frecuencia de  $\overline{WR}$  situada en 1kHz, elévese la frecuencia de la señal de entrada hasta ver que la señal de salida no se reconstruye convenientemente. Adjunte una captura del osciloscopio con las señales de entrada y salida ¿A qué frecuencia se produce dicho efecto? Justifique la respuesta comprobando el teorema de Nyquist.



Se comprueba el teorema del muestreo de Nyquist ya que el DAC deja de reproducir la señal de entrada a partir de aproximadamente 200Hz, que es el doble de la frecuencia máxima presente en la señal (100Hz)

#### 4.4 PARTE OPCIONAL. Inclusión del circuito de muestreo y retención. Montaje y prueba del sistema completo de conversión A/D - D/A

Cuando se aplica una señal no CC a la entrada de un ADC, ésta cambia de amplitud continuamente. Sin embargo, el proceso de conversión analógico-digital toma un intervalo de tiempo finito, por lo que a lo largo de ese tiempo, la amplitud de la entrada del ADC cambiará. Es esta desviación de la amplitud lo que resulta en un error potencialmente grave. La prevención de la desviación de la amplitud consiste en muestrear la señal y mantener una amplitud fija mientras se realiza la conversión. Esto se logra usando un circuito de muestreo y retención (S&H) como el LF398 cuyo esquema se muestra en la Figura 9:

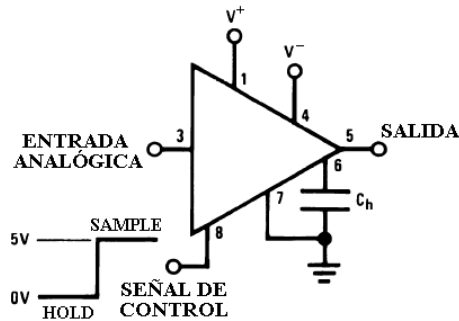


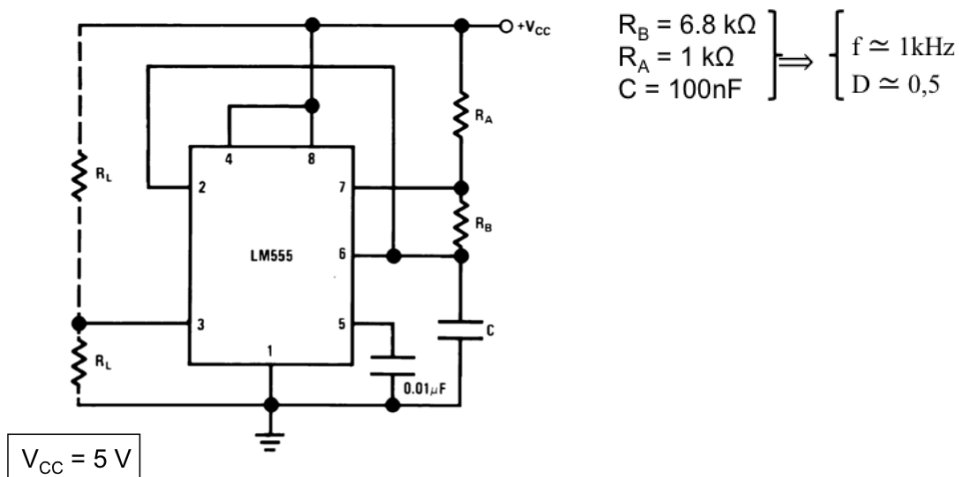
Figura 9. Montaje del circuito de muestreo y retención.

El funcionamiento simplificado de este circuito es el siguiente: durante el tiempo en que la señal de control está a nivel alto, el circuito toma el valor de la señal de entrada y lo pone a su salida cargando el condensador  $C_h$  y cuando la señal de control está a nivel bajo, el circuito independiza la salida de la entrada, dejando que sea el condensador quien mantenga la tensión de salida estable, es decir, retenga la muestra.

Antes de proseguir con la descripción del montaje, es necesario recordar algunos aspectos teóricos importantes de este bloque. En primer lugar, el período de la señal de muestreo que controla este proceso y se introduce por el terminal 8 debe respetar que:

$$f_{\text{muestreo}} > 2 \cdot f_{\text{señal}}$$

El circuito para la generación de la señal de control del S&H se distribuye durante el laboratorio y se ha configurado como sigue:



El segundo aspecto importante es la elección del valor de dicho condensador. Cuanto mayor sea su valor, más estable será la tensión a su salida. Debe cumplirse que la variación de esta tensión durante el tiempo en el que el ADC está realizando la conversión,  $T_c$ , sea siempre menor que  $\pm \frac{1}{2} \cdot \text{LSB}$ , para que la conversión sea correcta. Expresado matemáticamente:

$$\Delta V_C|_{T_c} \leq \frac{1}{2} LSB = \frac{1}{2} \frac{2V_P}{2^n}$$

donde  $V_P$  es la tensión de pico de la señal analógica de entrada y  $n$  es el número de bits del ADC, es decir, del código digital. El valor de  $\Delta V_C|_{T_c}$  viene dado por:

$$\Delta V_C = T_c \cdot \frac{dV_C}{dt}$$

Sustituyendo este resultado en la desigualdad anterior se puede despejar el valor mínimo de  $\frac{dV_C}{dt}$ .

Para conocer el valor de  $C$  se debe recurrir a las curvas que facilita el fabricante en las hojas de características, en una de las cuales, mostrada en la Figura 10, se relaciona la caída de tensión por unidad de tiempo,  $\frac{dV_C}{dt}$ , con el valor de  $C$ .

CAÍDA DE TENSIÓN EN LA SALIDA

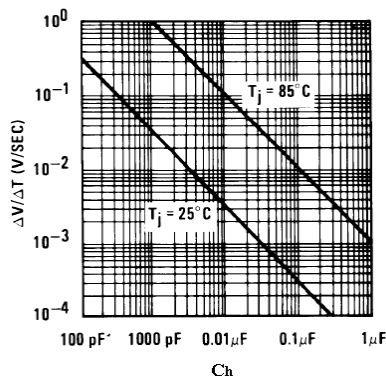


Figura 10. Valor de  $\frac{dV_C}{dt}$  en función de  $C$ .

TIEMPO DE ADQUISICIÓN

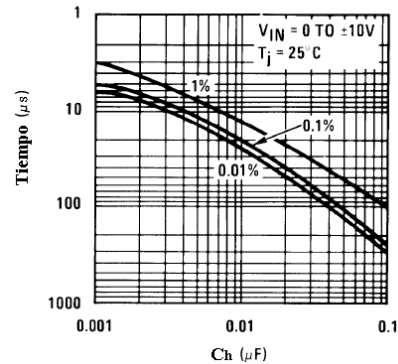


Figura 11. Relación entre el tiempo de adquisición y el valor de  $C$ .

Sin embargo, esta condición no es la única que se debe tener en cuenta, puesto que existe un valor máximo que también debe ser respetado. La razón cualitativa que explica este valor máximo es que el condensador debe cargarse durante los períodos de muestreo con suficiente rapidez para que, al final de dichos períodos, el valor que quede retenido en la salida sea realmente el valor de la señal de entrada. Cuanto mayor sea el condensador, mayor será el tiempo necesario para cargarlo. Este tiempo que necesita el circuito de muestreo y retención para obtener una muestra se denomina *tiempo de adquisición*,  $t_{adq}$ , y es, aproximadamente, proporcional al valor del condensador. Para conocer la relación exacta entre el valor de  $C$  y  $t_{adq}$  es necesario consultar, de nuevo, una de las curvas de la hoja de características del S&H que se extrae en la Figura 11.

En la Figura 12, se muestra el proceso completo de muestreo y retención en detalle. Haciendo un breve resumen de todo lo expuesto anteriormente, puede observarse en dicha figura cómo, durante los niveles altos de la señal de control del circuito de muestreo y retención, este circuito está



capturando el valor de una muestra de la señal de entrada. Como mínimo, la señal de control deberá estar a nivel alto el tiempo de adquisición,  $t_{\text{adq}}$ , y el condensador deberá ser lo menor posible para reducir este tiempo al máximo.

En cuanto a los niveles bajos de la señal de control, en ellos el circuito de muestreo y retención deberá mantener el valor de la muestra con una variación menor que la explicada anteriormente, para lo que el condensador deberá ser suficientemente grande (véanse ecuaciones anteriores). Por último, este tiempo a nivel bajo está limitado por el valor del tiempo de conversión del ADC,  $T_C$ : el tiempo que la señal de control se mantiene a nivel bajo debe ser mayor que  $T_C$ .

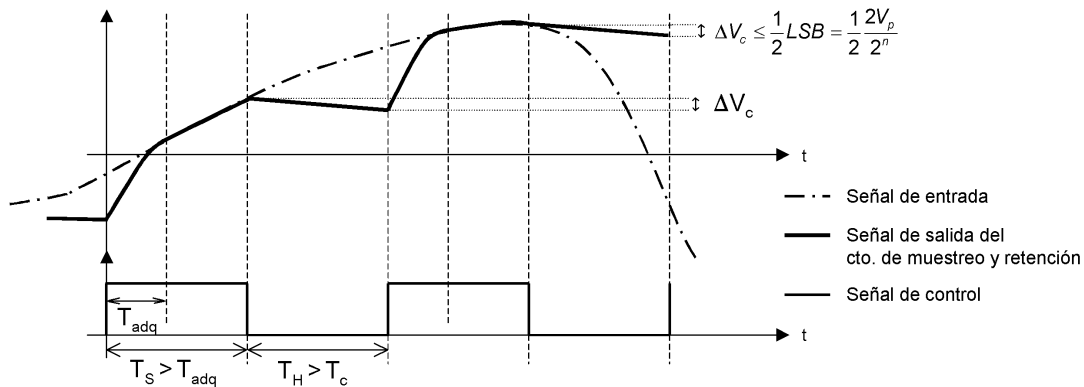


Figura 12. Proceso de muestreo y retención.

El procedimiento para estimar el valor del condensador debe ser, por tanto, el que sigue: en primer lugar, se debe conocer al valor de  $T_C$ . Con ello se tiene el tiempo mínimo que la señal de control debe estar a nivel bajo y se puede calcular el valor mínimo del condensador que mantiene la tensión de salida suficientemente estable usando las ecuaciones anteriores y la Figura 10. A partir de este resultado y haciendo uso de la Figura 11 se puede calcular el valor de  $t_{\text{adq}}$ , y el valor definitivo de  $C$ . Conocidos  $T_C$  y  $t_{\text{adq}}$ , se deduce la frecuencia máxima de la frecuencia de la señal de muestreo:

$$f_{\text{muestreo}} < \frac{1}{T_C + t_{\text{adq}}}$$

Cabe destacar una puntualización importante respecto a esta señal de control: puesto que  $T_C$ , tiempo mínimo a nivel bajo de la señal de control, y  $t_{\text{adq}}$ , tiempo mínimo a nivel alto, no son iguales, conviene generar una señal de control con un ciclo de trabajo distinto del 50%, y a este tipo de señal corresponde la expresión de la frecuencia máxima. Sin embargo, en este diseño se generará la señal de control con el circuito LM555/NE555, en modo a estable, que genera una señal con un ciclo de trabajo del 50% y 1kHz de frecuencia. El período de la señal deberá ser como mínimo el doble del tiempo más restrictivo entre  $T_C$  y  $t_{\text{adq}}$ , es decir, el doble del mayor de los dos.

En el caso concreto de esta práctica, de acuerdo a las ecuaciones anteriores, se elegirán los siguientes valores:

- $C = 100 \text{ nF}$
- Frecuencia de la señal de muestreo = 1kHz.



**CUESTIÓN 8.** Justifique que los valores de C y f escogidos satisfacen los requisitos teóricos aplicados.

Para el montaje de esta parte opcional, introduzca la señal de entrada desplazada en el circuito de muestreo y retención (LF398). La salida del S&H (pin 5 del S&H) es una forma de onda muestreada que será la entrada al ADC (pin 6 del ADC). Usaremos el LM555 en su configuración astable para generar la señal de control del S&H (pin 8). Observando el cronograma del ADC (véanse las hojas de características), se comprueba que el proceso de conversión tiene lugar a partir del momento en el que se produce un flanco de subida en la señal  $\overline{WR}$ . El diseño debe hacer coincidir los períodos de retención de la señal de control del circuito de muestreo y retención con los períodos en los que la señal  $\overline{WR}$  indique al ADC que debe convertir una muestra. En otras palabras, los niveles bajos de la señal de control del S&H deben producirse al mismo tiempo que los niveles altos de  $\overline{WR}$ . Es decir, la señal  $\overline{WR}$  es la inversa de la que controla el proceso de muestreo y retención.

**CUESTIÓN 9.** Introdúzcase el circuito de muestreo y retención en el sistema ADC montado con anterioridad. Observe simultáneamente en el osciloscopio, las señales de entrada y salida y adjunte una captura de la pantalla del osciloscopio con las señales, indicando la escala de los canales del osciloscopio. ¿Visualiza alguna diferencia con respecto a las capturas efectuadas como respuesta a la CUESTIÓN 6? Explique sus resultados.

