

UNIVERSIDAD COMPLUTENSE DE MADRID
FACULTAD DE CIENCIAS FÍSICAS

DEPARTAMENTO DE ESTRUCTURA DE LA MATERIA, FÍSICA TÉRMICA Y
ELECTRÓNICA



TRABAJO DE FIN DE GRADO

Código de TFG: [Código TFG]

Sistema de comunicaciones inalámbricas

Wireless communication system

Supervisor/es: Javier Olea Ariza

Jose Luis Gutiérrez Moreno

Grado en Ingeniería Electrónica de Comunicaciones

Curso académico 2023-2024

Convocatoria XXXX

[Título extendido del TFG (si procede)]

Resumen:

Abstract:

Nota: el título extendido (si procede), el resumen y el abstract deben estar en una misma página y su extensión no debe superar una página. Tamaño mínimo 11pto.

Extensión máxima 50 páginas sin contar portada, contraportada y declaración responsable (sí se incluye índice, introducción, conclusiones y bibliografía)



UNIVERSIDAD
COMPLUTENSE
MADRID

Declaración Responsable sobre Autoría y Uso Ético de
Herramientas de Inteligencia Artificial (IA)

Yo, **APELLIDOS Y NOMBRE**

Con DNI/NIE/PASAPORTE:

declaro de manera responsable que el/la presente:

- Trabajo de Fin de Grado (TFG)
- Trabajo de Fin de Máster (TFM)
- Tesis Doctoral

Titulado/a

CAMPO PARA TÍTULO

es el resultado de mi trabajo intelectual personal y creativo, y ha sido elaborado de acuerdo con los principios éticos y las normas de integridad vigentes en la comunidad académica y, más específicamente, en la Universidad Complutense de Madrid.

Soy, pues, autor del material aquí incluido y, cuando no ha sido así y he tomado el material de otra fuente, lo he citado o bien he declarado su procedencia de forma clara -incluidas, en su caso, herramientas de inteligencia artificial-. Las ideas y aportaciones principales incluidas en este trabajo, y que acreditan la adquisición de competencias, son mías y no proceden de otras fuentes o han sido reescritas usando material de otras fuentes.

Asimismo, aseguro que los datos y recursos utilizados son legítimos, verificables y han sido obtenidos de fuentes confiables y autorizadas. Además, he tomado medidas para garantizar la confidencialidad y privacidad de los datos utilizados, evitando cualquier tipo de sesgo o discriminación injusta en el tratamiento de la información.

En Madrid a **FECHA**

FIRMA

Índice

1. Introducción	4
1.1. Objetivos y motivación	4
2. Marco Teórico	4
2.1. Sistemas de comunicación y Transmisión ASK	4
2.2. Transistores y sus parámetros característicos	6
2.3. Realimentación	8
2.4. Sistemas integrados: Atmega328p	10
3. Desarrollo	13
3.1. Parte analógica	13
3.1.1. Diseño del "front-end" del TRANSMISOR de RF analógico	14
3.1.2. Diseño del "front-end" del RECEPTOR de RF analógico	20
3.2. Parte digital	24
3.2.1. Diseño del demodulador digital para la recepción	25
3.2.2. Diseño del codificador digital para la transmisión	28
4. Cronología del proyecto y diagrama de Grant	31
4.1. transmisor FM a varactor	31
4.2. receptor superheterodino FM	32
4.3. Máquina de estados digital	33
4.4. Alternativa viable: conversión directa	33
4.5. Diagrama de Grant	34
5. Resultados y conclusiones	34
6. Bibliografía	35
7. Indice de figuras	35

1. Introducción

explicacion del problema (calefactor) aplicacion, diagrama de bloques general, explicacion de funciones Este proyecto se trata de un sistema de comunicaciones de radio digital que pretende ser un circuito de control inalámbrico para aplicaciones generales. La base del proyecto es la realización al mayor bajo nivel posible, es decir, desarrollar los dispositivos desde cero. Se trata de dar solución a un problema real, en este caso la reparación de un sistema calefactor, mediante un diseño propio de un sistema de comunicaciones elaborado desde cero. El sistema de comunicaciones se compone de emisor y receptor. Estos poseen una estructura similar. Una etapa analógica que trabaja con las señales de radio y una etapa digital, basada en un microcontrolador programable. Este microcontrolador implementa la codificación del sistema y trabaja con las señales en banda base.

1.1. Objetivos y motivación

objetivos: comprension de los conceptos teoricos, diseno propio basado en los bloques teoricos, sólido y funcional motivacion: interes por las bases y las comunicaciones inalambricas. Ensamblaje de todos los conocimientos de las diferentes asignaturas de la carrera. Aplicación real de la teoría. Acercamiento a la realidad.

La elección de este proyecto me llama la atención tanto por mi interés en las bases y las comunicaciones inalámbricas. Además por la libertad sujeta al proyecto, permite realizar un proyecto creativo y personal, en este caso resolviendo un problema real. Los objetivos del proyecto son los siguientes:

1. Recorrer enteramente el proceso de diseño de un sistema de comunicaciones de radiofrecuencia. Al más bajo nivel posible.
2. Resolución de los problemas adjuntos al proceso de diseño.
3. Poner en práctica todos los conceptos teóricos adquiridos posibles.
4. Relacionar los diferentes campos estudiados en el grado.
5. Realización de una aplicación real y funcional.

2. Marco Teórico

2.1. Sistemas de comunicación y Transmisión ASK

teoria FM, en fsk, demodulacion coherente, ventajas e inconvenientes frente a otras modulaciones, por que de la elección de frecuencia 4 MHz y su frecuencia intermedia
características selectividad, fiabilidad etc libro 1970 radio amateur pag 94
modulacion ask

Una comunicación inalámbrica tiene como objetivo el intercambio de información a través de un medio de propagación no guiado. En este trabajo, se realizará la comunicación inalámbrica por medio de radiofrecuencia. Esta técnica consiste en acoplar la señal eléctrica que contiene la información a transmitir, a una señal de alta frecuencia. La señal de información se denomina moduladora, mientras que la señal de radiofrecuencia es llamada portadora. La señal eléctrica de información se denomina moduladora y la acción de separar la señal portadora de la moduladora se denomina demodulación.

Los elementos que realizan la comunicación son emisor y receptor. La calidad de estos elementos viene definida por las siguientes características:

Receptor: Las características principales que definen a un buen receptor son: **Sensibilidad**, propiedad de recibir señales débiles; **Selectividad**: Propiedad de distinguir entre señales muy próximas en frecuencia, y **Estabilidad**: Propiedad de mantener de manera fiable una comunicación a lo largo del tiempo.

Cabe mencionar que, por la forma de diseño, los receptores se pueden clasificar en función del tipo de detección utilizada: regenerativos y super-regenerativos, que normalmente utilizan una conversión directa, o heterodinos y super-heterodinos, los cuales convierten la señal de radiofrecuencia recibida en una señal de frecuencia intermedia, favoreciendo el grado de selectividad principalmente. En general, los receptores super-heterodinos presentan mejores prestaciones a costa de una complejidad y coste mayor.

Transmisor: La característica principal que define a un buen transmisor es la eficiencia de radiación. Esta medida es la relación entre la potencia transmitida a la antena y la potencia total consumida por el mismo. Idealmente este parámetro es: $\eta = \frac{P_{rad}}{P_{in}} = 1$. La potencia radiada, en esencia, es la potencia que se emite al canal de comunicación. Si se mantiene la eficiencia de radiación, y se aumenta la potencia del transmisor, se consigue un aumento lineal de la potencia radiada. Como resultado, se hace llegar la comunicación a mayor distancia.

También existen otros parámetros que se pueden considerar heredados, ya que son más propios de las antenas, como por ejemplo, la directividad. La mejora de estos parámetros es sustancial a la hora de diseñar un buen receptor.

Modulación ASK La modulación ASK es un tipo de modulación digital que se basa en la transmisión de una señal digital en función de la emisión conmutada de una señal portadora, donde la recepción de esta señal representa un símbolo lógico, mientras que su ausencia representa otro. El esquema de la comunicación ASK se representa en la figura 1.

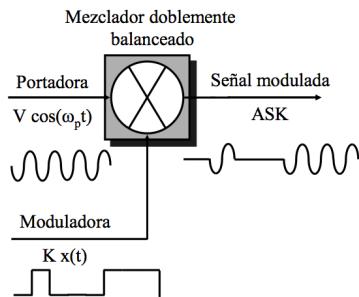


Figura 1: Esquema de una posible modulación ASK

2.2. Transistores y sus parámetros característicos

Un transistor es un dispositivo semiconductor de tres terminales, entrada, salida y terminal común, capaz de amplificar la corriente que circula a través de él. Las numerosas técnicas de fabricación de estos dispositivos, dan lugar a los distintos tipos de transistores que existen: BJT, MOSFET, JFET, entre otros. En este trabajo se utilizarán transistores bipolares BJT, tanto NPN como PNP, para la realización del enlace de radio frecuencia, mientras que, el microcontrolador utilizado en el apartado digital, utiliza principalmente transistores de efecto campo MOSFET.

Los transistores BJT logran la amplificación gracias a dos uniones p-n interconectadas entre sí, donde, un pequeño flujo de corriente de entrada, regula un gran flujo de corriente de salida. Por otro lado, en un transistor MOSFET la amplificación se logra por medio de la regulación del estrechamiento del canal por donde circula la corriente, aplicando una tensión inversa.

Polarización: Para lograr que un transistor realice la función de amplificación, es necesario proporcionar al dispositivo, las tensiones de trabajo adecuadas para que funcione de forma deseada. Esta acción es conocida como polarización del transistor. En función de la polarización aplicada, el transistor puede trabajar de diferentes formas, algunas de las cuales son: activa directa, donde se trabaja en amplificación de señales; o corte y saturación, que son utilizadas principalmente en circuitos digitales. Existen numerosas técnicas para lograr la polarización deseada, estas serán expuestas en los apartados de desarrollo correspondientes.

Modelo de gran señal del transistor bipolar: Existen numerosos modelos matemáticos para definir el comportamiento de un transistor, en este trabajo se utilizará el modelo SPICE del transistor caracterizado por el siguiente modelo circuital y sus ecuaciones características:

$$\begin{aligned} I_E &= \frac{I_{be}}{B_F} + I_{be} - I_{bc} & I_{be} &= I_s \cdot \left(e^{\left(\frac{V_{BE}}{N_T \cdot V_t} \right)} - 1 \right) \\ I_C &= I_{be} - \frac{I_{bc}}{B_R} - I_{bc} & I_{bc} &= I_s \cdot \left(e^{\left(\frac{V_{BC}}{N_T \cdot V_t} \right)} - 1 \right) \\ I_B &= \frac{I_{be}}{B_F} + \frac{I_{bc}}{B_R} \end{aligned}$$

Considerando una polarización en activa directa, donde la amplificación de señales se realiza de manera óptima, las ecuaciones quedan simplificadas al despreciar I_{bc} , ya que $V_{CB} < 0$. El resultado de las ecuaciones, a las cuales se aplica el efecto Early, que no se puede considerar despreciable, queda de la siguiente forma.

$$I_C = I_s \cdot \left(e^{\left(\frac{V_{BE}}{N_T \cdot V_t} \right)} - 1 \right) \cdot \left(1 + \frac{V_{CE}}{V_{AF}} \right) \quad (1)$$

$$I_B = \frac{I_s}{B_F} \cdot \left(e^{\left(\frac{V_{BE}}{N_T \cdot V_t} \right)} - 1 \right) \quad (2)$$

Pequeña señal: Como se ha mencionado anteriormente, si se dispone de un transistor que trabaja en activa directa, se consigue la amplificación de las señales. Debido a que el transistor es un dispositivo no lineal, la señal introducida debe ser suficientemente pequeña para poder aproximar al dispositivo como un elemento lineal. Por tanto, a la hora de trabajar con pequeña señal, se modelará al transistor como un cuadripolo lineal de dos puertos. En función de las variables de entrada o salida que se elijan, el modelo circuital del cuadripolo variará. El modelo principal con el que se trabajará será el de parámetros híbridos, el cual, se caracteriza por usar como variables

independientes i_1, v_2 y dependientes i_2, v_1 . Cabe mencionar la existencia de otras configuraciones de parámetros característicos como son el modelo de admitancias, cuyas variables independientes son v_1, v_2 , o el modelo de impedancias, cuyas variables independientes son i_1, i_2 . El modelo general del cuadripolo lineal así como sus parámetros de entrada y salida se muestran en la figura 2 a continuación:

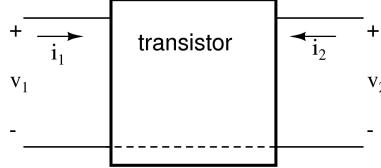


Figura 2: Representación de un transistor como cuadripolo lineal.

En general, las ecuaciones que describen el conjunto de los modelos son:

$$dY_1 = \frac{\partial f_1}{\partial X_1} \cdot \partial X_1 + \frac{\partial f_1}{\partial X_2} \cdot \partial X_2 \quad (3)$$

$$dY_2 = \frac{\partial f_2}{\partial X_1} \cdot \partial X_1 + \frac{\partial f_2}{\partial X_2} \cdot \partial X_2 \quad (4)$$

Donde X_1 y X_2 corresponden a las variables independientes y Y_1 e Y_2 a las variables dependientes

Las ecuaciones que definen al modelo de parámetros híbridos en concreto son por tanto:

$$\begin{aligned} v_1 &= h_{11} \cdot i_1 + h_{12} \cdot v_2 \\ i_2 &= h_{21} \cdot i_1 + h_{22} \cdot v_2 \end{aligned}$$

El valor de los parámetros h_{nm} se deriva de las ecuaciones del modelo de gran señal, simplificadas para una polarización activa directa. Al derivar dichas ecuaciones se obtiene un modelo de parámetros en admitancias, fácilmente transformable al modelo de parámetros híbridos. Además, en función de la configuración del terminal común del transistor, el valor de los parámetros característicos cambiará, en este caso, se supondrá una configuración en emisor común. Los valores de los parámetros para las distintas configuraciones pueden ser deducidos utilizando relaciones matemáticas sencillas. A continuación se expone la obtención de los valores de los parámetros híbridos, para la configuración de emisor común, a partir de las ecuaciones de gran señal, ecuaciones 1 y 2.

$$\begin{aligned} \begin{cases} i_b = \frac{\partial I_B}{\partial V_{BE}} \cdot v_{be} + \frac{\partial I_B}{\partial V_{CE}} \cdot v_{ce} \\ i_c = \frac{\partial I_C}{\partial V_{BE}} \cdot v_{be} + \frac{\partial I_C}{\partial V_{CE}} \cdot v_{ce} \end{cases} &\Rightarrow \begin{cases} i_b = y_{11} \cdot v_{be} + y_{12} \cdot v_{ce} \\ i_c = y_{21} \cdot v_{be} + y_{22} \cdot v_{ce} \end{cases} \\ \begin{cases} v_{be} = h_{ie} \cdot i_b + h_{re} \cdot v_{ce} \\ i_c = h_{fe} \cdot i_b + h_{oe} \cdot v_{ce} \end{cases} &\Rightarrow \begin{cases} v_{be} = \frac{1}{y_{11}} \cdot i_b + \left(\frac{-y_{12}}{y_{11}} \right) \cdot v_{ce} \\ i_c = \frac{y_{21}}{y_{11}} \cdot i_b + \left(y_{22} - \frac{y_{12} \cdot y_{21}}{y_{11}} \right) \cdot v_{ce} \end{cases} \end{aligned} \quad (5)$$

Teniendo en cuenta las relaciones obtenidas, se puede establecer la relación de los parámetros híbridos con su valor numérico como se muestra a continuación.

$$h_{ie} = \frac{1}{y_{11}} = \frac{N_F \cdot V_t}{I_B} \quad h_{re} = \frac{-y_{12}}{y_{11}} \approx 0 \quad (5)$$

$$h_{fe} = \frac{y_{21}}{y_{11}} = \frac{I_C}{I_B} \quad h_{oe} = y_{22} - \frac{y_{12} \cdot y_{21}}{y_{11}} \approx \frac{I_C}{V_{AF}} \quad (6)$$

Seguidamente, se establecen las relaciones de los parámetros híbridos en emisor común para las demás configuraciones de terminal común. Las relaciones se obtienen de manera similar a las anteriores dadas:

$$\begin{array}{ll} h_{ic} = h_{ie} & h_{rc} = 1 - h_{re} \\ h_{fc} = -(1 + h_{fe}) & h_{oc} = h_{oe} \end{array} \quad \left| \begin{array}{ll} h_{ib} = \frac{h_{ie}}{1+h_{fe}} & h_{rb} = \frac{h_{ie} \cdot h_{oe}}{1+h_{fe}} - h_{re} \\ h_{fb} = -\frac{h_{fe}}{1+h_{fe}} & h_{ob} = \frac{h_{oe}}{1+h_{fe}} \end{array} \right. \quad (7)$$

Por último, cabe mencionar que los transistores por su construcción física poseen elementos denominados parásitos. Estos elementos se modelan, de manera circuital principalmente como condensadores, y pueden influir en los valores de las impedancias de entrada, salida o realimentaciones. Estos efectos se incluirán cuando sean necesarios en el desarrollo del proyecto.

2.3. Realimentación

libro Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, Robert G. Meyer - Analysis and Design of Analog Integrated Circuits (2001, Wiley) capítulo feedback revista todoelectronica fasciculo segundo.

La realimentación es un concepto ligado a la amplificación. La realimentación, en los amplificadores, consiste en tomar una muestra de tensión o de corriente a la salida y reenviarla a la entrada a través de una red apropiada. gracias a la realimentación se consigue estabilizar la ganancia, la resistencia de entrada, la resistencia de salida y el ancho de banda, aunque el fin más importante es la estabilización de la ganancia.

En la figura 3 se muestra el esquema general de un sistema realimentado. Donde A se corresponde con la ganancia en lazo abierto del amplificador, y f la red de realimentación correspondiente. Dependiendo de la naturaleza del amplificador y del tipo de realimentación, la ganancia en lazo abierto puede ser de tensión, corriente, transimpedancia o transconductancia.

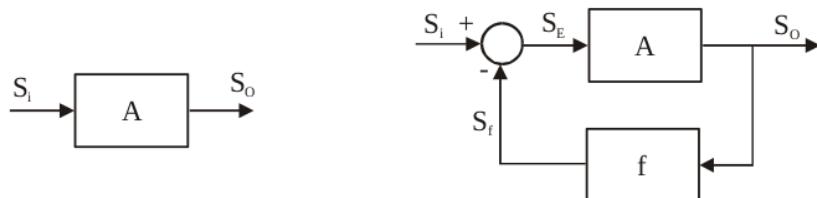


Figura 3: a) Amplificador sin realimentación, b) Sistema realimentado

Se calculan las ganancias propias de cada sistema en la figura 3. La nomenclatura S_n se refiere a una señal que bien puede ser de corriente o tensión. Por un lado, la ganancia en lazo abierto del amplificador se calcula como:

$$A = \frac{S_o}{S_i}$$

Por otro lado, se calcula la ganancia en lazo cerrado A_f :

$$\begin{cases} S_f = S_o \cdot f \\ S_E = S_i - S_f \\ S_o = S_E \cdot A \end{cases} \Rightarrow \begin{aligned} \frac{S_o}{A} &= S_i - S_o \cdot f \\ S_i &= S_o \cdot \left(\frac{1}{A} + f \right) = S_o \cdot \frac{1}{A} \cdot (1 + f \cdot A) \\ A_f &= \frac{S_o}{S_i} = \frac{A}{(1+f \cdot A)} \end{aligned}$$

Se señalan las ecuaciones que serán de utilidad:

$$A_f = \frac{S_o}{S_i} = \frac{A}{(1 + f \cdot A)} \quad (8)$$

$$A = \frac{S_o}{S_E} \quad (9)$$

$$A_l = A \cdot f \quad (10)$$

Es útil definir el parámetro ganancia en lazo abierto, $A_l = A \cdot f$, para poder analizar el comportamiento del sistema en lazo cerrado cuando A_l varía. Esto se conoce como el criterio de Barkhausen, el cual se expone considerando el criterio de signos de la ecuación 8:

- **Si $A_l \gg 1$:** en este caso se obtiene una ganancia total del sistema $A_f = \frac{1}{f}$. Esta realimentación se conoce como negativa.
- **Si $A_l \ll 0$:** en este caso se tiene que $S_E = S_i + S_f$, es decir, las señales se encuentran en fase y se suman en lugar de restarse. Esta suma es amplificada una y otra vez dando lugar a un sistema inestable. Esta realimentación se conoce como positiva.
- **Si $A_l = -1$:** en este caso se el sistema se encuentra en la frontera entre la estabilidad y la inestabilidad. Por lo que idealmente, el sistema responderá a la función impulso o delta de Dirac con una oscilación continuada. Este caso es conocido como el criterio de Barkhausen y se trata de la condición necesaria para encontrar oscilaciones.

Por último se han de mencionar los diferentes tipos de realimentación que se dan en los amplificadores prácticos. Como se ha mencionado anteriormente, las señales de trabajo pueden ser de tensión, corriente o incluso una combinación de ambas. De esta forma, se pueden clasificar los diferentes tipos de realimentación en función de la señal de trabajo tanto a la entrada como a la salida. Algunos de estos tipos se exponen en las figuras 4 y 5.

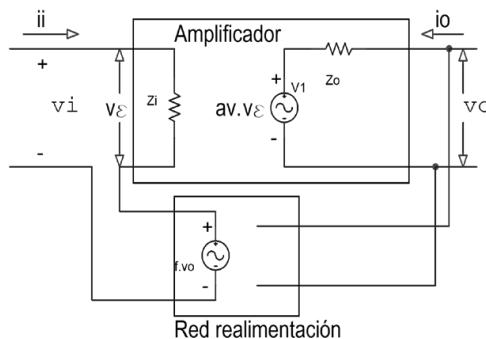


Figura 4: Amplificador de tensión con realimentación serie paralelo ideal.

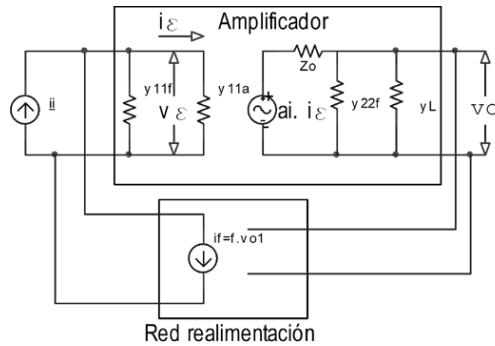


Figura 5: Amplificador de transresistencia con realimentación paralelo paralelo real.

2.4. Sistemas integrados: Atmega328p

Digital Design and Computer Architecture capítulo 4; datasheet atmega

Un sistema integrado o embebido, es un sistema digital complejo, compuesto principalmente por CPU, memoria, buses y periféricos, entre otros. La conjunción específica del sistema se denomina arquitectura. El conjunto de los elementos del sistema también es conocido como SOC (*System On Chip*).

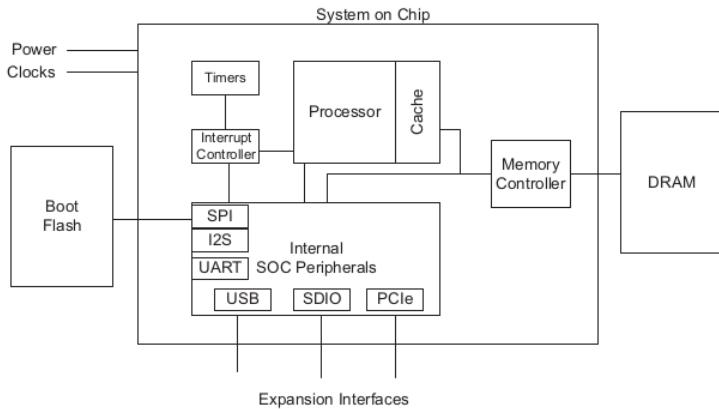


Figura 6: Esquema general de un SOC.

A continuación se realiza una descripción de los elementos principales que componen el SOC:

- **CPU:** Un sistema integrado posee al menos una CPU, la cual se encarga de la ejecución de los programas, operando con datos e instrucciones. Dependiendo del diseño de la CPU, se tiene una arquitectura de n bits, lo cual implica que el tamaño de los registros y de las direcciones es de n bits. El diseño de la CPU también especifica el uso de un repertorio de instrucciones concreto. Algunos ejemplos de repertorio de instrucciones son ARM, MIPS o CISC. La CPU se consolida como el principal elemento de la arquitectura.

A pesar de que la CPU constituya el elemento principal del sistema integrado, para que todo su procesamiento de datos resulte en trabajo útil, es necesario el soporte de hardware externo. Dentro de este conjunto de hardware se pueden distinguir:

- **Subsistema de memoria:** La memoria en general se encarga de almacenar y servir los datos e instrucciones utilizadas por el procesador. El sistema de memoria se puede descomponer en varios módulos, como por ejemplo la memoria caché, una memoria físicamente al lado del procesador con una velocidad de trabajo de unos pocos ciclos de procesador; la memoria DRAM, un dispositivo de memoria con un espacio de almacenamiento mayor que la caché, aunque normalmente un orden de magnitud más lenta, u otras memorias externas de diferentes tipos como pueden ser SRAM, FLASH o ROM.
- **Controlador de interrupciones:** Este mecanismo gestiona los requerimientos de atención del procesador por parte de los dispositivos, sin necesidad de que este tenga que estar pendiente de la falta de atención continuamente.
- **Timers:** El objetivo de estos dispositivos es generar una frecuencia de onda cuadrada estable. Estos dispositivos son imprescindibles para el funcionamiento de la CPU, ya que controlan la frecuencia de trabajo del procesador, o incluso otras tareas como las interrupciones periódicas, programación de eventos o la fecha y hora.

Mapa de memoria: El mapa de memoria es la lista de direcciones accesibles de todos los elementos del sistema: DRAM, controlador de interrupciones... El tamaño total del mapa de memoria dependerá del tipo de arquitectura del procesador y se calcula como 2^n . Cuando el procesador ejecuta una instrucción de lectura o escritura, la dirección es decodificada por los decodificadores y finalmente enrutada hacia el correspondiente elemento del sistema.

AVR Atmega328p: Como ejemplo de un sistema integrado, se introduce el procesador Atmega328p, el cual fue utilizado en el proyecto. En la figura 7 se muestra un esquema general del sistema integrado Atmega328p. El Atmega328p Es un sistema integrado tipo RISC con un procesador de 8 bit, el cual es capaz de ejecutar una instrucción por ciclo. Esto es posible gracias al diseño de una arquitectura tipo harvard, la cual, se caracteriza por disponer de memorias separadas para datos y para las instrucciones del programa. Las instrucciones son ejecutadas con un nivel de segmentación, lo que permite que, mientras una instrucción está siendo ejecutada, la siguiente instrucción está siendo buscada en la memoria de programa. Es necesario aclarar que la CPU es capaz de trabajar con registros dobles, siendo capaz de direccionar un total de 2^{16} posiciones de memoria.

Como se puede apreciar en la figura 7 el bloque *Flash program memory* (memoria flash) se corresponde con la memoria de instrucciones donde se encuentran las instrucciones de nuestro software, seguidamente, *Instruction register*, que permite el nivel de segmentación de las instrucciones. Siguiendo el esquema, La instrucción a ejecutar es decodificada siguiendo el mapa de memoria y correctamente enrutada al dispositivo correspondiente mediante *Instruction decoder*.

Una vez la instrucción es decodificada, pasa a ser ejecutada, entrando en escena la parte de datos. El bloque de los registros, *General purpose Registers* sirven de operandos y junto al bloque *ALU*, se encargan de realizar las operaciones que se requieran. Una vez generados los datos, se vuelcan en el bus de datos y serán recogidos por el dispositivo interesado, gobernados por *Control Lines*. La lectura de los operandos la operación con la *ALU* y la escritura del resultado en el banco de registros, se realiza en un solo ciclo de reloj. El *Status Register* Es un registro que se actualiza en cada operación aritmética con las particularidades de dicha operación: bit *zero*, *carry*, *overflow*, incluso la habilitación de las interrupciones globales.

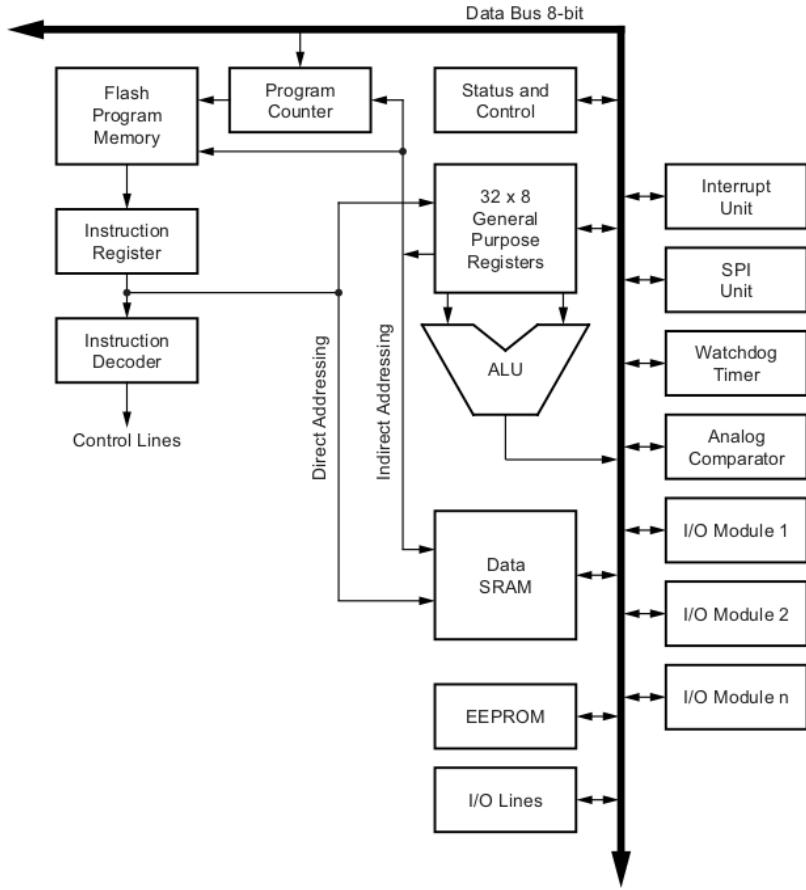


Figura 7: Diagrama de bloques del Atmega328p, en detalle la CPU

Como se ha comentado existen dos mapas de memoria bien diferenciados, instrucciones y datos. La memoria de instrucciones es la flash la cual tiene una capacidad de $2^{15} \text{B} \approx 32 \text{kB}$, por lo que todas las direcciones de memoria están dedicadas a este elemento. Por otro lado, se tiene el mapa de memoria de datos, estructurado de la forma mostrada en la figura 8. Se puede observar en la

Data Memory
32 Registers
64 I/O Registers
160 Ext I/O Registers
Internal SRAM (1048 x 8)
0x0000 - 0x001F
0x0020 - 0x005F
0x0060 - 0x00FF
0x0100
0x08FF

Figura 8: Mapa de memoria de datos direccionada por bytes

figura 8 que el mapa de memoria de datos está separado en distintas regiones: para el banco de registros, para los dispositivos de entrada salida y para la *SRAM*. la *SRAM* es la memoria física de datos y posee una capacidad de 2 kB. Al igual que la *FLASH*, esta memoria es accedida mediante registros dobles. El soporte para lidiar con datos de 16 bits se realiza por medio de unos registros especiales, nombrados como X, Y y Z.

3. Desarrollo

En este apartado se desarrollarán los diferentes módulos que componen el sistema. Como se ha introducido en el apartado 1, el sistema de comunicaciones consta de un emisor y receptor que comparten la misma estructura de diseño. Una parte analógica que actúa como la interfaz de comunicación de radiofrecuencia y una parte digital que trabaja con las señales banda base. Además, la parte digital también se encarga de la codificación y decodificación del enlace. En cuanto a la parte analógica de radiofrecuencia nos encontramos las siguientes características generales que se desarrollan en los consiguientes apartados. La comunicación que se llevará a cabo consiste en un enlace digital mediante radio frecuencia de dos canales. La frecuencia de trabajo es de 30 MHz sobre una modulación es ASK. Esta modulación implica que el sistema analógico de radio trabaja recibiendo tonos sintonizados a la frecuencia de trabajo. Por otro lado, la parte digital, trabaja tanto con la codificación en la parte emisora, como con demodulación de las señales digitales en la parte receptora. La codificación y demodulación se realiza con ayuda de un microcontrolador Atmega328p, el cual, mediante las señales producidas por dos distintos pulsadores, codifica la señal digital de manera NRZ apolar. Esta señal es posteriormente demodulada y decodificada en el receptor. Se muestra, en la figura 9, un diagrama de bloques como esquema general de ambas partes del proyecto, transmisor y receptor. En ambos casos se diferencian la parte digital y analógica en cada caso.

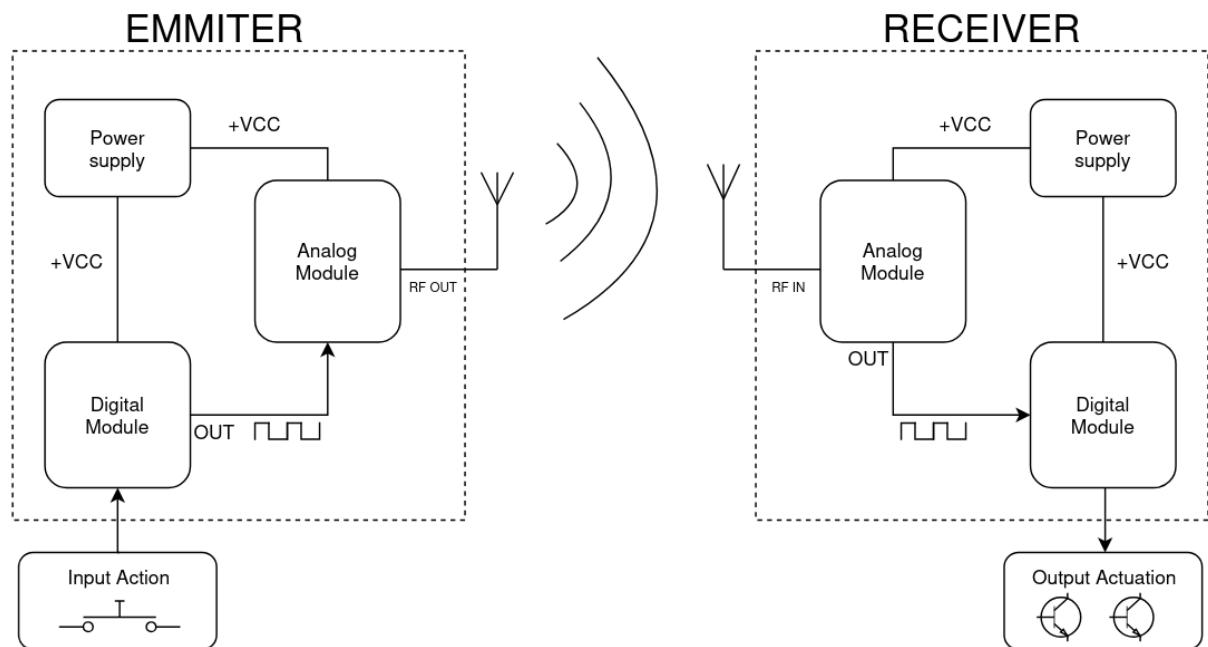


Figura 9: Diagrama de bloques general del proyecto

3.1. Parte analógica

En este apartado se desarrolla todo lo referente a la interfaz de radiofrecuencia (RF). En primer lugar, se explica de manera analítica el funcionamiento del transmisor y receptor, para posteriormente realizar un análisis cuantitativo, realizando los cálculos correspondientes a los valores de los componentes del sistema.

Transmisor El transmisor está basado en un oscilador de un solo transistor en base común sintonizado por un circuito LC conocido como circuito tanque. Los valores del condensador e inductancia del circuito tanque, poseen una frecuencia de resonancia la cual será la que se amplifique por medio de la realimentación positiva. La oscilación es cortada eléctricamente a conveniencia por medio de otro transistor, produciendo una modulación AM-ASK. El transmisor se diseña de forma que radie la mayor potencia posible, y así propagar la señal a la mayor distancia posible.

Receptor super-regenerativo diseñado en 1920 se basa en el concepto de realimentación positiva. Mientras que su antecesor, el receptor regenerativo, consiste en diseñar un bucle de realimentación cuyo A_l sea $A_l = 1$ referencia teoría realim, en el momento que este receptor tiene gran sensibilidad a las señales con frecuencia igual a la de diseño. El receptor regenerativo, en la práctica, es muy complicado de llevarlo a su condición de trabajo, pues las mínimas variaciones harán que el circuito comience a oscilar o no ser tan sensible. Por este mismo hecho se desarrolla el receptor super-regenerativo, que se basa en este mismo concepto de realimentación positiva, con la diferencia que $A_l > 1$ dejándose oscilar. pasado un determinado tiempo, el circuito corta la oscilación permitiendo que el ciclo comience de nuevo. Esta señal de reinicio y paro se denomina "quench-signal". En cada inicio del periodo de la quench-signal, momento en el cual la oscilación se está montando, el circuito atraviesa un periodo de sensibilidad máxima a las señales con frecuencia igual a la de diseño. Si una señal es detectada, la oscilación del circuito se producirá de forma más rápida, aumentando así la frecuencia de la quench-signal, obteniendo como salida una señal con modulación FM con frecuencia de la quench-signal.

Eleccion de frecuencia 33MHz (sistemas de radio control) El receptor super-regenerativo trabaja mejor con frecuencias mayores pues permite una frecuencia de quench mayor, aumentando la tasa de muestreo. empíricamente cuanto mayor frecuencia mejor diseño de antena optimo mas corto, mejor distancia

3.1.1. Diseño del "front-end" del TRANSMISOR de RF analógico

datasheets ne555, 2n2222, octave

Introducción En este apartado se expondrá el diseño del transmisor, los cálculos matemáticos necesarios, simulación por ordenador y los resultados prácticos. El transmisor está diseñado para generar una modulación ASK y emitir a una frecuencia de 30Mhz. La frecuencia de emisión se sintoniza con la del receptor por medio de un condensador de capacidad variable.

NO REPETIR, EXPLICAR LA FOTO En la figura 10 se puede observar el esquema eléctrico del transmisor. El principio de funcionamiento del transmisor es un oscilador, basado en un par resonante LC, el cual fija la frecuencia de emisión. Esto se realiza realizando un bucle de realimentación positiva, donde el transistor NPN juega el papel de elemento activo de amplificación, el circuito tanque LC es el filtro que permite que en cada iteración del bucle, se amplifique la frecuencia deseada. mientras que el condensador de realimentación, genera la realimentación positiva, sumando una fracción de la salida con la señal de entrada, que en este caso es el propio ruido generado por el circuito. El circuito se diseña para disipar la mayor potencia posible para que la señal alcance la mayor distancia posible. Por otra parte, el circuito permite modular la señal portadora eléctricamente cortando y produciendo la oscilación en función de las variaciones de la señal moduladora. Esto es posible gracias al segundo transistor PNP, el cual trabaja en corte y saturación y corta el paso de corriente general del circuito. El esquema completo del transmisor se expone en la figura 10.

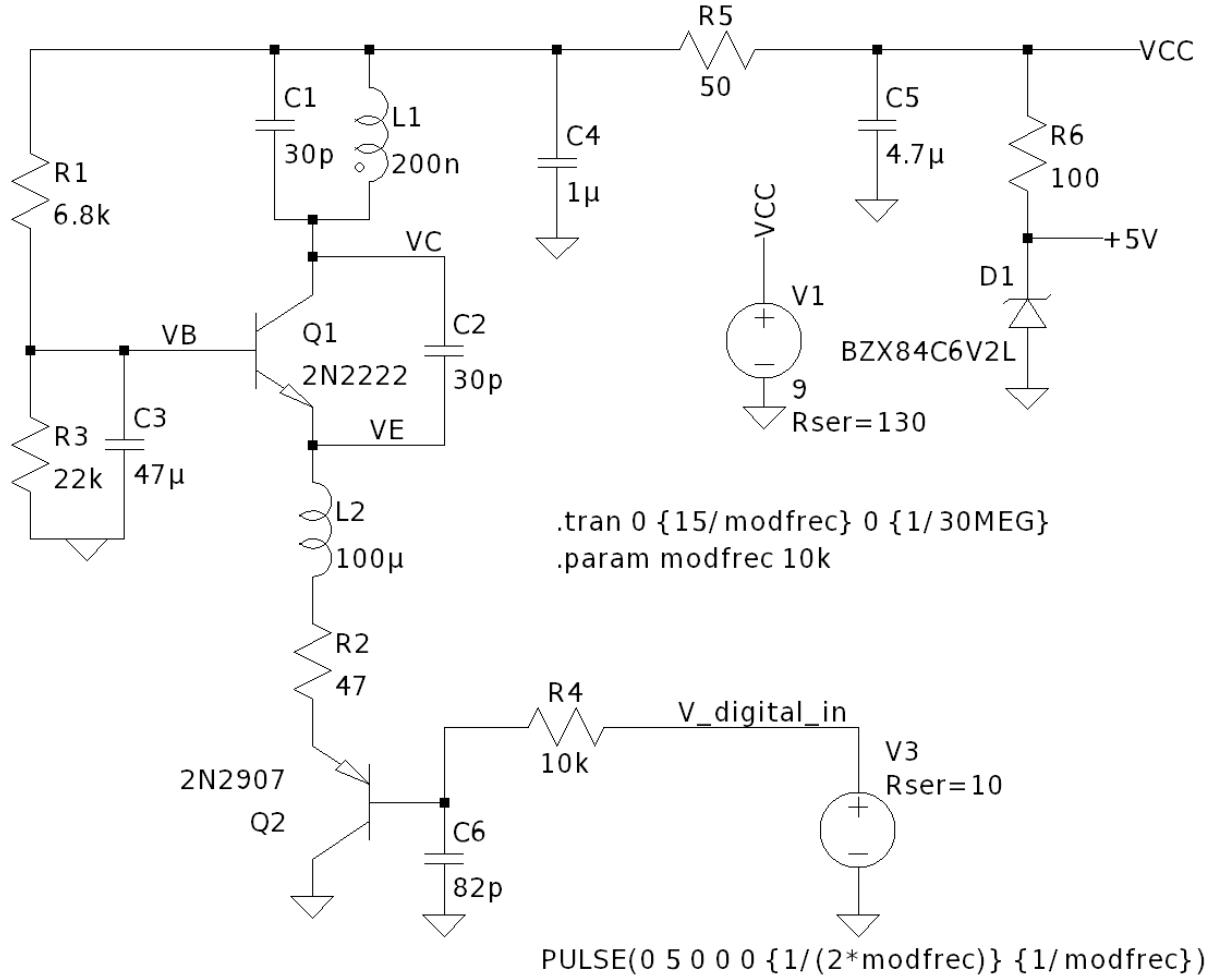


Figura 10: Esquema eléctrico del transmisor

Diseño del oscilador

Polarización: IGUAL Y MENCIONANDO EL TRANSISTOR PNP EN CORTE APROX 0.2 V DESPRECIABLE. En primer lugar se debe fijar el punto de operación deseado. Se deben tener en cuenta dos cosas: la zona trabajo del transistor y la potencia del circuito. La zona de trabajo debe ser activa directa, pues para producir la oscilación, el bucle de realimentación positiva debe tener la etapa de amplificación proporcionada por el transistor. La potencia del circuito, junto a la frecuencia de diseño, acotan el modelo de transistor que se ajuste al circuito. En primer lugar se necesita un transistor con una frecuencia de transición $f_t > 30 \text{ MHz}$. Aparte el parámetro I_{Cmax} debe ser suficiente para proporcionar la potencia deseada sin deteriorarse. Se elige un transistor 2N2222, cuya $f_t > 30 \text{ MHz}$ e $I_{Cmax} = 0,6 \text{ A}$ y una $V_{CC} = 9 \text{ V}$. Se fija $I_C = 80 \text{ mA}$, que supondrá una potencia de aproximadamente $I_C \cdot V_{CC} = 0,72 \text{ W}$ y $V_{CE} = \frac{V_{CC}}{2} = 4,5 \text{ V}$ condición necesaria para trabajar en activa directa. Además, de la hoja de características del 2N2222 se conoce $h_{FEmax} \approx 300$, aunque medido con un multímetro, nos da el valor $h_{FE} = 280$ por lo que se utilizará este último. En lugar de repetir el cálculo que se hizo para seleccionar el valor de las resistencias de polarización, se optará por comprobar si los valores elegidos satisfacen las imposiciones.

Se utiliza equivalente de Thevenin para las resistencias en paralelo. En la malla que aparece se obtiene:

$$V_{th} - 0,7 - I_c \cdot R_e = I_b \cdot R_{th}$$

Siendo:

$$\begin{aligned} V_{th} &= \frac{V_{CC} \cdot R_2}{R_1 + R_2} & I_b \cdot h_{FE} &= I_c \\ R_{th} &= \frac{R_1 \cdot R_2}{R_1 + R_2} & h_{FE} &= 280 \end{aligned}$$

Se obtienen I_c y V_{CE} con las siguientes dos ecuaciones sustituyendo los valores correspondientes:

$$R_1 = 10 \text{ k}\Omega \quad R_2 = 20 \text{ k}\Omega \quad R_E = 40 \Omega \quad V_{CC} = 9 \text{ V}$$

$$I_c \cdot \left(40 + \frac{R_{th}}{h_{FE}} \right) = V_{th} - 0,7$$

$$V_{CC} = V_{CE} + I_C \cdot R_E$$

$$V_{CE} = 5,68 \text{ V} \quad I_C = 83 \text{ mA}$$

Una vez calculado el punto de operación se obtienen los parámetros híbridos en base común siguiendo la metodología expuesta en el apartado 2.2. En primer lugar calcular los parámetros híbridos en emisor común a partir de los resultados obtenidos en el punto de operación, utilizando las ecuaciones 5 y 6. En segundo lugar, aplicar las transformaciones indicadas en 7. Además se debe calcular el dato V_{AF} con ayuda de la hoja de datos del transistor, en este caso el dato se obtuvo como una media del rango de valores proporcionado. El resultado del cálculo de los parámetros es el siguiente:

$$V_{AF} = \frac{I_{Cdata}}{h_{OEdat}} = \frac{1 \text{ mA}}{6 \mu\text{S}} = 50 \text{ V} \quad (11)$$

$$\begin{aligned} h_{ib} &= 8,4 \Omega & h_{rb} &= 0,014 \\ h_{fb} &= -0,99 & h_{ob} &= 6 \mu\text{S} \end{aligned} \quad (12)$$

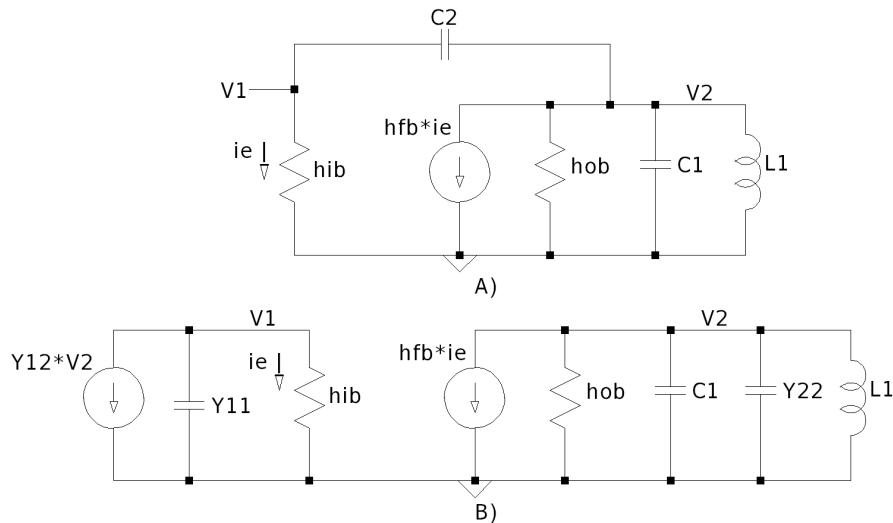


Figura 11: A) Modelo en pequeña señal del bucle de oscilación para frecuencias medias B) Modelo en pequeña señal del oscilador sustituyendo el condensador de realimentación C_1 por su equivalente en parámetros Y

Modelo en pequeña señal: ANADIR LOS CALCULOS DE LA INDUCTANCIA APROX 200N SEGUN INTERESE. El objetivo de este modelo es el cálculo de la frecuencia de resonancia del oscilador. En la figura 11 se muestra el modelo en pequeña señal del oscilador para frecuencias intermedias, entorno a la frecuencia de oscilación. El bucle de oscilación se trata de una realimentación paralelo-paralelo, por lo que se representa el condensador de realimentación C_1 como su equivalente en parámetros Y . El valor de dichos parámetros son:

$$\begin{aligned} Y_{11} &= \frac{i_1}{v_1}|_{v_2=0} = s \cdot C_2 & Y_{21} &= \frac{i_2}{v_1}|_{v_2=0} = -s \cdot C_2 \\ Y_{12} &= \frac{i_1}{v_2}|_{v_1=0} = -s \cdot C_2 & Y_{22} &= \frac{i_2}{v_2}|_{v_1=0} = s \cdot C_2 \end{aligned}$$

Se deben tener en cuenta ciertas consideraciones previas como consecuencia del análisis del esquema B) en la figura 11. La realimentación es positiva en el momento que $Y_{12} < 0$ y $h_{fb} < 0$ por lo que $V_2 > 0$. El modelo que se muestra corresponde a frecuencias intermedias entorno a la de oscilación. Para frecuencias bajas, la impedancia de C_2 tendrá un valor tan alto que corta la realimentación ,siguiendo el esquema A) figura 11. para frecuencias altas, la impedancia de C_2 tendrá un valor tan bajo que supondrá un cortocircuito a tierra para la corriente de realimentación, por lo que $i_e = 0A$.

Se calcula la frecuencia de resonancia, en base al modelo B) de la figura 11. Siguiendo el criterio de Barkhausen la frecuencia de resonancia se corresponde con la única con desfase $\angle A_l(f_0) = 180^\circ$ a lo largo del bucle y una magnitud $|A_l(f_0)| \geq 0$. Se obtiene la función de transferencia de la ganancia en lazo abierto. Siguiendo el modelo general de la realimentación ecuación 8 aplicada al esquema B) de la figura 11, se calcula:

$$f = Y_{12} = -s \cdot C_1 \quad (13)$$

Se muestra el desarrollo para el cálculo de $A = \frac{V_2}{i_E}$:

$$\begin{aligned} \frac{i_E}{V_1} &= Y_{T1} = s \cdot C_2 + \frac{1}{h_{ib}} & \frac{V_2}{h_{fb} \cdot i_e} &= Y_{T2}^{-1} \\ \frac{i_e}{V_1} &= \frac{1}{h_{ib}} & Y_{T2} &= s \cdot C_2 + s \cdot C_1 + \frac{1}{s \cdot L_1} + h_{ob} \\ i_E &= Y_{T1} \cdot i_e \cdot h_{ib} & V_2 &= \frac{h_{fb} \cdot i_e}{Y_{T2}} \end{aligned}$$

$$A = \frac{-h_{fb}}{Y_{T1} \cdot Y_{T2} \cdot h_{ib}} \quad (14)$$

Se calcula la ganancia en lazo abierto como $A_l = A \cdot f$ y sustituyendo los valores de Y_{T1} e Y_{T2} :

$$A_l = \frac{h_{fb} \cdot C_1 \cdot s^2}{(C_2 + C_1)(s \cdot h_{ib} \cdot C_2 + 1) \left(s^2 + s \cdot \frac{h_{ob}}{C_1 + C_2} + \frac{1}{(C_1 + C_2) \cdot L_1} \right)} \quad (15)$$

Al observar la expresión obtenida en la ecuación 19, se sacan conclusiones para esbozar el diagrama de Bode de manera analítica. En primer lugar, se analiza el desfase, el cual a bajas frecuencias es 0, debido a la suma de los 180° del cero doble junto a los 180° de h_{fb} . El polo cuadrático introduce un desfase de -180° , al que se llega de manera asintótica pero de forma rápida debido al bajo valor del coeficiente de amortiguación. Si a este hecho se le añaden los -90° del polo simple, se obtiene que la frecuencia de resonancia con desfase 180° se encontrará en algún lugar entre el polo simple y el polo cuadrático.

Se esboza el diagrama de bode para los valores obtenidos en el apartado de polarización (ecuaciones 17 y 18) junto a los siguientes valores de los elementos

$$L_1 = 630 \text{ nH} \quad C_1 = 47 \text{ pF} \quad C_2 = 47 \text{ pF}$$

En el diagrama de Bode de la figura 12, se obtiene una frecuencia angular $\omega_0 = 1,8 \times 10^8 \text{ rad s}^{-1}$,

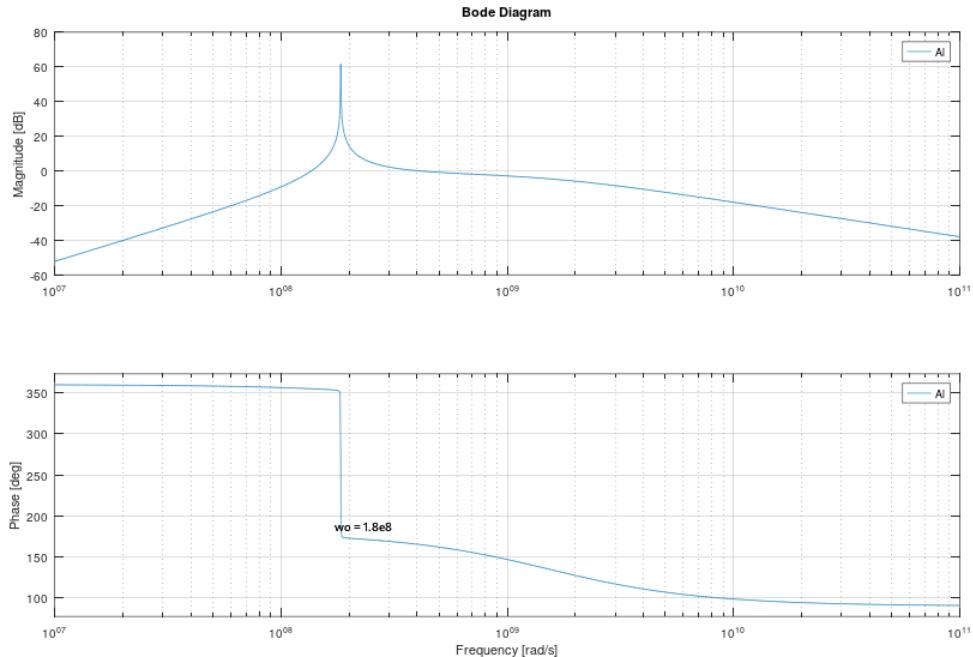


Figura 12: *Diagrama de Bode de la ganancia en lazo abierto del oscilador A_l para frecuencias intermedias*

por lo que se obtiene una frecuencia de resonancia de:

$$f_0 = \frac{\omega_0}{2 \cdot \pi} = 28,65 \text{ MHz} \quad (16)$$

La obtención del diagrama de Bode se ha conseguido por medio del programa de cálculo computacional Octave REFERENCIA

la señal digital de inicio o corte es producida por el microcontrolador Atmega328p, y se desarrollará en el correspondiente apartado CITAR. El transistor PNP es utilizado como conmutador.

Antena CALCULOS DEL TRANSFORMADOR, EXPLICAR EL CONDENSADOR ES PARA QUE AL TOCARLA NO PASE NADA. CALCULOS: Primero impedancia de salida del circuito sin bobina (usada de primario), y generador a la frecuencia de resonancia. segundo, modelo del transformador y transformacion de impedancias a cable de 1k aprox? simulacion de potencia disipada por la antena?

Para asegurar la máxima transferencia de potencia de señal a la antena se diseña un transformador como adaptador de impedancias entre el transmisor y la antena. Se considera esta opción como la alternativa más sencilla de implementar y que no carga al circuito, ya que para producir la oscilación, el transmisor es bastante sensible.

El objetivo del diseño es calcular la relación del número de vueltas óptimo entre el primario y el secundario. Se sigue el siguiente modelo de relación de impedancias en un transformador.

METER FOTO MODELO TRANSFORMADOR

Siguiendo el modelo de la figura REF, se obtienen las siguientes relaciones:

En particular para el diseño propio se debe calcular tanto la impedancia de salida del transmisor como la resistencia de radiación de la antena utilizada para la frecuencia de trabajo.

Resultado de la Simulación SIMULACION LTSPICE son 3 capturas una la de la oscilacion con las medidas de frecuencia. una general con varios ciclos de digitalin. otra del flanco de subida y bajada de digitalin con vout y vbe viendo como se corta el transistor.

En este apartado se muestra una simulación del circuito en función del tiempo de los puntos de interés del circuito. En la figura 13 se observa el V_C , que es la tensión que se aplicará en el transformador de impedancias a la antena, y $V_{digital}$, la señal moduladora que produce la modulación ASK.

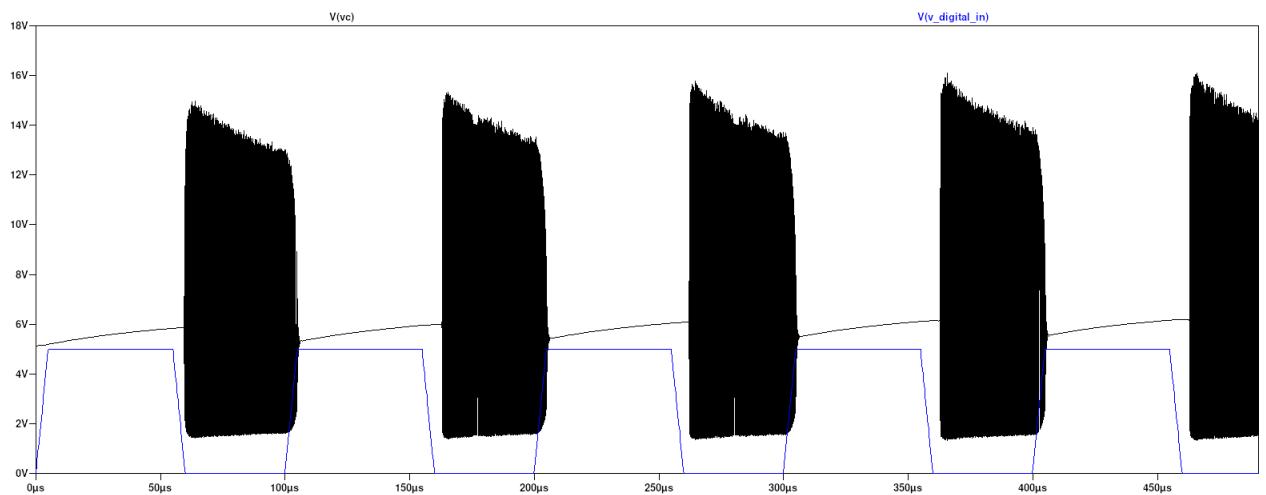


Figura 13: Simulación de V_C modulada por $V_{digital}$

En la figura 14 se observa la FFT de la señal V_C de forma general, con un span de frecuencias alto. Por otro lado, en la figura ?? se muestra ampliada la frecuencia de trabajo, para observar los detalles de la modulación AM. A la frecuencia de trabajo se observa la modulación AM. En la figura general de la FFT, Al tratarse de una modulación ASK, se observa con acentuada potencia, la señal moduladora en banda base. Además, esta señal, al poseer una forma de onda cuadrada, su espectro se extiende ampliamente en el dominio de la frecuencia, aportando numerosos armónicos. En la figura ??, se observa el espectro de la modulación ampliado a la frecuencia de trabajo. Se sitúan cursoros a la frecuencia de trabajo y los armónicos fundamentales a 10 kHz. Además, se pueden observar multitud de armónicos secundarios a distancias múltiples de la frecuencia fundamental 10 kHz.

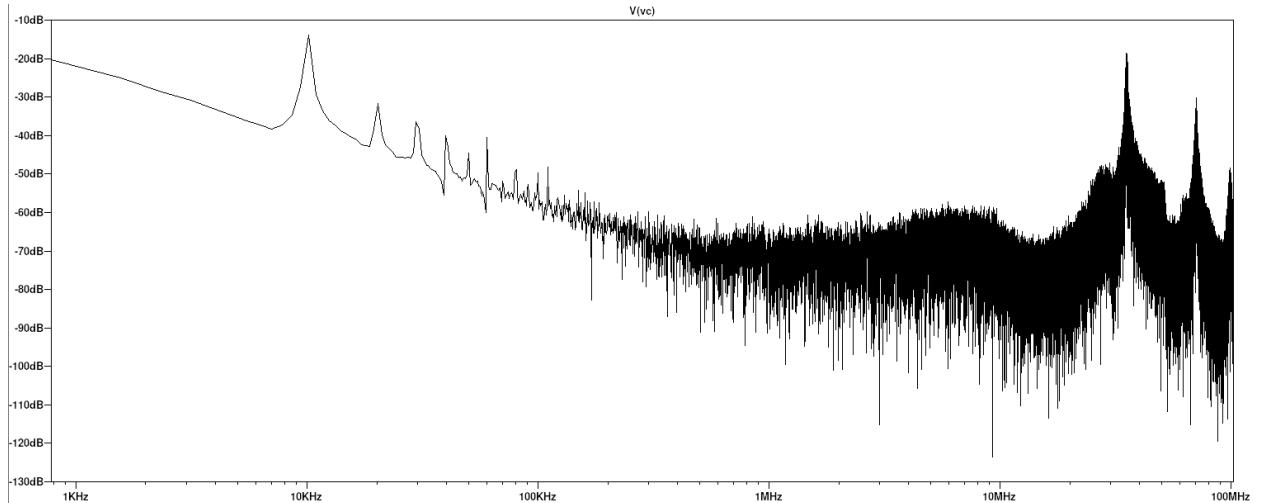


Figura 14: Simulación de la FFT de V_C de forma general

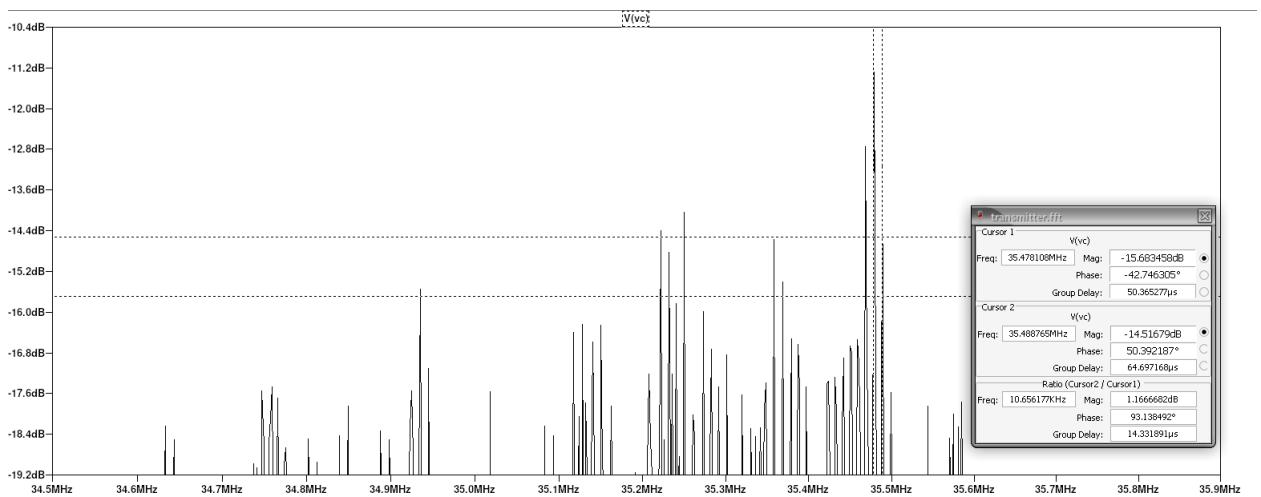


Figura 15: Simulación de la FFT de V_C ampliada a la frecuencia de trabajo

Resultado de la práctica CAPTURA DEL OSCILOSCOPIO Y MEDIDA DE CORRIENTE
En la parte práctica se trata de comparar con los resultados de la simulación, los resultados obtenidos en el circuito real. El circuito está fabricado en placa soldada de agujeros y los resultados se miden con un osciloscopio en los mismos puntos de interés que en el apartado de simulación. Las figuras corresponden a capturas realizadas por el osciloscopio al tomarlas medidas pertinentes.

3.1.2. Diseño del "front-end" del RECEPTOR de RF analógico

Introducción explicar separacion de partes entre oscilador y quench signal El diseño del receptor se ha de separar en tres partes diferenciadas. En primer lugar, lo correspondiente al punto de operación del transistor, donde se trabaja con la componente DC. En segundo lugar, se desarrolla la parte de RF correspondiente al oscilador, el cual define la frecuencia de trabajo. Por último la parte correspondiente a la quench signal, encargada de gestionar el paro y arranque de la oscilación. Esta parte trabaja a una frecuencia intermedia que puede diferenciarse claramente de la parte de RF y de la componente DC.

El esquema completo del receptor se expone en la figura 16.

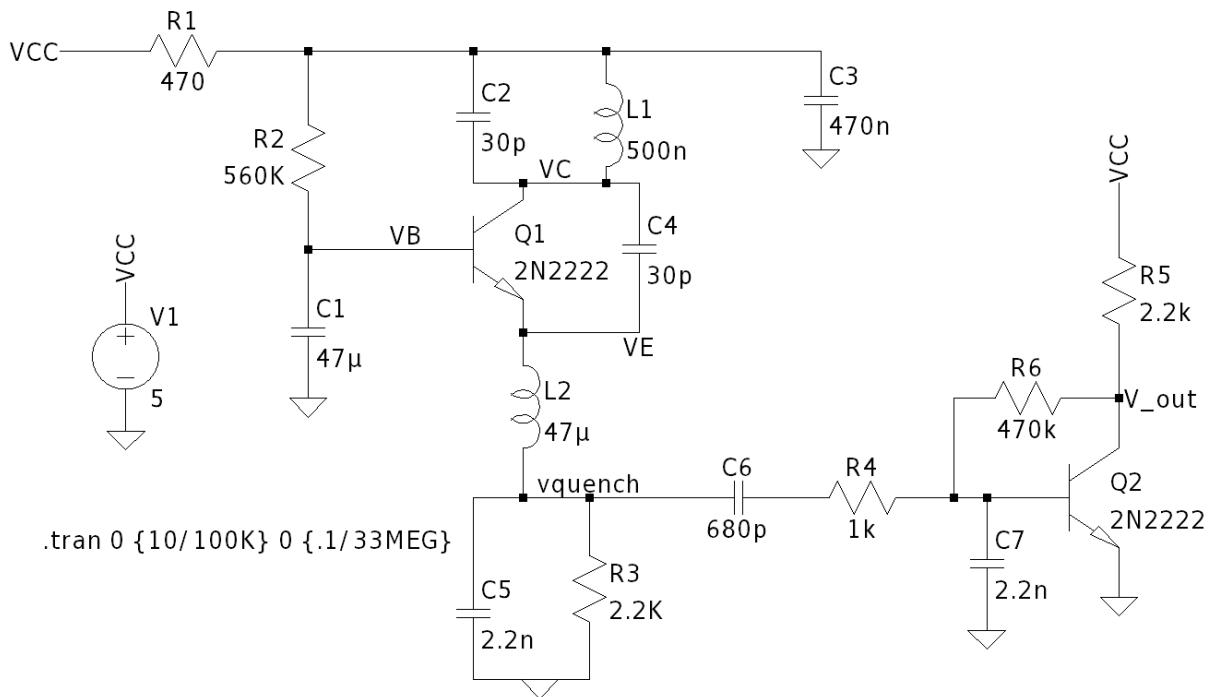


Figura 16: Esquema eléctrico del receptor

Polarización EXPLICAR PORQUE ESE PUNTO DE OPERACION (MENOR RUIDO POSIBLE, MENOR CONSUMO DE POTENCIA) En este caso la estrategia para fijar el punto de operación es ligeramente distinta a como se diseña en el transmisor. El transistor debe trabajar en zona activa directa, por lo que se fijará $V_{CE} = \frac{V_{CC}}{2}$ para garantizar el mayor rango de linealidad posible. También se elige una $I_C = 1 \text{ mA}$, en este caso para que el transistor trabaje introduciendo el mínimo ruido posible. Este hecho es importante pues, cuando el receptor se encuentra en la etapa de inicio de oscilación, un bajo nivel de ruido ayuda a aumentar la sensibilidad del receptor. Esto es debido a que la suma mínima de todos los ruidos generados por un transistor se encuentra en este rango de corriente de colector. REFERENCIA A ART OF ELECTRONICS. Cabe recalcar que la estructura del circuito de polarización es de la forma realimentación de colector. Esta forma, provoca una realimentación negativa, que fija el punto de operación de manera más independiente a los parámetros característicos del transistor. Esta realimentación negativa debe eliminarse en corriente alterna para provocar la oscilación. La estrategia para eliminarla se verá en el apartado de pequeña señal. Se realizan los cálculos para estimar los valores de las resistencias de polarización en función de los valores anteriormente fijados. FIGURA AISLADA DE LA PARTE DC

Parte oscilador RF IGUAL QUE EN TRANSMISOR. SMALL-SIGNAL ETC La estructura del oscilador en el receptor es idéntica al transmisor. Para lograr evitar la realimentación negativa provocada por la parte de polarización se coloca el condensador $C_4 = 470 \text{ nF}$, este valor es suficiente para que su impedancia para la frecuencia de RF suponga un cortocircuito a tierra. La inclusión de este condensador es imprescindible para que el circuito funcione.

Modelo en pequeña señal: Debido a que el diseño es estructuralmente igual que en el transmisor, los cálculos serán idénticos sustituyendo los valores correspondientes. Se incluyen los valores

característicos junto a las ecuaciones de interés. En función de los valores del punto de operación obtenido, se calculan los parámetros híbridos para el receptor.

$$V_{AF} = \frac{I_{Cdata}}{h_{OEdat}} = \frac{1 \text{ mA}}{6 \mu\text{S}} = 50 \text{ V} \quad (17)$$

$$\begin{aligned} h_{ib} &= 8,4 \Omega & h_{rb} &= 0,014 \\ h_{fb} &= -0,99 & h_{ob} &= 6 \mu\text{S} \end{aligned} \quad (18)$$

El modelo en pequeña señal para las frecuencias de RF es sustancialmente igual a la parte del receptor. En la figura REF, se muestra el modelo del receptor en pequeña señal para las frecuencias de RF. L2 tiene una impedancia suficientemente grande como para considerarla circuito abierto. El objetivo del modelo es la obtención de una expresión para la frecuencia de resonancia.

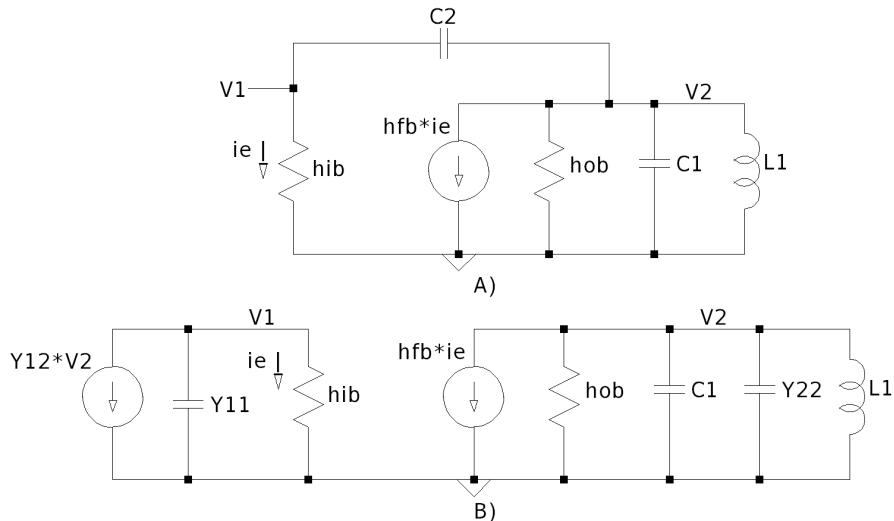


Figura 17: A) Modelo en pequeña señal del bucle de oscilación para frecuencias de RF B) Modelo en pequeña señal del oscilador sustituyendo el condensador de realimentación C_2 por su equivalente en parámetros Y

FALTA FUNCION DE TRANSFERENCIA IGUAL QUE TX Y CALCULO DE FREQ RESONANCIA IGUAL QUE TX. RAPIDAMENTE. DECIR QUE SE ANADE CONDENSADOR VARIABLE PARA SINTONIZAR ELUDIENDO LAS DISCREPANCIAS REALES DEL CIRCUITO.

Debido a la dualidad con respecto al tx, la expresión de la función de transferencia de lazo cerrado, es idéntica al transmisor se muestra la expresión:

$$A_l = \frac{h_{fb} \cdot C_1 \cdot s^2}{(C_2 + C_1) (s \cdot h_{ib} \cdot C_2 + 1) \left(s^2 + s \cdot \frac{h_{ob}}{C_1 + C_2} + \frac{1}{(C_1 + C_2) \cdot L_1} \right)} \quad (19)$$

Se obtiene la frecuencia de resonancia como

$$\omega_0^2 = \frac{1}{L_1 \cdot (C_1 + C_2)}$$

Se obtiene el valor de la inductancia con la siguiente expresión:

$$PONERDELOCTAVE \quad (20)$$

$$L_1 = 500 \text{ nH}$$

Parte quench-signal AISLAR CIRCUITO, REALIZAR CÁLCULOS, L(CHOKE) R Y C En este caso al contrario que en el receptor, la bobina de RFC no podrá ser arbitrariamente grande, pues debe permitir el paso de la frecuencia de quench pero no de la señal de RF. La explicación del valor de la frecuencia de quench no es algo trivial. Para poder dar explicación al fenómeno es necesario una explicación analítica antes de realizar los cálculos. En la figura QUENCH-EXPLAIN se observa la simulación de la generación de un ciclo de oscilación y paro del mismo. Partiendo de una tensión $V_B - V_{quench} \approx 0,7 \text{ V}$, la oscilación comienza a generarse. Se toma como referencia V_{quench} y no V_E debido a que V_E proporciona información tanto de las frecuencias de RF como las de frecuencia de quench, mientras que V_{quench} proporciona la información de las frecuencias de interés por actuar como filtro paso bajo. El transistor, en configuración de base común, implica que la tensión de base V_B es fija, mientras que V_E varía. Mientras que la frecuencia de RF evidentemente satura y corta el transistor en numerosos ciclos por segundo, quien importa es quien corta la oscilación. A medida que la oscilación, al encontrarse dentro de un bucle de realimentación positiva, va incrementando su amplitud, la tensión media V_{quench} , también aumenta. En el momento que V_{quench} aumenta de forma que $V_B - V_{quench} < 0,7$, el transistor se corta, matando la oscilación y provocando que la tensión V_{quench} descienda, volviendo de esta forma a completar el ciclo.

Para calcular la frecuencia de quench, se debe tener en cuenta el filtro paso bajo formado por $L2, Cx, R3$ REVISAR, pero no en este caso la frecuencia de quench no se corresponde con la frecuencia de corte del filtro, ya que, el condensador no se descarga completamente en sus ciclos pues depende del transistor.

Antena ?? a transformador de impedancias y condensador para evitar al tocar con mano. Si no se hace explicar el acople magnético con las bobinas

Resultado simulación Se muestran las medidas simuladas de tensión de mayor interés con la nomenclatura de la figura FIG RF captura de oscilación de rf, v en rc y vont captura con señal de entrada vont cambia de frecuencia

En el apartado de simulación trata de obtener una representación gráfica de lo desarrollado anteriormente sobre el receptor. Por ello, en la figura REF se observan los puntos de interés del circuito como son V_C , V_{quench} y V_B , además de añadir la diferencia $V_B - V_{quench}$ como $V(B, quench)$. Estas cuatro medidas son suficientes para entender el ciclo de paro y marcha del transistor.

Como se puede observar en la figura 25, a medida que se construye la oscilación, el valor medio de la tensión de V_C , es decir V_{quench} , aumenta hasta que finalmente, la diferencia $V_B - V_{quench} < 0,7 \text{ V}$ hace desaparecer la oscilación. Este corte provoca que el valor medio de V_C descienda, y por tanto V_{quench} , provocando finalmente que la diferencia $V_B - V_{quench} > 0,7 \text{ V}$ reactivando al transistor y reiniciando el ciclo de oscilación.

Se añade también, en la figura 19, la forma de onda de la tensión de salida V_{out} , que es la señal de entrada al microcontrolador atmega328p, el cual se encargará de demodular la señal. Esta señal debe ser una señal digital entre 0 V y 5 V.

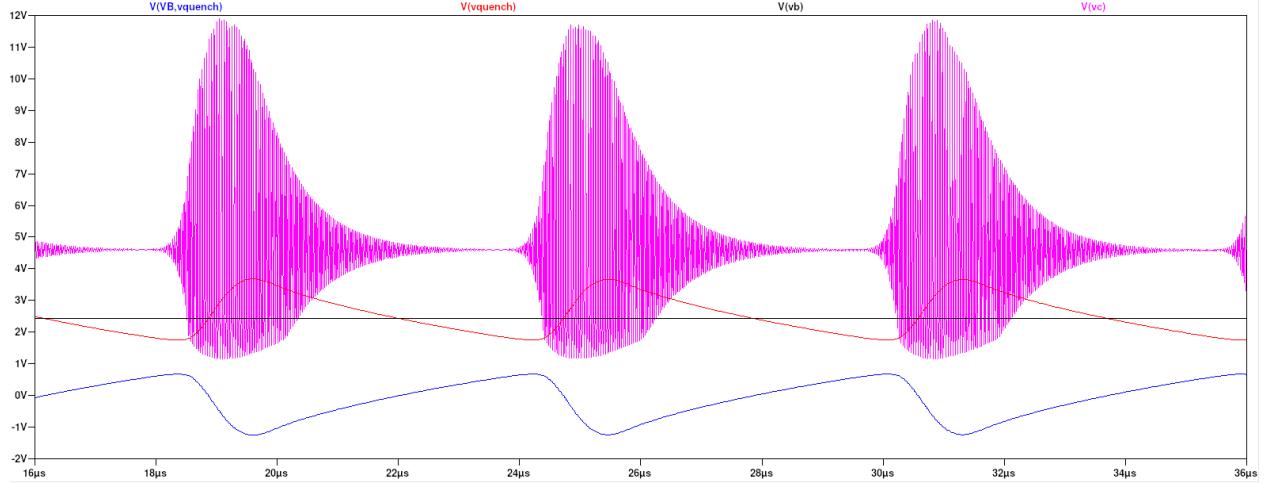


Figura 18: Simulación de puntos de interés en varios ciclos ampliados

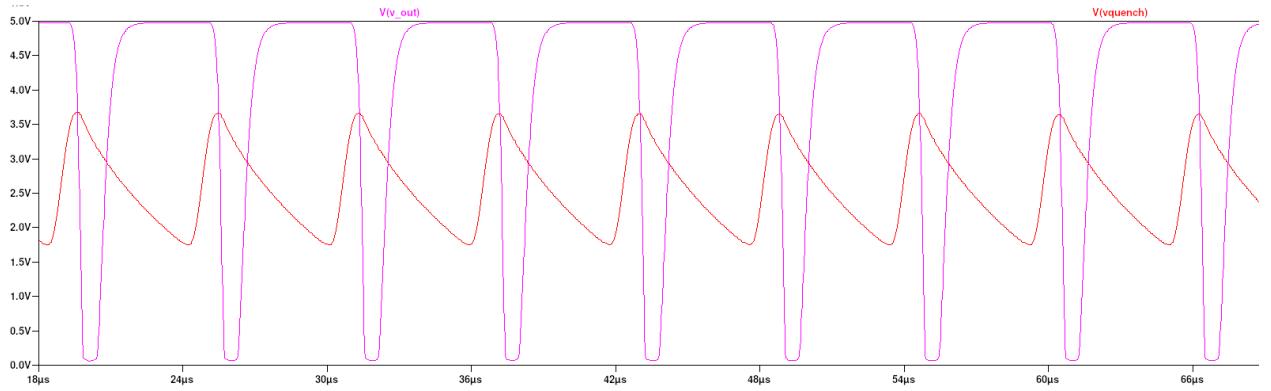


Figura 19: Simulación de V_{out} junto a V_{quench}

Resultado práctico En este caso se muestran las medidas tomadas en el apartado de simulación, esta vez tomadas en el circuito real. Las medidas se toman usando un osciloscopio. La configuración es la misma que en el en el apartado REF del transmisor. En este caso al disponer de dos canales se muestran en la figura REF los puntos V_{quench} (rojo) y V_C (amarillo).

lo mismo que en simulación pero capturas de osciloscopio

3.2. Parte digital

Introducción para establecer un canal de comunicación de datos digital, se utilizan dos microcontroladores para la codificación y la demodulación de los mismos. En este caso, el modelo de microcontrolador utilizado es el mismo en ambos dispositivos, el Atmega328p, pero con distintos programas dependiendo de si se utiliza en el transmisor o receptor.

Configuración del entorno de trabajo El microcontrolador se programa por medio de un proyecto escrito en C. Para ello, se trabaja con las herramientas que permiten la compilación de este lenguaje a un archivo ejecutable entendible para la plataforma de AVR. En primer lugar, se necesita compilar el programa a un archivo binario ejecutable para la plataforma objetivo, para ello se usará el compilador avr-gcc. Este binario generado no puede ser grabado directamente a la flash del microcontrolador, si no que se necesita la traducción a código hexadecimal del mismo. Para ello,

se utiliza el programa avr-objcopy. Finalmente, el programa es grabado en la flash. Este proceso se realiza de la siguiente forma: el archivo hexadecimal debe ser grabado en el microcontrolador configurando el micro en modo programación de la flash y transfiriendo el programa por medio del protocolo ISP. Para ello se hará uso de un programador software, avrdude, y un programador hardware que traduzca el protocolo usb del ordenador de trabajo a ISP para ser grabado en la memoria del micro objetivo. En este proyecto se utiliza un microcontrolador Atmega2560 montado en la placa Mega2560 R3. Este micro será programado con un programa que permita el proceso de traducción anteriormente descrito. Este software se ofrece oficialmente desde la página web de Arduino. Para conseguir automatizar todo este proceso se hace uso de la herramienta make. A continuación se muestra el archivo Makefile utilizado para clarificar el proceso anteriormente descrito:

```
all: main.hex

main.hex: main.elf
    avr-objcopy -O ihex main.elf main.hex

main.elf: main.c
    avr-gcc -mmcu=atmega328p main.c -o main.elf

upload: main.hex
    avrdude -p m328p -c arduino -P /dev/ttyACM0 -b 19200 -U flash:w:
        main.hex
```

3.2.1. Diseño del demodulador digital para la recepción

Objetivo El objetivo del microcontrolador en la parte de recepción tiene dos funciones. Implementar un contador de frecuencia que identifique las variaciones recibidas por el módulo de RF correspondientes a los diferentes símbolos digitales, de tal forma que sirva como demodulador. y además decodificar la señal digital recibida, identificando la orden concreta transmitida por el transmisor.

Contador de frecuencia Esta parte se implementa por medio de dos timers/counters incorporados en el SOC del Atmega328p. La configuración y uso de estos dispositivos se encuentra en la hoja de datos del microcontrolador (REF). La estrategia de implementación es la siguiente: mientras uno de los timers genera interrupciones periódicas en un intervalo de tiempo conocido. Durante el mismo espacio de tiempo, el segundo timer/counter, se encarga de detectar el número de flancos de subida o bajada producidos por la señal de salida codificada en FM del módulo de RF. Este proceso provoca un número de interrupciones variable en función de la frecuencia de la señal de entrada en un intervalo de tiempo conocido.

Cada vez que el timer produzca su interrupción periódica, la rutina de tratamiento de interrupción (IRQ) se encargará de examinar el número de interrupciones producidas por el counter en ese lapso de tiempo y decidir si se ha recibido señal, en función del número de interrupciones del counter.

Se hacen uso tanto del TIMER0 como del TIMER2, esto es debido a que poseen las mismas características necesarias las cuales se encuentran expuestas en la hoja de datos. Existen a su vez, más timers/counters con características más complejas, pero no serán necesarias en este proyecto. Se configura TIMER0 como temporizador, generando la interrupción periódica necesaria conocida como gate. mediante el registro de configuración propio del timer, se configura el ancho de tiempo

en el cual se genera la interrupción. La rutina de tratamiento de interrupción ISR(TIMER0), se encarga de comparar el número de interrupciones producidas por el counter, almacenadas en una variable global, y un número fijo umbral. Si el número de cuentas supera el umbral, la señal fue recibida, produciendo la demodulación digital. Por otro lado, el TIMER2, se configura como contador, identificando los flancos de bajada de una señal externa introducida por el pin OSC2. La interrupción del TIMER2, se puede producir cada cierto número de flancos detectados. la rutina de tratamiento de interrupción ISR(TIMER2), actualiza la variable global de cuenta.

Lo óptimo para que la identificación de las variaciones de frecuencia fuera lo más sensible posible sería que se provocara una interrupción con cada flanco de la señal de entrada y que la interrupción periódica del timer fuera lo más extensa posible, pero nos encontramos con varios limitantes: la frecuencia de reloj de CPU y su procesamiento de instrucciones y la velocidad de transmisión de datos (bps).

Para encontrar el límite se realiza un cálculo aproximado y posteriormente se ajustan los valores del programa con ayuda de un osciloscopio. El cálculo realizado es el siguiente: CALCULO.

A continuación, se muestra el código del receptor (archivo main.c) con comentarios que describen las diferentes líneas escritas

```
#include <avr/io.h>
// definiciones de registros específicos del controlador de io
#include <avr/interrupt.h>
// gestion de IRQs
#include <stdint.h>
// definiciones de tipos estandar

#define WAIT_TIME 10000UL
#define COUNT_MAX 79
#define COUNT_MIN 79

uint8_t volatile count = 0;
uint8_t volatile count_before = 0;
uint8_t volatile mean = 0;

// AJUSTAR TIEMPOS DE LOS TIMERS CON EL OSCILOSCOPIO Y 2 SONDAS

void setup_timer_0_counter(void)
{
    // set configuration registers
    // set CTC mode and COM on toggle with compare match
    TCCROA = (1 << COM0AO) | (1 << WGM01);
    //TCCROA = (0 << COM0AO) | (1 << WGM01);
    // 4 count limit frecuency for F_in = 60 KHz and F_CPU = 1 MHz
    OCROA = 4;

    // select clock source as external source falling edge no prescaler
    TCCROB = (1 << FOC2A) | (1 << FOC2B) | (1 << CS12) | (1 << CS11);

    // set PD6 as output which is TIMERO COMP_A OUTPUT
    DDRD = (1 << DDD6);
    // set TIMERO interrupt COMP_A mask enable
    TIMSK0 = (1 << OCIE0A);
```

```

}

ISR(TIMER0_COMPA_vect)
{
    //counter
    count++;
}

void setup_timer_2_gate(void)
{
    // set CTC mode and COM on toggle with compare match
    TCCR2A = (1 << COM2A0) | (1 << WGM21);
    //TCCR2A = (0 << COM2A0) | (1 << WGM21);
    OCR2A = 200;

    // select clock source as internal prescaler 32
    TCCR2B = (1 << CS21) | (1 << CS20);

    // PB3 as output compare match A timer 2
    DDRB = (1 << DDB3);

    // set TIMER2 interrupt COMP_A mask enable
    TIMSK2 = (1 << OCIE2A);

}

ISR(TIMER2_COMPA_vect)
{
    // gate
    //mean = (count + count_before) >> 1;

    if(count > COUNT_MAX)
        // pinout PBO
        // digital_out = 0;
        PORTB &= ~(1 << PORTB0);
    if(count < COUNT_MIN)
        // digital_out = 1;
        PORTB |= (1 << PORTB0);

    // count_before = count;
    count = 0;
}

void wait_init(void)
{
    for(int i=0; i<WAIT_TIME; i++);
}

int main(void)
{
//    PRTIMO = 0 to enable in power reduction and to enable timer2
    IMPORTANTE
    setup_timer_0_counter();
    setup_timer_2_gate();

    DDRB |= (1 << DDB0);
}

```

```

//enable global interrupts
sei();

wait_init();

while(1);
}

```

3.2.2. Diseño del codificador digital para la transmisión

Introducción El objetivo del microcontrolador en la parte de transmisión, codifica mensajes según los botones pulsados. Consiste en tres pulsadores, donde cada cual codifica un símbolo diferente, para que el receptor actúe de manera distinta según el botón pulsado. El algoritmo de comunicación entre transmisor y receptor se realiza de manera asíncrona. Para diferenciar los símbolos digitales se ha de tener en cuenta el tipo de modulación ASK, donde el 1 implica recibir señal y el 0 no se ha recibido. Los relojes o timers encargados de la codificación y decodificación tanto en transmisión como en recepción, deben trabajar a la misma tasa de baudios para identificar correctamente los mensajes.

Configuración de reloj

Codificación de los mensajes La codificación de los diferentes símbolos se desarrolla de forma que, los algoritmos de codificación y decodificación se realicen de la forma más sencilla y robusta posible, teniendo en cuenta el tipo de modulación ASK. Es por eso que cada símbolo se representa por el número de unos lógicos transmitidos de forma que si quisieramos transmitir N símbolos, la serie de codificación sería:

Symbol	Codification
1	0b1
2	0b11
3	0b111
N	0b111...1 · N times

Cuadro 1: *Codification of Digital Symbols*

```

#include <avr/io.h>
// definiciones de registros específicos del controlador de io
#include <avr/interrupt.h>
// gestión de IRQs
#include <stdint.h>
// definiciones de tipos estandar

#define PIN_OUT PINB0

uint8_t volatile lock_button = 0;
uint8_t volatile code = 0;
/* code legend binary:
 * 0000 = Not_valid
 * 1000 = pd5
 * 1100 = pd6

```

```

* 1110 = pd4
*/

#define DEBUG
#ifndef DEBUG
#define COUNT 100000UL
void debug_stop_exec(void)
{
    //toggle pb0
    PORTB ^= (1 << PORTB0);
    for(int i=0; i<COUNT; i++);
    PORTB ^= (1 << PORTB0);
    for(int i=0; i<COUNT; i++);
    while(1);
}
#endif

void setup_timer_2_gate(void)
{
    // set CTC mode and COM on toggle with compare match
    TCCR2A = (1 << COM2A0) | (1 << WGM21);
    //TCCR2A = (0 << COM2A0) | (1 << WGM21);
    OCR2A = 200;

    // select clock source as internal prescaler 32
    TCCR2B = (1 << CS21) | (1 << CS20);

    // PB3 as output compare match A timer 2
    DDRB |= (1 << DDB3);

    // set TIMER2 interrupt COMP_A mask enable
    // TIMSK2 = (1 << OCIE2A);

    // enable timer2 in power reduction
    // PRR &= ~(1 << PRTIM2);

}

ISR(TIMER2_COMPA_vect)
{
    // gate
    uint8_t current_code = 0;

    // check if LSB of variable code is 0 or 1
    current_code = (0b1 & code);
    // LSR variable code to load next LSB
    code = (code >> 1);

    // detectado 0 -> desbloquear boton y desactivar mask
    if(!current_code)
    {
        // unlock button press
        lock_button = 0;
        // write 0 in output pin
        PORTB &= ~(1 << PIN_OUT);
    }
}

```

```

        // disable timer2 interrupts
        TIMSK2 &= ~(1 << OCIE2A);
    }
    else
    {
        // continue with lock button until a 0 is processed
        lock_button = 1;
        // write 1 in output pin
        PORTB |= (1 << PIN_OUT);
    }
}

ISR(PCINT2_vect)
{
    // auto clear the interrupt
    // read which pin invoked the interrupt line
    uint8_t irq = 0;
    irq = PIND;

    // if (button_pressed & irq)
    // check if pd5 set interrupt flag and if lock button is in progress
    if ( ((!(irq & (1 << PIN6))) & (!lock_button)) )
    {
        //lock button
        lock_button = 1;

        // set appropiate code variable
        code = 0b01;

        //clear possible timer2 interrupt to sync timer2
        // TIMER2 interrupt COMP_A interrupt clear by writing a logic 1 if a
        // 1 is written
        //TIFR2 |= (TIFR2 & (1 << OCIE2A));
        TCNT2 = 0;

        //enable timer2 interrupt mask
        TIMSK2 = (1 << OCIE2A);
    }
}
void setup_gpio_pins(void)
{
    //configurar gpios pd5, pd6, pd7 as input
    DDRD &= ~(1 << DDD5);
    DDRD &= ~(1 << DDD6);
    DDRD &= ~(1 << DDD7);

    // activate pull-ups
    PORTD |= (1 << PORTD5);
    PORTD |= (1 << PORTD6);
    PORTD |= (1 << PORTD7);

    // activate the pin change interrupts
}

```

```

// first activate PC2vector
PCICR |= (1 << PCIE2);
// second activate pd5 -> PC21, pd6 -> PC22, pd7 -> PC23 to trigger
// interrupt
PCMSK2 |= ((1 << PCINT21) |(1 << PCINT22) |(1 << PCINT23));

//config pb7 as output
DDRB |= (1 << PIN_OUT);
//set init low level
//set init high level
PORTB &= ~(1 << PIN_OUT);
}

int main(void)
{
    setup_timer_2_gate();
    setup_gpio_pins();

    //enable global interrupts
    sei();

    while(1);
}

```

4. Cronología del proyecto y diagrama de Grant

cuento general cronologico migracion de unas cosas a otras

En este apartado se expone a modo de resumen, un historial de desarrollos del proyecto los cuales no se terminaron llevando a cabo por diferentes motivos. Se trata de dar a entender las diferentes alternativas que han surgido, el aprendizaje que se ha obtenido de las mismas y el por qué fue abandonada su línea de desarrollo.

4.1. transmisor FM a varactor

Desarrollo técnico la idea original del proyecto fue el realizar un transmisor y receptor de FM digital. El sistema se pensó de forma que su frecuencia de trabajo fuera aproximadamente 1MHz. El transmisor modulaba la frecuencia portadora de forma que una tensión inversa de baja frecuencia (moduladora), se aplicaba a unos diodos capacitivos o varactores. Estos diodos varactores se encontraban de circuito tanque en el bucle de oscilación. Este modelo de transmisor funcionaba correctamente.

Por otro lado, el receptor de FM era bastante complejo. Un filtro de entrada exigente, seguido de un amplificador, y a continuación una etapa de filtrado muy agudo a la frecuencia de la portadora. Esta estrategia permite la conversión de una señal modulada en FM a una señal modulada en AM. Posteriormente se realizaba etapa del demodulador AM el cual requería de amplificadores y acondicionamiento de señal tedioso.

ANADIR IMAGENES BUSCAR transmisores varactor soldados en placa
emisor transmisor

Motivos de reemplazo Los motivos de remplazo de este modelo fueron varios. En primer lugar, el sistema de transmisor y receptor no funcionaba a distancias mayores de pocos centímetros. Esto

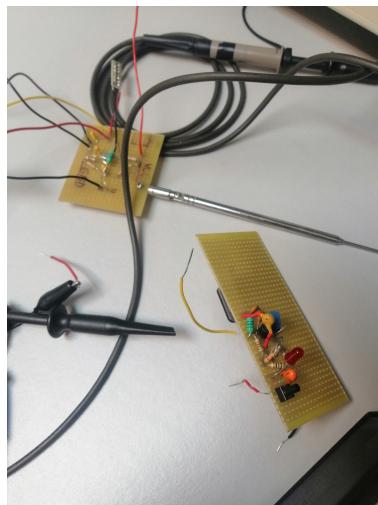


Figura 20: *Simulación de puntos de interés en varios ciclos ampliados*

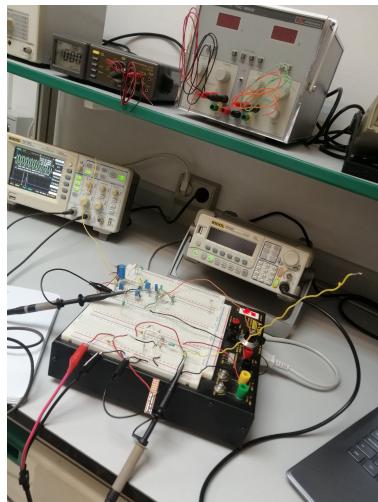


Figura 21: *Simulación de puntos de interés en varios ciclos ampliados*

era debido principalmente a la baja potencia radiada. La bobina del circuito tanque de oscilación debía tener numerosas espiras para que a esa frecuencia tan baja consiguiera inducir, por acople magnético, tensión en el receptor. A parte de el problema mencionado, el transmisor tenía un excesivo consumo estático. En cuanto al receptor, los problemas también fueron varios. Los filtros, tan agudos eran complicados de fabricar, más si los filtros debían ser diseñados a la frecuencia de la portadora como conversión directa. Además, la necesidad de implementar también el demodulador de AM tomando como entrada la señal filtrada se hacía complicado. Finalmente se opta por mejorar el diseño del sistema proponiendo una segunda versión.

4.2. receptor superheterodino FM

Desarrollo técnico Como intento de mejora a la anterior versión, la cual era de conversión directa, se trató de diseñar un receptor superheterodino. A su vez, se mantuvo el diseño del transmisor a varactores, pero se cambió la frecuencia de trabajo a una mayor, unos 16 MHz.

El diseño consistía en un filtro de entrada que era mezclado en un mezclador con un oscilador. Después se realizaba el tratamiento con la señal de frecuencia intermedia. Un amplificador de dos etapas y posteriormente a un rectificador con filtro paso bajo para demodular la señal. Se muestra un esquemático en la figura REF del receptor al completo, tanto la parte de radio explicada como la digital que se explica en el apartado REF.

Motivos de reemplazo Este diseño funcionaba bien cuando se conectaba a la entrada un generador de frecuencias a la frecuencia de trabajo de muy baja potencia. El problema surgía cuando se trataba de probar con el transmisor. El receptor no tenía buena selectividad y los amplificadores de frecuencia intermedia, los cuales no estaban correctamente diseñados, producían oscilaciones. Gracias al mezclador, el circuito era capaz de detectar señales de muy baja potencia con muy buena selectividad. A pesar de todo, el mezclador era bastante sensible al ruido, ya que producía bastantes armónicos, producidos por efectos de segundo orden. Esto explica el por qué al conectarlo con el generador, lo más cercano a un tono puro, funcionaba correctamente, sin embargo cuando se trataba de enlazar con la señal del transmisor la cosa cambiaba. También el diseño general, me parecía que se utilizaban demasiados componentes para unas prestaciones tan bajas. El diseño debía ser sencillo y funcional. Buena selectividad abandono por mala distancia de recepción amplificador de FI complejo y oscilante, en general no era eficiente, muchos componentes para bajas prestaciones. Aparte de cambio de modulación y frecuencia. Es por esto, que en el diseño final se opta por diseñar un sistema AM.

4.3. Máquina de estados digital

desarrollo técnico

Desarrollo técnico El objetivo de este circuito estaba pensado para dar una aplicación a la señal digital recibida por el receptor. El circuito consistía en un smith trigger para forzar una señal digital y una máquina de estados cuya salida tenía una aplicación concreta. En este caso, por cada señal recibida, poner en alto una de sus salidas, manteniendo el estado de las anteriores hasta completar el ciclo, donde todas volverían a estado bajo. El esquemático del circuito digital de la máquina de estados y el smith trigger se muestran en las figuras REF y REF respectivamente. Además se añade, en la figura REF, la integración del receptor superheterodino FM anterior, junto al circuito digital.

maquina de estados esquematico
general protoboard

Motivos de reemplazo El diseño del circuito digital era correcto. Sin embargo, al realizar la integración con el receptor daba muchos problemas debido a que la señal de output del receptor no era fiable. Esta señal, al no estar bien filtrada poseía componentes residuales de alta frecuencia que provocaban que el smith trigger metiera señales falsas. Esto provocaba un comportamiento no deseado del circuito. Para solucionar este hecho, se hizo uso de un microcontrolador. El micro abre una inmensidad de posibilidades como la recepción de múltiples canales, reprogramable en función del uso específico, todo contenido en un menor espacio e incluso con un precio más económico.

4.4. Alternativa viable: conversión directa

Desarrollo técnico Este diseño, más simplificado, se trataba de un sistema ASK, con un receptor de conversión directa. La parte principal del circuito era la etapa de entrada, compuesta por un filtro de entrada sintonizable, y una etapa de amplificación de corriente formada por un par darlington.

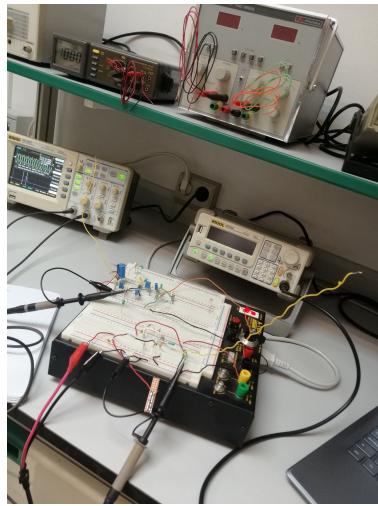


Figura 22: *Simulación de puntos de interés en varios ciclos ampliados*

Parte de la salida se realimentaba positivamente al filtro de entrada, aumentando la sensibilidad del receptor. La salida del par darlington, era tratada y amplificada generando la señal de salida. Se muestra un esquema del receptor en la figura REF junto con la simulación de la señal de entrada y su salida en la figura REF.

Motivos de reemplazo Este diseño, tenía un objetivo principal, ser sencillo y funcional. esquematico simulacion A pesar de conseguir una sintonización y comunicación adecuada, no estaba suficientemente contento con la distancia. Se trató de diseñar amplificadores de RF a la entrada junto a un filtro inicial. En ese momento descubrí la dificultad de diseñar amplificadores de RF y buenos filtros. Otra estrategia, fue incorporar un mezclador a la entrada. Tras varias pruebas sin obtener mejoras claras, se cambió al diseño presentado en el proyecto, un receptor super-regenerativo, el cual consigue ser funcional con muy pocos componentes.

4.5. Diagrama de Grant

En la figura 26 se muestra el diagrama de Gantt del desarrollo general del proyecto.

5. Resultados y conclusiones

Se concluye con un análisis acerca de si se completaron los objetivos propuestos en el apartado REF. En primer lugar, el objetivo de conocimiento de diseño de un sistema de comunicaciones lo considero satisfactorio. Al haber comprendido e interiorizado las bases de los circuitos de radiofrecuencia y puesto en práctica diversas técnicas de recepción de señales de baja potencia como mezcladores, amplificadores o filtros cada uno de ellos diseñado al nivel de componente. Al tratarse de un diseño realizado con componentes discretos, fueron múltiples los problemas encontrados hasta lograr un diseño final. A su vez fueron múltiples también, las alternativas propuestas de diferentes desarrollos del sistema. Esto me ha permitido conocer diferentes técnicas de diseño de circuitos de radio. En general, considero satisfactorio este objetivo. En cuanto a la puesta en práctica de los diferentes campos considero que es satisfactorio, consiguiendo relacionar los conceptos de los lazos de control en conjunto con los modelos de los componentes electrónicos y contrastados con la realidad. También conocimientos de la rama informática a la hora de programar los microcontroladores y establecer todo el entorno de desarrollo. Con la correspondiente conexión entre los

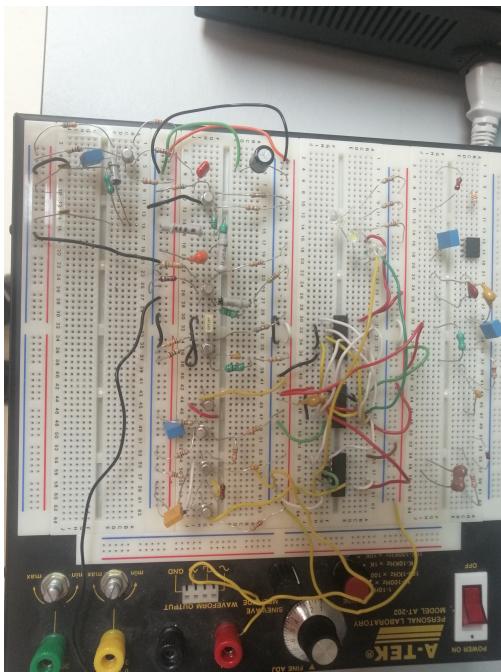


Figura 23: *Simulación de puntos de interés en varios ciclos ampliados*

sistemas analógicos. Por último el diseño del transformador de la antena englobando toda la parte de radiofrecuencia, antenas y electromagnetismo. Considero satisfactorio este punto. Finalmente, tras tantas posibles alternativas y problemas, se converge hacia un diseño sencillo y funcional con los requisitos tan exigentes que se habían propuesto del diseño desde la raíz.

En resumen, considero este proyecto como una experiencia, aunque dura y complicada, que me ha llevado mas tiempo del esperado, ha sido satisfactoria, y que ademas me ha permitido llevar con facilidad mi desarrollo a nivel profesional, debido a la asimilacion de numerosos conceptos estudiadas en las materias y llevados a la practica.

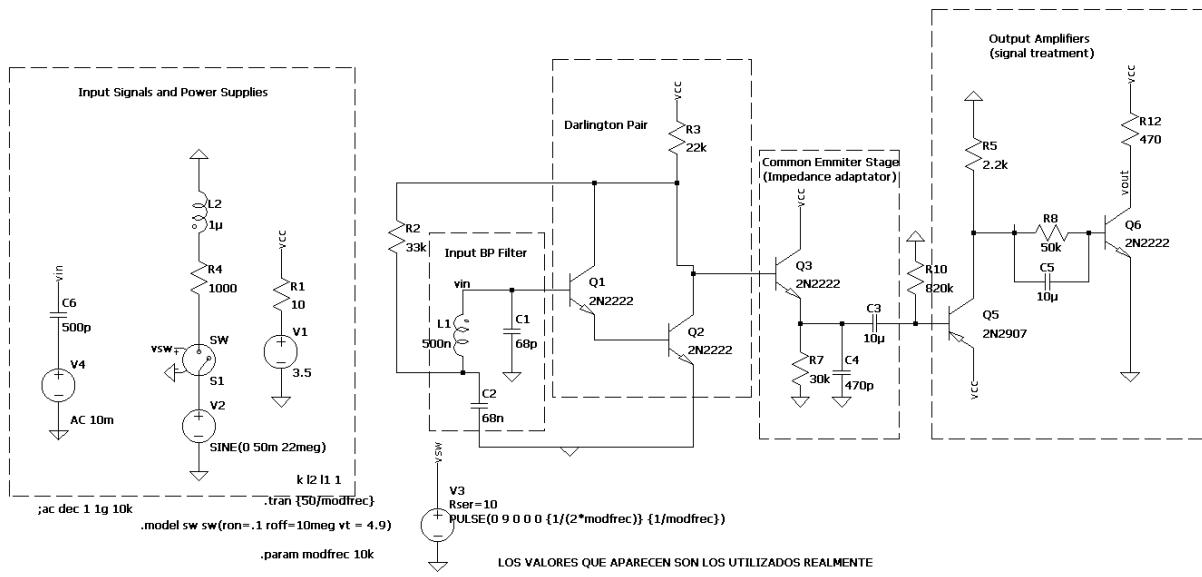


Figura 24: Simulación de puntos de interés en varios ciclos ampliados

6. Bibliografía

7. Índice de figuras

Índice de figuras

1. Esquema de una posible modulación ASK	5
2. Representación de un transistor como cuadripolo lineal.	7
3. a) Amplificador sin realimentación, b) Sistema realimentado	8
4. Amplificador de tensión con realimentación serie paralelo ideal.	9
5. Amplificador de transresistencia con realimentación paralelo paralelo real.	10
6. Esquema general de un SOC.	10
7. Diagrama de bloques del Atmega328p, en detalle la CPU	12
8. Mapa de memoria de datos direccionada por bytes	12
9. Diagrama de bloques general del proyecto	13
10. Esquema eléctrico del transmisor	15
11. A) Modelo en pequeña señal del bucle de oscilación para frecuencias medias B) Modelo en pequeña señal del oscilador sustituyendo el condensador de realimentación C_1 por su equivalente en parámetros Y	16
12. Diagrama de Bode de la ganancia en lazo abierto del oscilador A_l para frecuencias intermedias	18
13. Simulación de V_C modulada por $V_{digital}$	19
14. Simulación de la FFT de V_C de forma general	20
15. Simulación de la FFT de V_C ampliada a la frecuencia de trabajo	20
16. Esquema eléctrico del receptor	21
17. A) Modelo en pequeña señal del bucle de oscilación para frecuencias de RF B) Modelo en pequeña señal del oscilador sustituyendo el condensador de realimentación C_2 por su equivalente en parámetros Y	22

18.	Simulación de puntos de interés en varios ciclos ampliados	24
19.	Simulación de V_{out} junto a V_{quench}	24
20.	Simulación de puntos de interés en varios ciclos ampliados	32
21.	Simulación de puntos de interés en varios ciclos ampliados	32
22.	Simulación de puntos de interés en varios ciclos ampliados	34
23.	Simulación de puntos de interés en varios ciclos ampliados	35
24.	Simulación de puntos de interés en varios ciclos ampliados	36
25.	Simulación de puntos de interés en varios ciclos ampliados	37
26.	Diagrama de Gantt del desarrollo del proyecto	38

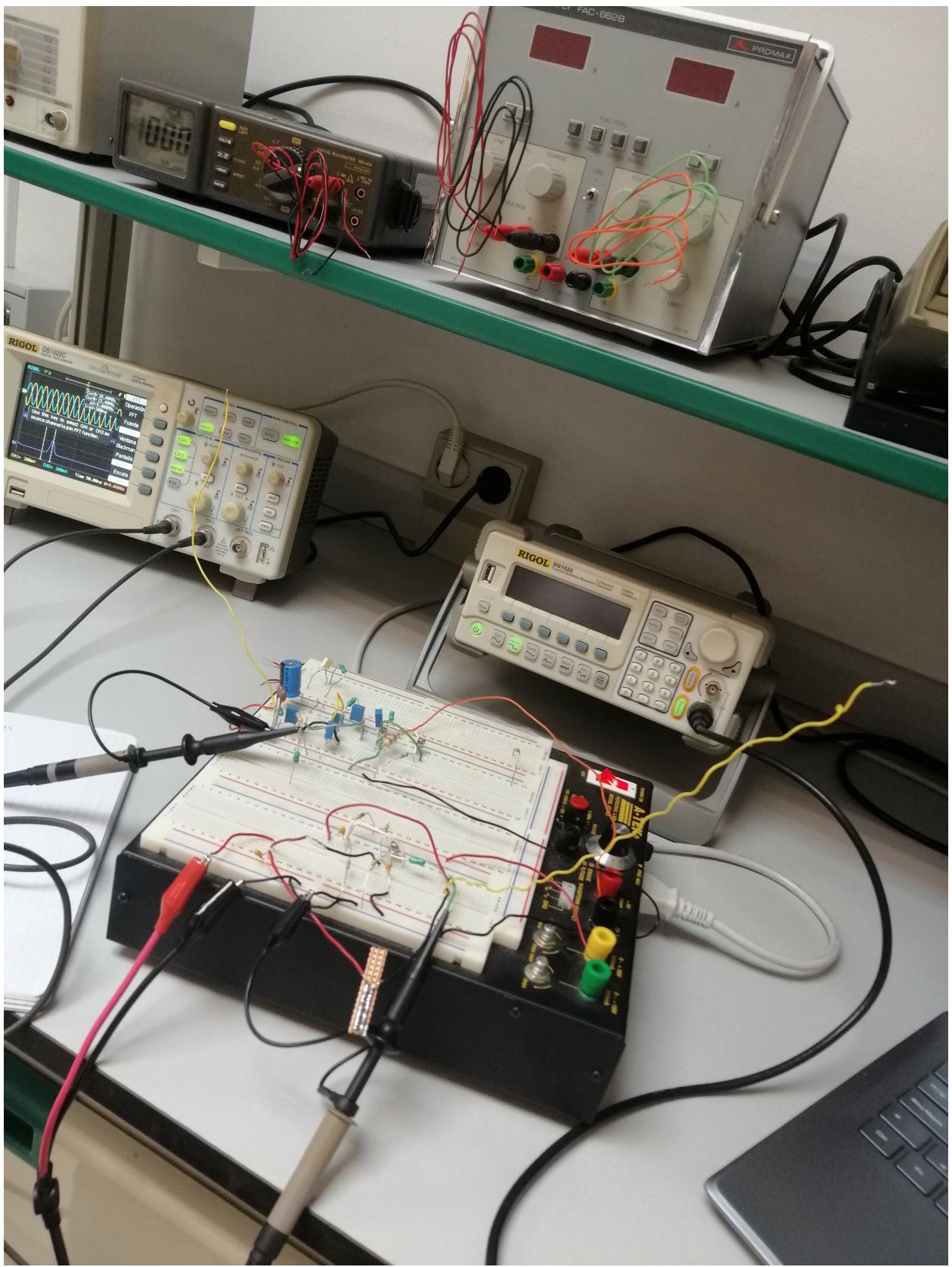


Figura 25: Simulación de puntos de interés en varios ciclos ampliados

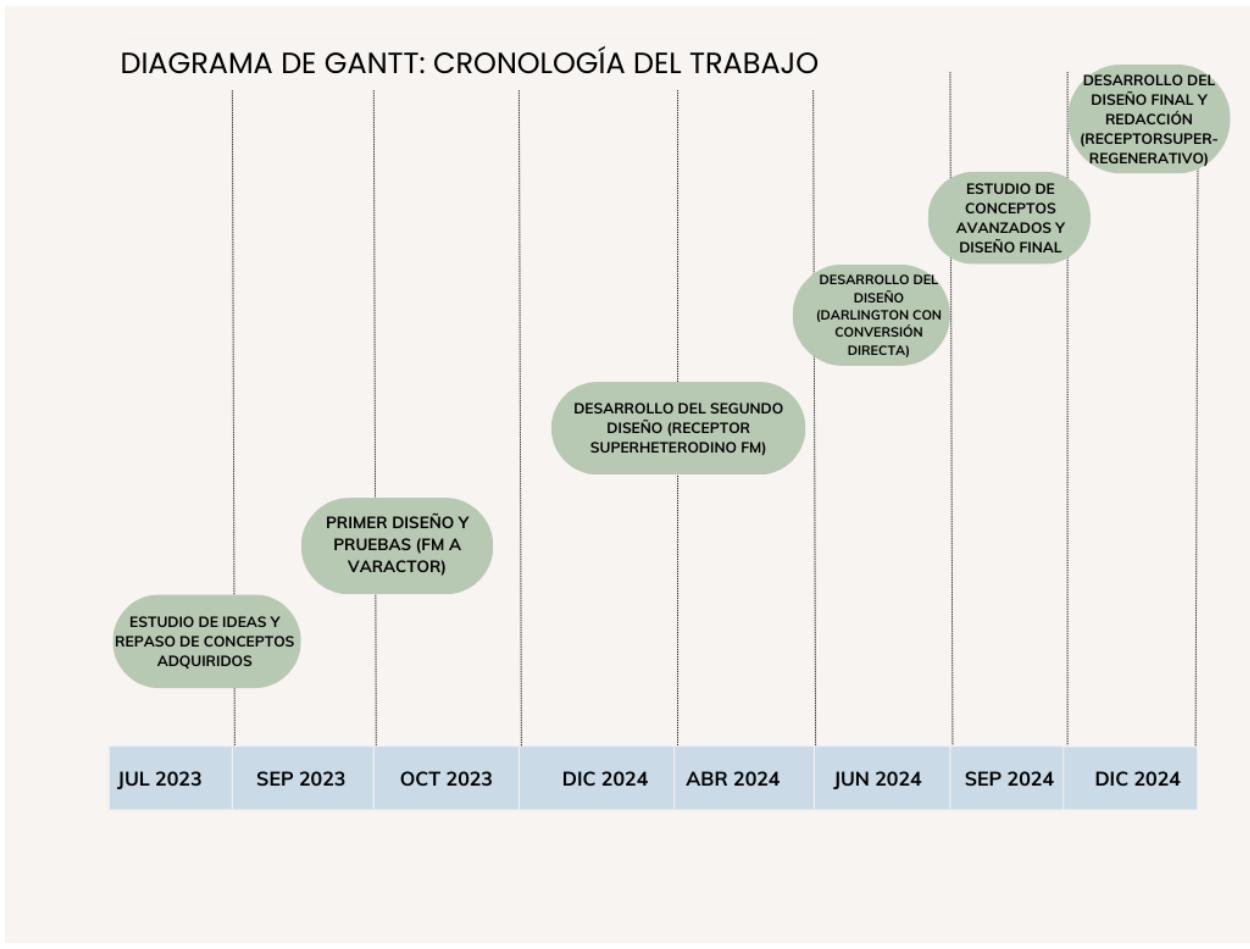


Figura 26: *Diagrama de Gantt del desarrollo del proyecto*