



ORGANIZACIÓN DE COMPUTADORES
SEMESTRE DE VERANO 2018
PEP2

Profesor: Néstor González Valenzuela

Fecha: 12 de enero de 2018

Tiempo Disponible: 100 minutos

Cada pregunta vale 1,5 puntos

1. Un chip de memoria DRAM tiene una matriz interna de 8192 x 4096 x 8 bits.

a) ¿Cuál es la capacidad de este chip de memoria DRAM medido en Bytes?

R: $2^{13} \times 2^{12} = 2^{25}$ Bytes = $2^5 \times 2^{20} = 32$ Mbytes

Nota: 1 Byte = 8 bits

b) ¿Cuántos bits se usan para las direcciones de filas y cuántos para las columnas?

13 bit para direcciones de filas

12 bits para direcciones de columnas

c) ¿Cuántos bits debería tener el bus de direcciones del procesador? Explique por qué.

R: Para pasar una dirección completa necesita al menos 25 bits.

d) ¿Cuántos chips de éstos se requieren para tener una memoria de 0,5GBytes y cómo se deben organizar. Puede ayudarse de un esquema.

R: 0,5GBytes = 512 MBytes = 2^9 MBytes. Cada chip provee 2^5 Mbytes

⇒ se necesitan $2^4 = 16$ chips.

Nota: Es lo mismo que dividir 512 por 32.

e) ¿En cuál chip y en qué posición dentro de ese chip se encuentra la dirección 0x0000100F?

R: 0x0000100F = 000 ... 0001 0000 0000 1111

⇒ Primer chip Fila 1, Columna 15

También se puede responder así:

⇒ $2^{12} + 2^3 + 2^2 + 2^1 + 1 = 4.111$

⇒ está en la posición 4.111 del primer chip, ya que es inferior a 32 M (capacidad del primer chip)



2. Se tiene un procesador con una memoria caché en el primer nivel (L1) de 64KB, un segundo nivel L2 de 512KB y un tercer nivel L3 de 4MB. El procesador está en una placa que soporta 4GB de Memoria RAM. El diseñador de la CPU definió que los Bloques almacenarán hasta 8 Palabras. Las palabras son de 256 bits. Todas las caché son asociativas de 8 vías.

Determine la estructura de la dirección para cada una de las tres caché indicadas.

R: De los datos:

Análisis de la estructura de la memoria RAM:

La memoria RAM tiene una capacidad 4GB (Direccionable por Byte)

=> **se requieren 32 bits para las direcciones.**

Cada Bloque es de $8 \cdot 2^3$ palabras y cada palabra es de 256 bits = $32 \cdot 2^5$ Bytes

Luego, cada Bloque es de $2^3 \cdot 2^5 = 2^8$ Bytes = 256 Bytes

=> **se requieren 8 bits de "Byte Offset" en un Bloque** (o bien 3 para Palabra y 5 para Byte)

Existen $2^{32} / 2^8$ Bloques = 2^{24} Bloques = 16 MBloques en la memoria RAM

=> **se usan 24 bits para determinar un Bloque en la memoria RAM**

Diseño de cada nivel de Caché:

Todos los niveles han sido definidos de tipo asociativo de 8 vías.

Esto significa que se deben usar 3 bits para determinar la Vías y que cada Conjunto alberga 8 Bloques (cada vía es un Bloque).

Nivel L1: Capacidad de la memoria Caché = 64 KBytes = $2^6 \cdot 2^{10}$ Bytes = 2^{16} Bytes. Cada Bloque es de 256 (2^8) Bytes, luego esta Caché puede contener $2^{16} / 2^8$ Bloques = $2^8 = 256$ Bloques (Líneas de Caché) agrupados de a 8 (vías) por Conjunto, entonces habrá $2^8 / 2^3 = 2^5 = 32$ Conjuntos. Luego, se requiere de 5 bits para los Conjuntos (Index). El resto de los bits constituye la etiqueta (tag), o sea, $32 - 5 - 8 = 19$

Tag (Etiqueta)	Index (Conjunto)	Palabra	Byte Offset
19	5	3	5

Nivel L2: Capacidad de la memoria Caché = 512 KBytes = $2^9 \cdot 2^{10}$ Bytes = 2^{19} Bytes. Cada Bloque es de 256 (2^8) Bytes, luego esta Caché puede contener $2^{19} / 2^8$ Bloques = $2^{11} = 2$ KBloques (Líneas de Caché) agrupados de a 8 (vías) por Conjunto, entonces habrá $2^{11} / 2^3 = 2^8 = 256$ Conjuntos. Luego, se requiere de 8 bits para los Conjuntos (Index). El resto de los bits constituye la etiqueta (tag), o sea, $32 - 8 - 8 = 16$

Tag (Etiqueta)	Index (Conjunto)	Palabra	Byte Offset
16	8	3	5

Nivel L3: Capacidad de la memoria Caché = 4 MBytes = $2^2 \cdot 2^{20}$ Bytes = 2^{22} Bytes. Cada Bloque es de 256 (2^8) Bytes, luego esta Caché puede contener $2^{22} / 2^8$ Bloques = $2^{14} = 2^4 \cdot 2^{10} = 16$ MBloques (Líneas de Caché) agrupados de a 8 (vías) por Conjunto, entonces habrá $2^{14} / 2^3 = 2^{11} = 2$ KConjuntos. Luego, se requiere de 11 bits para los Conjuntos (Index). El resto de los bits constituye la etiqueta (tag), o sea, $32 - 11 - 8 = 13$

Tag (Etiqueta)	Index (Conjunto)	Palabra	Byte Offset
13	11	3	5



3. Para los mismos datos de la pregunta 2, considere que el procesador tiene $CPI = 1,2$ cuando se mide sin considerar los accesos a la memoria. Considere también que se requieren 1,3 accesos a memoria por instrucción. La tasa de hits es de 90%, 60% y 40% para L1, L2 y L3 respectivamente. La espera (stall) es de 0, 3 y 6 ciclos para un hit en L1, L2 y L3 respectivamente. La espera es de 50 ciclos para la memoria RAM.
- Calcule el nuevo CPI con solo L1, luego con L1 y L2, luego con los tres niveles de caché.
 - Calcule la aceleración lograda al ir agregando niveles de Caché.
 - ¿Habrá alguna condición que cumplan L1 y/o L2 que permita asegurar que el nivel L3 no es necesario? Explique.

R: $CPI_{\text{base}} = 1,2$
1,3 accesos por instrucción
 $H1 = 0,9$; $H2 = 0,6$; $H3 = 0,4$ (corresponde a porcentajes de hit por nivel)
 $T1 = 0$; $T2 = 3$; $T3 = 6$; $M = 50$ (medidos en ciclos)

Sin memoria caché: $CPI = 1,2 + 1,3 \times 50 = 66,2$

- a) con solo L1: Si hay un Hit, que tiene tasa de 90%, entonces no hay demora porque hay 0 esperas en Hit en L1, pero si no hay Hit, o sea, si hay Miss, que tiene tasa de 10%, se debe leer desde la RAM con 50 ciclos de espera (esto es, se lee desde la RAM con 10% de probabilidad), luego, una instrucción aporta, por lectura $1,3 \times 0,1 \times 50 = 6,5$ ciclos \Rightarrow CPI con solo L1 = $1,2 + 6,5 = 7,7$

con L1 y L2: Ahora, un Miss de L1 lleva a leer desde L2 con tasa de Hit 60% y 3 ciclos de espera si se lee desde L2. Si no se lee desde L2, con tasa de Miss de 40%, se debe leer desde la RAM (es decir, se lee desde la RAM con un 10% por Miss en L1 y 40% por Miss en L2). Si hay Hit en L1 no hay espera, si hay Hit en L2 hay 3 ciclos de espera. Luego, una instrucción aporta, por lectura

$$1,3 \times (0,1 \times 0,6 \times 3 + 0,1 \times 0,4 \times 50) = 1,3 \times (0,18 + 2) = 2,83$$

entonces, CPI con L1 y L2 = $1,2 + 2,83 = 4,034$

con L1, L2 y L3: Ahora, un Miss de L1 lleva a leer desde L2 con tasa de Hit 60% y 3 ciclos de espera si se lee desde L2. Si no se lee desde L2, con tasa de Miss de 40%, se debe leer desde L3 con tasa de Hit de 40% y 6 ciclos de espera. Si no se lee de L3, con tasa de Miss de 60%, se debe leer desde la RAM (es decir, se lee desde la RAM con un 10% por Miss en L1, 40% por Miss en L2 y 60% de Miss en L3). Si hay Hit en L1 no hay espera, si hay Hit en L2 hay 3 ciclos de espera, si hay un Hit en L3 hay 6 ciclos de espera. Luego, una instrucción aporta, por lectura:

$$1,3 \times (0,1 \times 0,6 \times 3 + 0,1 \times 0,4 \times 0,4 \times 6 + 0,1 \times 0,4 \times 0,6 \times 50) = 1,3 \times (0,18 + 0,096 + 1,2) = 1,92$$

Entonces, CPI con los tres niveles de Caché = $1,2 + 1,92 = 3,12$

- b) Al agregar L1: $\text{aceleración} = 66,2 / 7,7 = 8,6$ veces
Al agregar L2: $\text{aceleración} = 7,7 / 4,034 = 1,9$ veces
Al agregar L3: $\text{aceleración} = 4,034 / 3,12 = 1,3$ veces
 $\text{aceleración total con los tres niveles respecto de no tener Caché} = 66,2 / 3,12 = 21,2$ veces



Se aprecia que se logra una aceleración cada vez que se agrega un nivel de Caché, pero la aceleración lograda cada vez, va disminuyendo.

- c) Se requeriría que la tasa de Hit de L1 y o de L2 fuese de 100%. Si la tasa de Hit de L1 fuese 100% no se requeriría ningún otro nivel de caché.

-
4. Considere un procesador para el que se define una memoria virtual de hasta 64TB y un espacio de direccionamiento de memoria física con direcciones de 36 bits. Las páginas son de 4KB.

- a) ¿Cuál es la máxima cantidad de memoria física que se puede disponer con este procesador?

R: Con 36 bits se pueden direccionar 2^{36} bytes = $2^6 \times 2^{30} = 2^6$ GBytes = 64 GBytes

- b) ¿Cuántos bits se requieren para el espacio de direcciones virtuales?

R: 64 TB = $2^6 \times 2^{40}$ Bytes => se requieren 46 bits

- c) Determine la estructura de una dirección virtual y de una dirección física. Es decir, determine cuántos bits se usan para cada campo dentro de la memoria virtual y de la memoria física.

R: Las páginas son de 4KB = 2^{12} bytes,
luego, en la memoria física habrán $2^{36} / 2^{12} = 2^{24} = 2^4 \times 2^{20} = 16$ MPáginas
Para determinar una página (page offset) se requiere 12 bits
MV => 46 bits separados en 34 bits para páginas virtuales y 12 bits para el offset de página.
MF => 36 bits separados en 24 bits para marcos de página y 12 bits para el offset de página

- d) ¿Cuántas entradas tendrá la Tabla de Páginas?

R: Como hay 34 bits para la cantidad de páginas virtuales, la tabla debe tener 2^{34} entradas, esto es, $2^4 \times 2^{30} = 16$ G entradas.
